

# Holter Digital ECG

Matías Javier Oliva  
Cátedra de Proyecto Final- LEICI-  
Facultad de Ingeniería  
Universidad Nacional de La Plata  
(UNLP)  
La Plata, Argentina  
matias.oliva93@gmail.com

Pablo García  
Cátedra de Proyecto Final- LEICI-  
Facultad de Ingeniería  
Universidad Nacional de La Plata  
(UNLP)  
La Plata, Argentina  
pagarcia@ing.unlp.edu.ar

Juan Manuel Zinno  
Cátedra de Proyecto Final- LEICI-  
Facultad de Ingeniería  
Universidad Nacional de La Plata  
(UNLP)  
La Plata, Argentina

Pedro Agustín Maluendez Testoni  
Cátedra de Proyecto Final- LEICI-  
Facultad de Ingeniería  
Universidad Nacional de La Plata  
(UNLP)  
La Plata, Argentina

Franco Schiavi  
Cátedra de Proyecto Final- LEICI-  
Facultad de Ingeniería  
Universidad Nacional de La Plata  
(UNLP)  
La Plata, Argentina  
pagarcia@ing.unlp.edu.ar

**Abstract**— This work presents the design, development and implementation of a portable heart activity monitoring system (ECG HOLTER). It consists of two major blocks: the analogue stage, involving a bio potential amplifier suitable for signal conditioning, and the digital stage: a microcontroller with a built-in ADC (12 bits, 10 effective resolution bits), used for signal digitalization. In addition, the system includes an SD card for data storage, a graphic display for real-time signal representation and a visualization software.

**Keywords**— Bio-engineering, bio-potential amplifier, electrocardiographic signal, portability.

**Resumen**— Este artículo presenta el diseño, desarrollo y construcción de un sistema de monitoreo ambulatorio de señales electrocardiográficas (HOLTER ECG). El mismo consta de dos grandes bloques. Por un lado, una etapa analógica, conformada por un amplificador de biopotenciales para acondicionamiento de la señal, y por otro, un micro-controlador con conversor ADC integrado (12 bits, 10 bits efectivos) para la digitalización de la misma. Además, se incorpora al sistema una tarjeta SD para almacenamiento de datos, un display gráfico para visualización en tiempo real y un software de visualización de la señal en computadora.

**Palabras Clave**— Bio-Ingeniería, amplificador de biopotenciales, señal electrocardiográfica, portabilidad

## I. INTRODUCCIÓN

Se llama electrocardiograma (ECG) a la representación gráfica de las corrientes iónicas que circulan en el corazón en función del tiempo. Como las señales que este maneja para coordinar sus movimientos son de naturaleza eléctrica es posible estudiar su comportamiento midiendo diferencias de potencial, mediante un transductor llamado electrodo. Conectando dos electrodos en distintas partes del cuerpo se obtiene una señal diferencial, que corresponde al registro ECG del paciente. En general se utiliza además un tercer electrodo de referencia.

Existen ocasiones en las que el médico desea conocer el registro ECG en un tiempo más prolongado al dado en el consultorio, para detectar variaciones esporádicas o eventos particulares. Es con este objetivo que se realiza un ECG ambulatorio, llamado comúnmente Holter. En este trabajo se

trata la implementación de un Holter capaz de alcanzar las 72 horas de registro.

El hardware del dispositivo puede dividirse fundamentalmente en dos etapas: Una para acondicionamiento de la señal, y otra para digitalización y procesamiento.

## II. ACONDICIONAMIENTO DE LA SEÑAL

### A. Caracterización de la señal

La señal a medir es de una amplitud pico a pico de aproximadamente 2 mV. El ancho de banda útil de una señal ECG, para aplicaciones estándar clínicas, está en el rango de 0.05 – 100 Hz [1]. Esta señal se encuentra inmersa en ruido, por lo que es necesario diseñar un amplificador de biopotenciales (en adelante A.B.) que amplifique la señal diferencial en su entrada y la filtre al rango de frecuencias de interés.

### B. Fuentes de ruido

Una de las fuentes de ruido más importantes del sistema es la interferencia electromagnética (EMI), proveniente de la tensión de línea de 50 Hz. La misma se encuentra dentro del rango de medición de la señal, y su amplitud es mucho mayor a la amplitud de la señal, por lo que se deben tomar medidas para contrarrestarla.

Los principales mecanismos a través de los cuales la tensión de línea provoca EMI son:

- Por acoplamiento a los cables de conexión.
- Por transformaciones de modo. [2]

Para reducir la EMI generada por el primero de estos mecanismos se utilizaron cables blindados con sus mallas conectadas a masa, de manera tal de proveer un camino de baja impedancia a las corrientes de acople.

La señal a medir es diferencial (Vid), ya que es la diferencia de potencial entre dos electrodos. En cualquier sistema de medida se producen transformaciones de modo, que provocan que señales comunes a ambos electrodos

(tensiones de modo común,  $V_{cm}$ ) aparezcan en la salida como tensiones de modo diferencial. Entre los mecanismos por los que se dan estas transformaciones podemos destacar:

- Transformaciones externas al sistema: Se dan por el llamado efecto divisor de potencial. En la Figura 1 se ven dos divisores de potencial, dados por las impedancias  $Z_{E1}$  y  $Z_{E2}$  con las impedancias de entrada de modo común  $Z_{C1}$  y  $Z_{C2}$ . El efecto de este divisor de potencial se vuelve despreciable considerando impedancias de entrada de modo común ( $Z_{C1}$ ,  $Z_{C2}$ ) de, por lo menos,  $100\text{ M}\Omega$ . [2]

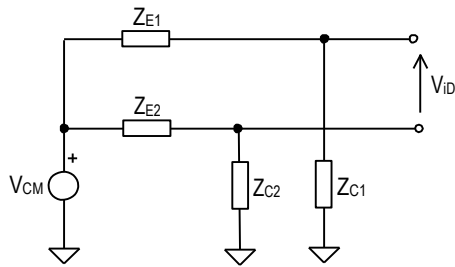


Figura 1: Efecto divisor de potencial

- Transformaciones internas al sistema: Ocasionadas por el CMRR finito de los amplificadores operacionales utilizados. En general alcanza con que el amplificador utilizado tenga un CMRR de 80 dB para lograr niveles aceptables de tensión de modo diferencial ( $V_{id}$ ) debido a transformaciones internas

Para reducir la interferencia producida por transformaciones de modo común a modo diferencial se tomaron distintas medidas al diseñar el dispositivo. En principio la impedancia de entrada de modo común  $Z_C$  se aumentó todo lo posible, para reducir transformaciones externas.

Por otro lado, para reducir transformaciones de modo, tanto internas como externas, se implementó un circuito

activo, con la finalidad de reducir directamente  $V_{cm}$ . Este circuito es conocido en la bibliografía como circuito DRL (Driven Righth Leg). [3], [4]

Otro de los problemas que comprometen a la señal de ECG son los llamados potenciales de electrodo. Estos potenciales de continua, que se generan en la interfaz electrodo-piel, son del orden de cientos de mV [5], por lo que se les debe prestar especial atención, ya que, al ser amplificados por el amplificador de biopotenciales, pueden saturar los amplificadores operacionales del sistema. Para solucionar este problema existen dos caminos típicos:

- Acople en AC
- Acople en DC

En este trabajo se optó por un camino de acople en AC, realizando un filtrado previo de potenciales de continua, frente a la opción del acople en DC, que supondría utilizar un convertor analógico digital de gran resolución (los llamados ADC sigma- delta, por ejemplo) para obtener un registro decente de la señal.

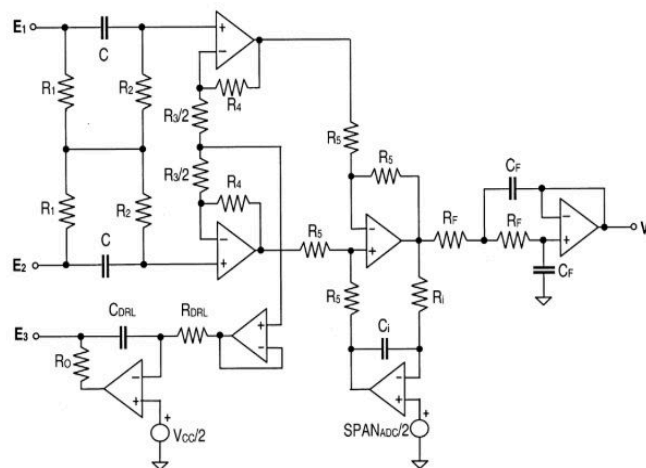
Finalmente, se debe considerar el ruido propio de los electrodos utilizados, que determina el rango dinámico de la señal a medir, definido como:

$$RD = \frac{20 \log(V_{max} - V_{min})}{\Delta V} \quad (1)$$

Considerando un ruido propio de electrodo de  $4\ \mu\text{V}$  [6] obtenemos un rango dinámico de 54 dB. Esto determina la resolución del convertor analógico digital a utilizar en 10 bits efectivos (corresponde a un rango dinámico de 60 dB)

### C. Amplificador de biopotenciales implementado

Teniendo en cuenta los requerimientos del sistema se decidió implementar el amplificador de biopotenciales reportado en la bibliografía por Spinelli [2]. En la Figura 2 se presenta el esquemático correspondiente. En este circuito se



$R1=R2=4.7\text{ M}\Omega$ ;  $C=1\ \mu\text{F}$ ;  $R3=400\Omega$ ;  $R4=200\text{k}\Omega$ ;  $R5=47\text{k}\Omega$

$R_{drl}=10\text{k}\Omega$ ;  $C_{drl}=10\text{nF}$ ;  $R_o=510\text{k}\Omega$ ;  $R_i=10\text{M}\Omega$ ;  $C_i=1\ \mu\text{F}$

$R_f=100\text{k}\Omega$ ;  $C_f=10\text{nF}$ ;  $V_{cc}=5\text{V}$ ;  $SPAN_{adc}=2.5\text{V}$

Tolerancias= 5%

Figura 2: Amplificador de biopotenciales utilizado

distinguen 5 etapas bien diferenciadas que se describen a continuación.

**1. Filtro pasivo pasa alto:** soluciona el problema de los potenciales de electrodos, acoplado en alterna la señal de biopotenciales. Esta red bloquea la componente de DC de modo diferencial y provee un camino de DC a las corrientes de polarización del A.O. Estas últimas encuentran su camino a masa a través del generador de señal de entrada. El circuito propuesto es de tipo Full-Diferencial y no contiene ningún elemento conectado a masa por lo tanto su CMRR será idealmente infinito e independientemente de los desbalances que pudieran existir entre los elementos que la componen.

Considerando  $R_2C = R_2'C'$  (Componentes perfectamente apareados) la función de transferencia de este filtro está dada por:

$$G_{DD} = \frac{sR_2C}{1+sR_2C} \quad (2)$$

Que corresponde a un filtro pasivo pasa alto de primer orden. Para los componentes utilizados la frecuencia de corte es de  $\frac{1}{R_2C} = 0.212 \text{ Hz}$ . Si estas constantes de tiempo están desapareadas, pero las tolerancias de los componentes son del orden del 5% la función de transferencia se acerca razonablemente a la dada en (1). [2], [7].

**2. Amplificador de instrumentación:** Esta etapa es la que provee la amplificación de modo diferencial deseada. El circuito está constituido por el amplificador de instrumentación típico de 3 operacionales. Su ganancia está dada por las resistencias R3 y R4 según:

$$G_{DD} = 1 + \frac{2R_4}{R_3} \quad (3)$$

La elección de las resistencias se realizó teniendo en cuenta la ganancia diferencial deseada. Como se quiere lograr una amplificación próxima a 1000 veces, para llevar la señal de 2 mV a 2 V (que es una amplitud razonable para la etapa de digitalización), se eligió  $R_4 = 200 \text{ K}\Omega$  y  $R_3 = 400\Omega$ .

**3. Supresión de DC:** Esta etapa filtra las componentes de continua generadas por posibles desbalances en las tensiones de offset de los A.O. Adicionalmente, permite centrar la señal obtenida en la mitad del rango de entrada del ADC, conectando el terminal positivo del operacional a este valor de tensión: indicado como  $\text{SPAN ADC} / 2$ .

**4. DRL (Driven right leg):** El objetivo de esta etapa es disminuir la tensión de modo común del sistema. Esto se logra implementando una realimentación negativa al electrodo de referencia. Esta etapa también tiene una resistencia  $R_o$ , cuya finalidad es limitar la corriente que circula por el paciente a un valor menor a  $10 \mu\text{A}$ .

**5. Filtro pasa bajos anti-aliasing:** Consiste en un filtro activo de segundo orden, con un polo doble en 150 Hz. El mismo provee una atenuación de 3 dB en 100 Hz y 6 dB en 150 Hz, que cumple con los requerimientos del sistema. La frecuencia de corte fue seleccionada en 156 Hz. [7]

El amplificador operacional utilizado en el diseño fue el TLC277X, cuyas principales características son: [8]

- Gran rango dinámico de entrada (Rail-to-rail)
- Entradas diferenciales y salidas single-ended
- Bajo consumo (5 mA).
- Alta impedancia de entrada de modo común. ( $10^{12} \Omega$ .)
- Alto rechazo de modo común (CMRR > 75 dB)

Los componentes utilizados son los disponibles en el mercado de valores más cercanos a los calculados. Las resistencias empleadas son de película de carbón y los capacitores de tantalio.

El desempeño del circuito completo se simuló en PSpice, colocando en la entrada del sistema un archivo de texto con información de una señal ECG real. Los resultados obtenidos se ven en la Figura 3. Se verifica mediante esta simulación que la salida amplifica 1000 veces, como se calculó, y que no atenúa frecuencias de la señal ECG.

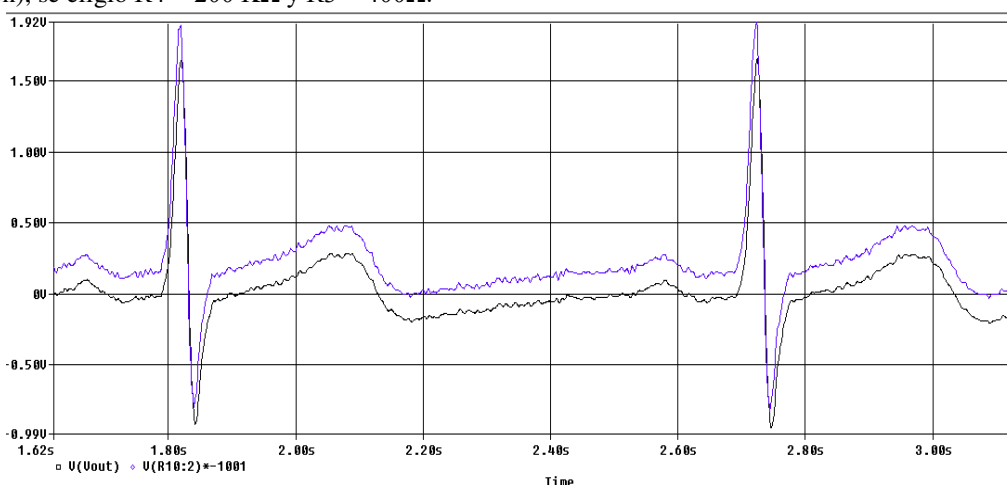


Figura 3: Simulación del circuito completo: En negro la señal original multiplicada 1000 veces y en azul la señal luego de pasar por el amplificador de biopotenciales

### III. DIGITALIZACIÓN DE LA SEÑAL

Una vez acondicionada la señal de interés se procede a digitalizar la misma, utilizando para este propósito un micro-controlador con conversor analógico digital (en adelante ADC) integrado. La señal de ECG tiene componentes de frecuencia hasta los 100 Hz, y es en esta frecuencia en donde el filtro pasa-bajos atenúa la señal 3 dB. Por lo tanto, es necesario, en base al teorema de Nyquist, muestrear a una tasa superior a 200 Hz. Para el dispositivo se decidió que el usuario pueda configurar la tasa de muestreo entre 250, 500 y 1000 muestras por segundo (mps). Aunque una tasa de muestreo de 250 mps ya cumple con el teorema enunciado, con una tasa de muestreo mayor se dispone de más información de la señal, con lo cual se podría, en un futuro, mejorar el procesamiento digital.

Las muestras de la señal son almacenadas temporalmente en una memoria volátil (RAM), para luego ser transferidas a una memoria flash (tarjeta SD). Este paso intermedio se realiza para reducir el consumo, y para evitar escribir la memoria SD constantemente. Finalmente se grafica la señal en un display gráfico, para que el operario del sistema pueda verificar la calidad de la señal al momento de comenzar la toma de datos.

El micro-controlador con ADC integrado utilizado fue un LPC 1769 de NXP, que verifica los requerimientos necesarios para la aplicación, a saber [9]:

- Bajo consumo
- Conversor ADC de 12 bits, de aproximaciones sucesivas
- Alimentación de 3.3 V.
- Disponibilidad de software libre para facilitar su implementación.

La implementación de la memoria volátil se realizó mediante dos Serial RAM 23K256 de Microchip [10], que disponen de una memoria de 256 Kbits cada una, es decir 512 kbits en total. Estas memorias volátiles funcionan como un doble buffer circular, de forma tal que mientras una está recibiendo muestras del ADC la otra descarga las muestras que recibió en la memoria SD. De esta manera se logra que la SD no esté escribiéndose constantemente, reduciendo el consumo y prolongando su vida útil.

Para almacenar permanentemente las muestras en la memoria SD, se incorporó al sistema una implementación de archivos FAT. Para ello, se utilizó una librería FATFS, independiente de la plataforma. [11] Los datos se guardan en la tarjeta SD en bloques de 2 bytes, ya que cada muestra es de 12 bits. Se utilizó el formato big-endian (el byte más significativo es el segundo de cada bloque). La memoria SD debe tener una capacidad de 518 MBytes para alcanzar un registro de 72 horas a 1000 mps, que sería la condición más exigente de muestreo.

Con el objetivo de brindar al médico la posibilidad de verificar la calidad de la señal, se incorporó al sistema un display gráfico de propósito general 2.22" Graphic OLED 128x32 SSD1305 OLED [12]. Durante el funcionamiento

normal del dispositivo este display se apaga, por lo que su consumo no repercute en el consumo total del sistema.

La comunicación del micro-controlador con los periféricos se resolvió utilizando el protocolo SPI.

El módulo ADC se utilizó en modo no automático, leyendo las muestras periódicamente por software mediante una interrupción generada por un temporizador. Para lograr una resolución aceptable (10 bits) en las muestras se debió utilizar una fuente de referencia para el ADC externa, ya que en la placa original los pines de referencia se encuentran conectados a la fuente de alimentación digital. Como la corriente que circula en la parte digital es muy variable se distorsiona la tensión de referencia del ADC, provocando la dispersión de las muestras.

Para diseñar esta fuente de referencia se tuvo en cuenta, además, que la misma debía tener capacidad de corriente, ya que en la placa de desarrollo no es posible independizar la tensión de referencia del ADC de su alimentación. Para el diseño de esta fuente se utilizó un integrado TL 431, de Texas Instruments [13]. Se puede ver en la Figura 4 un esquema de la fuente implementada, donde  $R1 = 4.7\text{ k}\Omega$ ,  $R2 = 15\text{ k}\Omega$ ,  $R = 360\ \Omega$ ,  $C = 470\ \mu\text{F}$ .

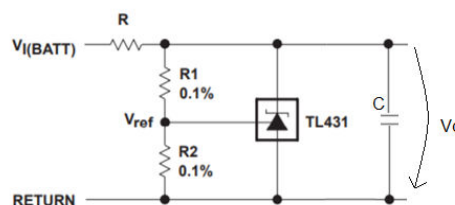


Figura 4: Fuente de referencia

En la Figura 5 se puede ver el muestreo de una tensión estable (pila) logrado con el ADC con referencia externa. La dispersión de las muestras es de 4 cuentas (2 bits), lo que se considera apropiado para la caracterización de la señal, ya que provee de 10 bits efectivos de resolución.

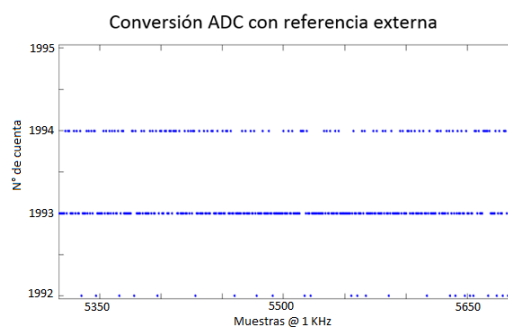


Figura 5: caracterización del ADC

Para reducir los consumos de la etapa digital del sistema se deshabilitaron los PLLs del micro-controlador y el oscilador principal (XTAL), optándose por utilizar el oscilador interno RC, de 12 MHz. También se implementó el

modo de bajo consumo llamado “sleep mode”, al que el micro- controlador accede cuando no se encuentra tomando muestras ni escribiendo en memoria.

El esquema final del prototipo implementado puede verse en la Figura 6. El bloque señalado como “uC” es en realidad toda la placa de desarrollo del LPC, que contiene al micro- controlador.

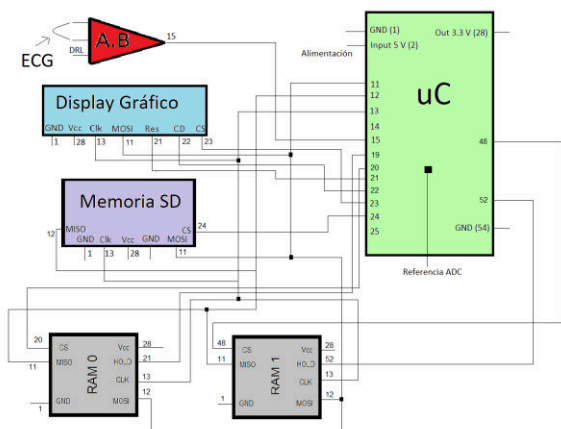


Figura 6: Esquema final del prototipo

El esquema planteado se sintetizó en un PCB (printed circuit board). Al mismo también se le incluyó el circuito de regulación que provee la tensión de referencia estable al ADC, y dos pulsadores de propósito general para implementar una interfaz con el usuario.

Tanto la etapa analógica como la placa de desarrollo del micro- controlador se alimentan con 5 V. Para los periféricos, y el micro- controlador en si se utiliza un regulador integrado en la placa de desarrollo del LPC 1769, que baja los 5 V a 3.3 V. Este regulador interno es una de las partes más débiles del diseño, ya que su consumo es elevado, y el fabricante no provee datos muy detallados del mismo. Sin embargo, como el proyecto planteado es un prototipo y no se planteaba desafectar la placa de desarrollo del LPC se dejó por el momento este regulador.

#### IV. Resultados

##### A. Medición de factores de mérito del AB

Para caracterizar al amplificador implementado se midió su ganancia de modo diferencial (GDD) y su rechazo de modo común (CMRR), obteniendo los resultados que se presentan en la Figura 7.

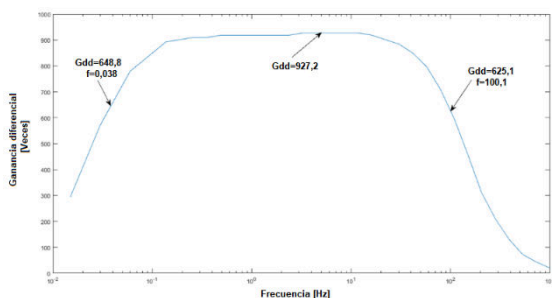


Figura 7 a: Ganancia de modo diferencial

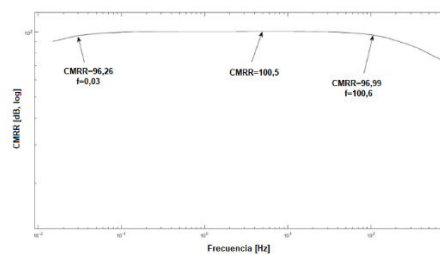


Figura 7 b: Rechazo de modo común

La ganancia diferencial es de aproximadamente 1000 veces en la zona de interés, como se quería lograr. El CMRR es de 100 dB en la zona de interés, mucho mayor al especificado por el fabricante de los A.O. utilizados ( $CMRR_{AO} > 75$  dB)

##### B. Ejemplo de pruebas con prototipo final:

Con el prototipo final diseñado y construido se tomaron medidas de la señal ECG en distintas circunstancias: utilizando un generador de señales, y electrodos de distintos tipos (pinzas y autoadhesivos). Las mismas se muestran en la Figura 8.

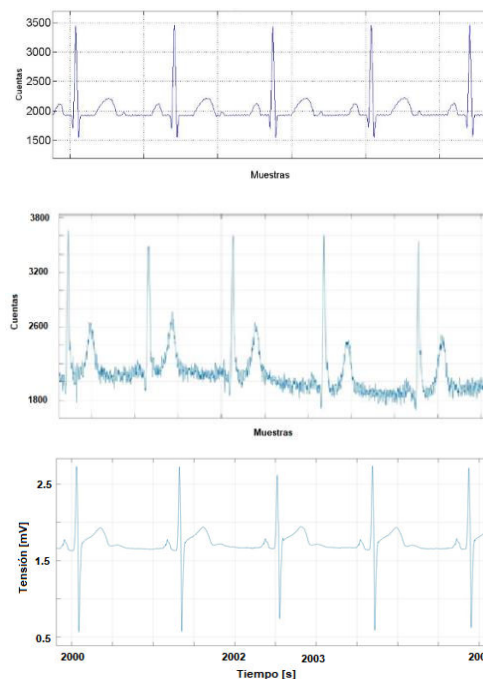


Figura 8: Pruebas con prototipo final (a) Proveniente de un generador de señales (b) Paciente con electrodos de pinza (c) Paciente con electrodos autoadhesivos

##### C. Consumos

Para definir el tipo de alimentación a implementar, se midieron los consumos del dispositivo, obteniendo:

- Micro- controlador más placa de desarrollo en modo normal: 73 mA
- Micro- controlador más placa de desarrollo en modo sleep: 68 mA
- Memoria SD (escribiéndose): 15 mA
- Etapa analógica: 15 mA
- Pantalla: 5 mA
- Memorias RAM: 2 mA

En un principio, el consumo que más llamó la atención es el del micro- controlador, ya que, en la hoja de datos, NXP asegura un consumo de 7 mA en modo normal y 2 mA en modo sleep, para 12 MHz y PLLs desactivados. Esta amplia diferencia entre los consumos teóricos y los medidos puede atribuirse a la placa de desarrollo del LPC, que incluye un micro- controlador que oficia de programador y un regulador interno que convierte de 5 V a 3.3 V. Para comprobar esto se midió el consumo del micro- controlador sin su placa de desarrollo. Los consumos obtenidos fueron:

- Micro- controlador solo en modo normal: 12.6 mA
- Micro- controlador solo en modo sleep: 7.6 mA

El consumo final del prototipo es de 85 mA, con lo cual se podría alcanzar las 72 hs planteadas desde un principio utilizando pilas de 6120 mAh. Si se desafectara la placa de desarrollo del micro- controlador el consumo bajaría a 25 mA. Esta modificación se pretende realizar a futuro dado que requiere cambios estructurales en el diseño. Para la prueba del prototipo se optó por testear el sistema durante 24 hs, alimentándolo con 4 pilas recargables VAPEX-tech de 2900 mAh y 1.25 V.

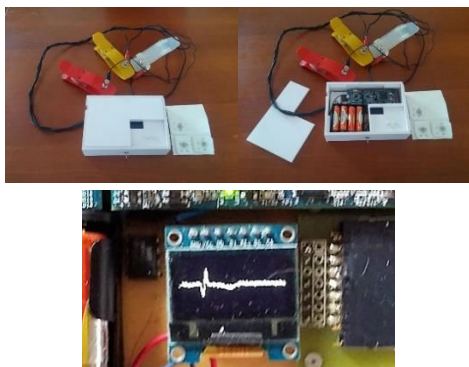


Figura 10: Prototipo final

## V. CONCLUSIONES Y TRABAJO A FUTURO

### A. Mejoras a futuro

Si bien el prototipo actual del Holter está funcionando correctamente existen mejoras que se proponen a futuro, especialmente para reducir el consumo del mismo, y agregarle funcionalidades para el uso del médico. Entre ellas se destacan:

- Desafectar la placa de desarrollo del micro- controlador, alimentándolo con 3,3 V, reduciendo significativamente el consumo. Supone un rediseño del PCB.
- Utilizar módulo DMA para comunicar a las ram directamente con el ADC.
- Incorporar un reloj con calendario.
- Utilizar componentes de montaje superficial para reducir el tamaño del PCB, y evitar su deterioro en el tiempo.
- Detección de eventos en tiempo real, tales como arritmias. Cálculo de la frecuencia cardíaca del

paciente, representada en menú del display gráfico. Protección ante malos funcionamientos del micro- controlador. Por ejemplo, se podría implementar un módulo watch- dog, que reinicie el sistema ante fallas.

- Modificar el formato de los datos generados al soportado por el software del médico.

### B. Conclusiones

A lo largo de este trabajo se logró implementar un prototipo completamente funcional de un Holter para señales ECG.

Utilizando el amplificador de biopotenciales planteado y un ADC de baja resolución (12 bits, aproximaciones sucesivas) se logró obtener registros de señal ECG de buena resolución, sin recurrir a ADCs de alta resolución como los sigma- delta.

Adicionalmente se comprobaron las prestaciones del amplificador de biopotenciales reportado en la bibliografía y se dejaron planteadas las bases para seguir mejorando el dispositivo en el futuro.

### AGRADECIMIENTOS

Queremos agradecerle por la gran ayuda prestada a lo largo de este proyecto a Enrique Spinelli, a los profesores de la cátedra de Proyecto Final y al personal del área técnica de la Facultad de Ingeniería (ATEI).

### REFERENCIAS

- [1] Enrique Company-Bosch. ECG front-end design simplified with microconverter. <http://www.analog.com/library/analogDialogue/archives/37-11/ecg.html>
- [2] Spinelli, Enrique Mario. Amplificadores de Instrumentación en Aplicaciones Biomédicas. Universidad Nacional de La Plata, La Plata, Argentina. M. Wegmuller, J. P. von der Weid, P. Oberson, and N. Gisin, "High resolution fiber distributed measurements with coherent OFDR," in *Proc. ECOC'00*, 2000, paper 11.3.4, p. 109.
- [3] Bruce B. Winter, and John G. Webster. "Driven-Right-Leg Circuit Design". IEEE Transactions on biomedical engineering. Vol, BME-30, NO. 1. January 1983.
- [4] Federico Guerrero y Enrique Spinelli. "High gain driven righth leg circuit for dry electrode systems. Electronics". Control and Signal Processing Institute LEICI (CONICET-UNLP). 2016. La Plata, Buenos Aires, Argentina. Publicado en Medical Engineering and Physics 39 (2017) 117-122
- [5] P. García, M. Haberman, E. Spinelli. "A Versatile Hardware Platform for Brain Computer Interfaces" Universidad Nacional de La Plata, La Plata, Argentina. (2007) The IEEE website. [Online]. Available: <http://www.ieee.org/>
- [6] Kendall ECG Electrodes Product Data Sheet. Arbo H124SG Ref. Code:31.1245.21.
- [7] Enrique Mario Spinelli, Ramon Pallas-Areny y Miguel Mayosky. "AC-Coupled Front-End for biopotential Measurements". IEEE Transactions on biomedical engineering. Vol. 50, NO. 3, March 2003.
- [8] TLC227x, TLC227xA: Advanced LinCMOS Rail-to-Rail Operational Amplifiers Data Sheet. Texas instruments.
- [9] LPC1769/68/67/66/65/64/63 Product Datasheet, Rev. 9.7 — 1 May 2017.
- [10] 23A256/23K256256K SPI Bus Low-Power Serial SRAM Data Sheet. Microchip.
- [11] AN11986 LPC546xx SD Card with FATFS – Application Note. NXP.
- [12] SSD 1305 132 x 64 Dot Matrix OLED/PLED Segment/Common Driver with Controller, Data Sheet. Solomon Systech.
- [13] TL431, TL432 Adjustable Precision Shunt Regulator datasheet (Rev. O).