

Interfaz cerebro computadora basada en SoC

Matías Javier Oliva
Grupo de Instrumentación
Biomédica Industrial y
científica (GIBIC), Instituto de
Investigaciones en
Electrónica, Control y
Procesamiento de Señales
(LEICI), Facultad de
Ingeniería Universidad
Nacional de La Plata (UNLP),
La Plata, Argentina.
matias.oliva93@gmail.com

Pablo Andrés García
Grupo de Instrumentación
Biomédica Industrial y
científica (GIBIC), Instituto de
Investigaciones en
Electrónica, Control y
Procesamiento de Señales
(LEICI), Facultad de
Ingeniería Universidad
Nacional de La Plata (UNLP),
La Plata, Argentina.

Enrique Mario Spinelli
Grupo de Instrumentación
Biomédica Industrial y
científica (GIBIC), Instituto de
Investigaciones en
Electrónica, Control y
Procesamiento de Señales
(LEICI), Facultad de
Ingeniería Universidad
Nacional de La Plata (UNLP),
La Plata, Argentina.

Rocío Madou
Grupo de Instrumentación
Biomédica Industrial y
científica (GIBIC), Instituto de
Investigaciones en
Electrónica, Control y
Procesamiento de Señales
(LEICI), Facultad de
Ingeniería Universidad
Nacional de La Plata (UNLP),
La Plata, Argentina.

Resumen— En general las implementaciones actuales de interfaces cerebro computadora consisten en una etapa de adquisición de biopotenciales y una PC. Esta estructura es muy flexible y apropiada para investigación, pero para usuarios finales es necesario migrar a un sistema embebido eliminando la PC del esquema. Esto permite soluciones compactas, con menor consumo y tiempo de arranque. Los estrictos requerimientos de procesamiento en tiempo real de este tipo de dispositivos justifican la elección de un sistema embebido heterogéneo para este propósito. En este trabajo se presenta un sistema de BCI basado en potenciales evocados estacionarios de estado estable desarrollado en un sistema SoC de10-nano provisto por Altera. Se describe el sistema implementado y se muestran resultados preliminares de su utilización para comandar un deletreador.

Palabras clave— Interfaz cerebro computadora, sistemas embebidos heterogéneos, potenciales evocados estacionarios de estado estable.

I. INTRODUCCIÓN

Una interfaz cerebro computadora (BCI, del inglés brain computer interface) es un dispositivo que provee al usuario de un nuevo canal de comunicación y control sin realizar acciones motoras [1], lo cual puede ser muy útil para que personas con movilidad reducida y pérdida del habla tengan la oportunidad de comandar un deletreador, una silla de ruedas o un mouse de computadora, por ejemplo [2,3].

En general las BCI adquieren potenciales cerebrales del usuario, comúnmente mediante electroencefalografía (EEG), y los utilizan para comandar distintos dispositivos. Según el tipo de potenciales cerebrales que el sistema obtenga y procese se pueden diseñar distintos tipos de BCIs. En particular los potenciales evocados visuales de estado estable (SSVEP, del inglés steady state visually evoked potentials) son potenciales periódicos que pueden obtenerse mediante el registro EEG en la zona occipital. Se presentan ante estímulos visuales periódicos superiores a 6 Hz y presentan la misma periodicidad que el estímulo [4].

El uso de SSVEPs para implementar BCIs está ampliamente estudiado. Este tiene la ventaja de lograr dispositivos simples de usar, con tasas de transmisión de información (ITR, del inglés information transfer rate) altas [4,5]. En [4] por ejemplo, se reporta una ITR de 68 bits/min. En la mayoría de las publicaciones disponibles los sistemas utilizan una etapa de adquisición de biopotenciales y una PC, lo que limita ampliamente la portabilidad del conjunto. Algunos ejemplos de estas implementaciones pueden encontrarse en [2] [8] o [12].

Una vez adquiridas, las señales de EEG deben ser procesadas, mediante una computadora o un sistema embebido dedicado (SE). Estos últimos tienen la ventaja de estar diseñados para la aplicación en particular, lo cual les brinda exclusividad sobre los recursos del sistema, la

posibilidad de disponer de una interfaz de usuario más sencilla e intuitiva, menor consumo y tamaño.

Al elegir la arquitectura del SE para implementar una BCI un aspecto clave a tener en cuenta son sus capacidades de cómputo en tiempo real: el dispositivo debe proveer al usuario de una respuesta rápida ante sus comandos. Por sus capacidades de cómputo, la flexibilidad que se puede lograr en su implementación y el gran paralelismo de tareas que permite, se presenta como una buena alternativa un sistema embebido heterogéneo, consistente en un arreglo de celdas lógicas programables (FPGA, del inglés field programmable gate array) y un procesador dedicado (HPS, del inglés hard processor system).

La implementación de sistemas de BCI basados en SSVEP en FPGAs es un tema de estudio relativamente nuevo, aunque ha dado lugar a publicaciones como [10], donde se presenta una BCI basada en codificación en fase que logra una ITR de hasta 20 bits/min (5 a 8 segundos por comando seleccionado), u [11], donde se reporta una ITR de 36 bits/min. Si bien estos dispositivos no alcanzan las ITR logradas por los sistemas reportados en [4] o [12], por ejemplo, sí destacan por su portabilidad y flexibilidad.

En este artículo se presenta el diseño e implementación de una BCI basada en SSVEPs y codificación frecuencial, desarrollado íntegramente en un SoC system de10-nano provisto por Altera. Esta investigación tiene como base la presentada en [7], en donde se describe el sistema adquisidor de señales de EEG. Al hardware desarrollado para esa aplicación se le adiciona el módulo encargado de la FFT dentro de la FPGA, la implementación de los estímulos visuales sincronizados con los momentos de adquisición de señal y el sistema clasificador de las señales, que utiliza la información obtenida para comandar un deletreador. Como resultado se obtiene un dispositivo que destaca frente a otros reportados por ser compacto, portable, de bajo costo y fácil de usar y por no depender de una PC para su funcionamiento.

II. ESQUEMA GENERAL DEL DISPOSITIVO

El sistema puede dividirse en 4 etapas (Figura 1):

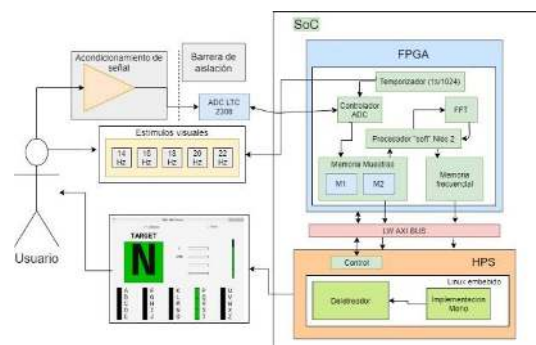


Figura 1. Esquema general del dispositivo

A. Acondicionamiento de señal y barrera de aislación

Para adquirir la señal de EEG se utilizó un amplificador de un canal acoplado en alterna [6], complementado con un aislador integrado de grado médico ADUM6401, para la alimentación del amplificador, y un amplificador de aislación óptico basado en el optoacoplador IL300, para aislar la señal a su salida. El esquema del amplificador se describe en [7].

B. Estímulos visuales

Para generar los estímulos visuales mediante los cuales el usuario controla el dispositivo se utilizaron 5 matrices de luces LED rojas, que parpadean a 14, 16, 18, 20 y 22 Hz. Para poder registrar correctamente el fenómeno SSVEP es conveniente que la periodicidad de los estímulos esté sincronizada con los instantes de muestreo de la señal, por lo que se utilizó el mismo temporizador, configurado en 1/1024 s y generado en la FPGA, para controlar ambos módulos.

C. Procesamiento de bajo nivel (FPGA)

La adquisición y almacenamiento de la señal y el cálculo de su transformada rápida de Fourier (FFT, del inglés fast Fourier transform) se implementaron íntegramente por hardware en la FPGA. En la Figura 1 se pueden observar los distintos módulos que conforman el diseño digital.

El convertor analógico digital (ADC, del inglés analog to digital converter) es controlado por un módulo que se encarga de comunicar por protocolo SPI al ADC LTC2308 (Un convertor de 12 bits y aproximaciones sucesivas), integrado en la placa de 10-nano, con el sistema. La sincronización del temporizador fija la frecuencia de muestreo en 1024 mps. Las muestras provenientes de ADC se guardan en dos memorias que actúan como doble buffer circular [8] y quedan a disposición del procesamiento de alto nivel, y del procesador NIOS, mediante una señalización adecuada.

Este es un procesador "soft", es decir que está programado en las celdas lógicas de la FPGA. En este esquema se encarga de poner a disposición del módulo que computa la FFT las muestras provenientes del ADC, y de leer los resultados obtenidos. Luego escribe los resultados en una memoria (indicada como "memoria frecuencial"), señalizándose al HPS. De esta manera la memoria a la que tiene acceso el HPS tiene siempre disponible la información de la magnitud de la FFT de la última ventana de 512 muestras.

El módulo que implementa la FFT está conformado por dos partes. Un núcleo provisto por [9] se encarga de calcular la FFT de 512 puntos con una interfaz entrada/salida serie, mientras que dos memorias FIFO y lógica dedicada resuelven la interfaz entrada/salida con el procesador NIOS. Para implementar la comunicación entre módulos se utilizaron buses estándar de Altera, como se ve en la Figura 2.

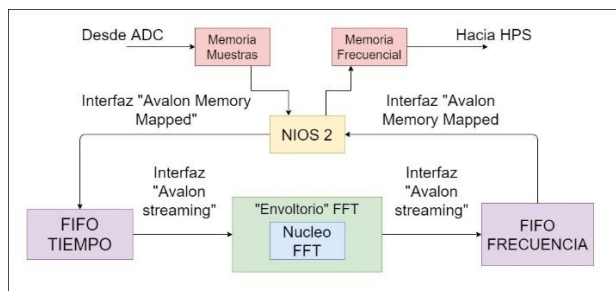


Figura 2. Detalle de operación del módulo FFT

D. Procesamiento de alto nivel (HPS)

Mediante el bus de comunicación Lw-axi-bus las memorias temporales y frecuenciales generadas por el procesamiento de bajo nivel del sistema se mapean directamente en la memoria virtual del módulo HPS del SoC de 10-nano. Como este posee un sistema operativo Linux embebido se decidió programar una interfaz de usuario en C#, ejecutándola directamente mediante la implementación mono del framework de .Net.

En esta implementación se programó un deletreador. En cada ventana (512 muestras o 0,5 segundos) se compara la magnitud de la FFT de la señal de EEG en las frecuencias de interés (14, 16, 18, 20 y 22 Hz), entre sí y contra la media, seleccionando la que tiene mayor magnitud. Cada estímulo visual, y por lo tanto cada frecuencia detectada en la FFT, está asociado con una opción en la pantalla. Si una frecuencia determinada es seleccionada en tres ventanas consecutivas, se selecciona la opción correspondiente a esa frecuencia.

Utilizando este sistema, el sujeto puede seleccionar entre 25 letras distintas en dos etapas sucesivas. Para proporcionar una retroalimentación para el usuario, la GUI (que se muestra en la Figura 1) también implementa barras de progreso relacionadas con las tres selecciones sucesivas.

III. RESULTADOS

Para verificar el funcionamiento del dispositivo se les pidió a dos usuarios, uno sin experiencia previa en el manejo de BCI (usuario A) y uno experimentado (usuario B), que seleccionen letras aleatoriamente. En los mejores casos el tiempo de selección para el usuario A fue de unos 5 segundos, pero en algunas ocasiones necesitó más de 100 segundos para seleccionar un comando. Por otro lado, el usuario B logra ejecutar un comando típicamente entre 5 y 10 segundos. Estos resultados son comparables con los presentados en [10], donde el tiempo de selección típica de los usuarios fue entre 5 y 8 segundos. A modo de ejemplo, se muestra el espectro del registro EEG del usuario A, obtenido en 3 ventanas consecutivas, correspondiente a una selección exitosa para un estímulo visual de 16 Hz.

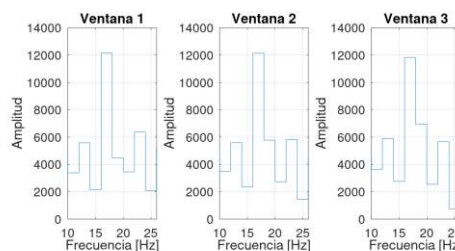


Figura 3. Espectro de registro EEG ante un estímulo de 16 Hz

IV. CONCLUSIONES

Se ha presentado un sistema embebido de BCI basado en SSVEPs diseñado con un sistema SoC de 10 nano. Con un sistema de este tipo se logra dedicar hardware especial a las tareas de alta carga computacional, permitiendo una gran separación de tareas de alto y bajo nivel y brindando gran flexibilidad al sistema. Se realizó un primer ensayo experimental que permitió verificar el funcionamiento del sistema completo, pero queda por realizar una caracterización detallada de su desempeño y plantear estrategias para mejorarlo.

REFERENCIAS:

- [1] Wolpaw J. R., Birbaumer N., McFarland D. J., Pfurtscheller G., and Vaughan T. M. (2002). Brain-computer interfaces for communication and control. *Clin. Neurophysiology*, vol. 113, pp. 767–791.
- [2] Chabuda A., Durka P. and Zygierevicz J. (2018). High Frequency SSVEP-BCI With Hardware Stimuli Control and Phase- Synchronized Comb Filter. *IEEE Transactions on neural systems and rehabilitation engineering*, vol. 26, no. 2, pp 344-342
- [3] Long Jinyi, Li Yuanqing, Wang Hongtao, Yu Tianyou, Pan Jiahui, and Li Feng. (2012). A Hybrid Brain Computer Interface to Control the Direction and Speed of a Simulated or Real Wheelchair. *IEEE Transactions on neural systems and rehabilitation engineering*, vol. 20, no. 5, pp 720-729
- [4] Gao X., Xu D., Cheng M. and Gao S. (2003). A BCI-based environmental controller for the motion-disabled. *IEEE Transactions on neural systems and rehabilitation engineering*, vol. 11, pp 137-140
- [5] Srinivasan R., Bibi F.A. and Nunez P.L. (2006). Steady-state visual evoked potentials: distributed local sources and wave-like dynamics are sensitive to flicker frequency. *Brain Topogr*, vol. 18, pp 167–187.
- [6] Spinelli E. M., Martinez N. and Mayosky M. (2001). A Single Supply Biopotential Amplifier. *Medical Engineering and Physics*, ISSN 1350-4533, Vol. 23/3, pp. 235-238.
- [7] Oliva M.J., García P.A and Spinelli E.M. (2020). A System on Chip based electroencephalogram acquisition system. *Revista argentina de bioingeniería*, vol 24, no. 3. pp 8-11
- [8] García P. A., Spinelli E. M. and Toccaceli G. (2014). An Embedded System for Evoked Biopotential Acquisition and Processing. *International Journal of Embedded Systems (IJES)*, vol 6, issue:1. pp 86-93.
- [9] Dan Gisselquist. (2 de octubre de 2018). An Open Source Pipelined FFT Generator. Gisselquist Technology's ZipCPU website. Recuperado de <https://zipcpu.com/dsp/2018/10/02/fft.html>.
- [10] Lin J.S., Wu W.C. (2018). An FPGA-based BCI system with SSVEP and phased coding techniques. *Journal of Technology*, Vol. 33, No. 1. pp. 53-62
- [11] Lin, B. S., Lin, B. S., Yen, T. H., Hsu, C. C., & Wang, Y. C. (2019). Design of Wearable Headset with Steady State Visually Evoked Potential-Based Brain Computer Interface. *Micromachines*, vol 10, No 10. pp 681.
- [12] Xiaogang Chen, Yijun Wang, Masaki Nakanishi, Xiaorong Gao, Tzyy-Ping Jung, Shangkai Gao. (2015). High speed spelling with a brain-computer interface. *Proceedings of the National Academy of Sciences* vol 112 No 44.