



XVI JORNADAS DE JÓVENES INVESTIGADORES

Asociación de Universidades
Grupo Montevideo (AUGM)

27, 28 y 29 de octubre de 2008
Universidad de la República
Montevideo – Uruguay



UNIVERSIDAD NACIONAL DE LA PLATA.

FACULTAD DE INGENIERÍA.

**LABORATORIO DE ELECTRÓNICA INDUSTRIAL, CONTROL E INSTRUMENTACIÓN
(LEICI)**

Título del trabajo: RECEPTOR DE RF BASADO EN SDR APLICADO A GPS

Autores: G. Ramón López La Valle – Javier G. García

Núcleo Disciplinario: Microelectrónica

Dirección electrónica de los autores: lopezlavalle@gmail.com – jgarcia@ing.unlp.edu.ar

Palabras Clave: SDR, GPS, receptor de RF

Receptor de RF basado en SDR aplicado a GPS

1 Introducción

El presente trabajo consiste en el diseño, implementación y medición de un receptor de radiofrecuencia (RF) basado en la tecnología denominada radio definida por software (Software Defined Radio o SDR).

El diseño propuesto consta de una etapa de RF, en la que se seleccionan y amplifican las señales de interés; y una etapa de digitalización, en la cual estas señales se convierten al dominio digital para que luego puedan ser procesadas en un dispositivo adecuado para este fin, como un procesador digital de señales (DSP) o en dispositivos lógicos programables, como por ejemplo una FPGA (Field Programmable Gate Array).

Si bien el proyecto está orientado a la recepción de señales de GPS, la etapa de digitalización fue diseñada para que sea útil en otras aplicaciones, siguiendo el concepto de SDR.

En este trabajo, además del diseño, se presentan los prototipos desarrollados y las mediciones realizadas a los mismos, las cuales permitieron corroborar el satisfactorio funcionamiento del diseño propuesto.

1.1 La tecnología SDR

La tecnología SDR se refiere a una clase de dispositivos de radio reprogramables o reconfigurables, es decir en los cuales una misma pieza de hardware puede ser utilizada para realizar diferentes funciones programadas por software.

Entonces, con esta tecnología es posible construir un dispositivo de "propósito general" para las comunicaciones. Esta es una de las razones por las cuales la tecnología SDR está en un rápido proceso de desarrollo, generando grandes expectativas en la industria de las telecomunicaciones. En los últimos años, los sistemas de radio analógicos están siendo sustituidos por los sistemas de radio digitales en ámbitos militares, civiles y comerciales.

Un receptor SDR típico consta de una etapa de radiofrecuencia, una etapa de digitalización y una etapa de procesamiento, en donde las muestras son procesadas para realizar la demodulación.

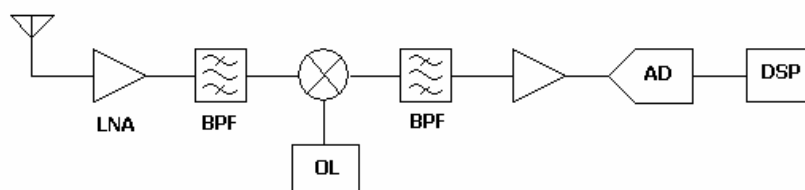


Figura 1. Esquema de un receptor SDR típico.

La etapa de RF consiste en una antena, un amplificador de bajo ruido (LNA), que fija la figura de ruido del receptor; un filtro pasabanda (BPF), para seleccionar la banda de interés; una etapa de frecuencia intermedia (IF), compuesta por un mezclador y un circuito que genera el tono de oscilador local (OL) de la frecuencia deseada; un filtro pasabanda, para dar la selectividad final del receptor y etapas de amplificación necesarias para llevar los niveles de señal a valores adecuados para excitar la etapa de digitalización posterior. La etapa de digitalización está constituida por un circuito de acondicionamiento de señal y un conversor analógico a digital (AD). Finalmente, la etapa de procesamiento es un dispositivo tal como un DSP o una FPGA, en donde se procesan las muestras provenientes de la etapa de digitalización.

1.2 El sistema de posicionamiento global (GPS)

El GPS es un sistema de navegación basado en satélites, que permite obtener en tiempo real información continua sobre posicionamiento y tiempo, en cualquier lugar del mundo y bajo cualquier condición climática. Cada satélite de GPS transmite una señal de radio de microondas formada por dos frecuencias de portadora moduladas por dos códigos digitales y un mensaje de navegación.

Las frecuencias de portadora se denominan L1 y L2 y sus frecuencias son 1575,42MHz y 1227,6MHz respectivamente. Los dos códigos, C/A y P, están modulados en BPSK. La tasa de chip del código C/A es de 1,023Mbps y la del código P es de 10,23Mbps, por lo tanto sus anchos de banda (considerando sólo el lóbulo principal de su espectro) son de 2,046MHz y 20,46MHz respectivamente [1]. El mensaje de navegación tiene una tasa de bit de 50bps.

2 Materiales y métodos

2.1 Etapa de digitalización

Por el teorema del muestreo se sabe que una señal de banda limitada a f_m deberá ser muestreada a una frecuencia $f_s \geq 2f_m$ para que la señal pueda reconstruirse exactamente mediante sus muestras. Entonces, para el caso de las señales de GPS, que tienen un ancho de banda máximo de 20,46MHz, se requerirá una frecuencia de muestreo que sea al menos 40,92MHz ($2 \times 20,46\text{MHz}$), con algunos pocos bits de resolución.

Sin embargo, como el objetivo es el diseño de un dispositivo de uso general, que sea útil para otras aplicaciones (además de la recepción de señales GPS), no se limitó sólo a las especificaciones anteriores para elegir el conversor. Es por esto que se optó por un conversor AD de 12 bits y 80Msps, en particular se trata del ADS809 de Texas Instruments, con el cual se podrá muestrear señales de hasta 40MHz de ancho de banda [2].

2.1.1 Diseño del circuito

La etapa de digitalización diseñada está compuesta por:

- un circuito de acondicionamiento de señal: encargado de convertir las señales de modo simple a diferencial, ya que de esta forma se obtiene el mejor desempeño del conversor. Este circuito se implementó con un transformador de RF (balun);
- una etapa de amplificación diferencial: implementada con amplificadores operacionales de banda ancha [3].
- un filtro anti-replicado: se trata de un filtro pasabajos pasivo de segundo orden, cuya frecuencia de corte es de 40MHz [4];
- el conversor AD: convierte las señales analógicas al dominio digital;
- un buffer de salida: para reducir la capacidad de carga y proteger al conversor [5].

En la Figura 2 se muestra un esquema simplificado del circuito diseñado.

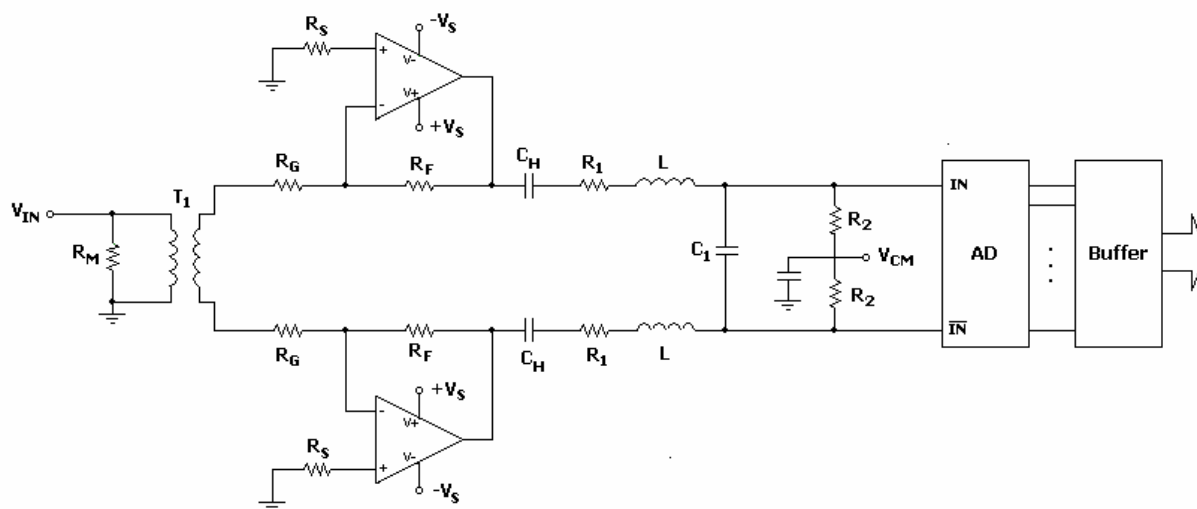


Figura 2. Circuito completo.

2.1.2 Diseño del circuito impreso

El circuito impreso se realizó en dos capas con el objetivo de abaratar los costos de fabricación. Sin embargo, debido a la complejidad del circuito, lo óptimo hubiera sido un diseño de al menos cuatro capas.

Para la construcción del circuito impreso se utilizó un sustrato delgado (FR4 de 0,8mm) para reducir la inductancia y la resistencia de las vías. La capa superior se empleó para colocar los componentes (plano de señal) mientras que la capa inferior se usó como plano de tierra. Para reducir las pérdidas, las líneas analógicas se diseñaron de manera que tuvieran una impedancia característica de 50Ω. Se colocaron capacitores de desacople en los dispositivos activos. La alimentación se conectó a través de la capa inferior. Debido a la arquitectura diferencial propuesta, los componentes se dispusieron siguiendo una estricta

línea de simetría para reducir la distorsión. Las Figuras 3 y 4 son fotos del circuito impreso fabricado.

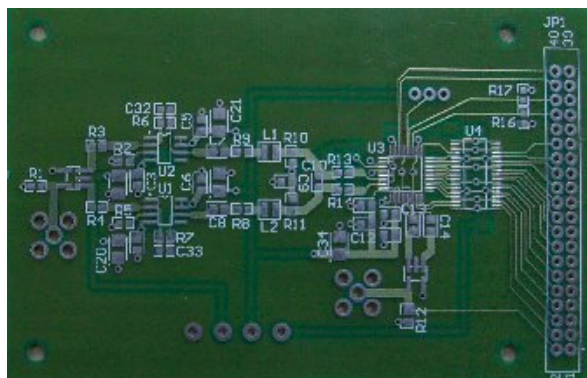


Figura 3. Capa superior.

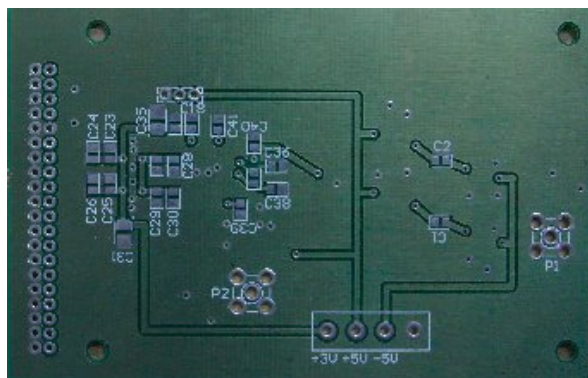


Figura 4. Capa inferior.

2.2 Etapa de RF

Se optó por un esquema de digitalización en frecuencia intermedia, por lo que se eligió una IF de 25MHz. Como la amplificación requerida es elevada, aproximadamente 85dB, se empleó un amplificador adicional en RF (además del LNA).

Debido a que se utilizó una IF baja, se colocaron dos filtros de RF para proporcionar un adecuado rechazo de las frecuencias imagen, uno luego del LNA y otro antes del mezclador. Estos son filtros pasabanda cerámicos con una frecuencia central de 1575,42MHz y un ancho de banda de 20MHz, es decir están diseñados para seleccionar la señal de L1.

El oscilador local se generó a través de un circuito sintetizador de frecuencias (PLL) con un oscilador de referencia preciso, en particular un oscilador a cristal compensado en temperatura (TCXO) de 10MHz.

El filtro pasabanda de IF se diseñó con componentes discretos, de manera que tuviera una frecuencia central de 25MHz y un ancho de banda de 20MHz. Para conseguir el resto de la amplificación se utilizó un amplificador de ganancia variable (controlado por tensión), para realizar el control de ganancia; y dos amplificadores de IF tipo MMIC (Monolithic Microwave Integrated Circuit), colocados en cascada. La Figura 5 es el diagrama de bloques de la etapa de RF.

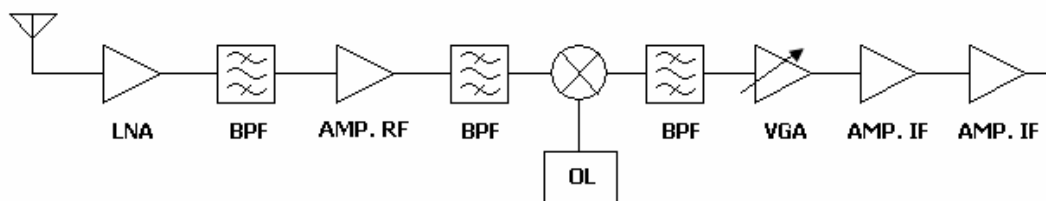


Figura 5. Esquema de la etapa de RF.

2.2.1 Diseño del circuito impreso

Se realizó un diseño en dos capas. La capa superior se utilizó como plano de tierra y la capa inferior como plano de señal, en donde se montaron la mayor parte de los componentes.

El circuito impreso se implementó en un sustrato de 0,8mm, para reducir la inductancia y la resistencia de las vías. Las líneas se diseñaron para que tuvieran una impedancia característica de 50Ω y de esta forma minimizar las pérdidas.

Todas las partes no pobladas del plano de señal se cubrieron con un plano de tierra conectado por vías al plano de tierra de la capa superior. Esta técnica permite mejorar el apantallamiento de las señales y proporciona un sustrato para colocar blindajes.

La alimentación se suministró a través de cables tipo wire-wrap para lo cual se colocaron conectores y pads estratégicamente ubicados.

Las Figuras 6 y 7 son fotos del circuito impreso fabricado.

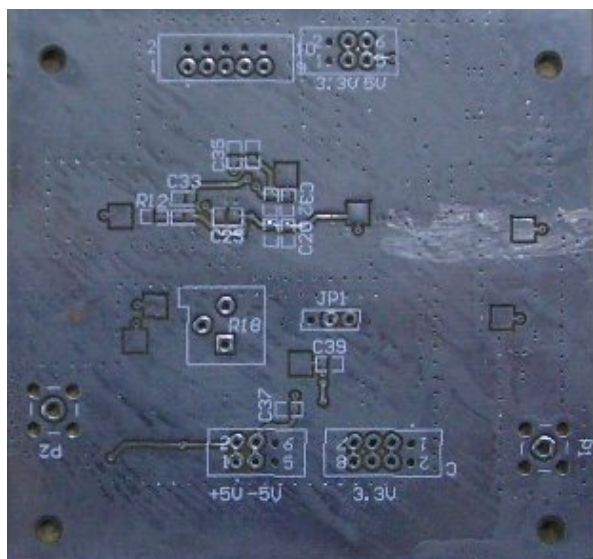


Figura 6. Capa superior.

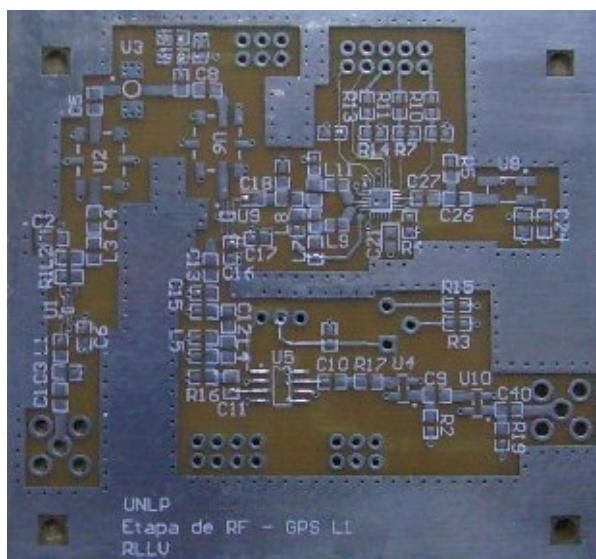


Figura 7. Capa inferior.

3 Implementación y resultados

3.1 Etapa de digitalización

Una vez que se montaron los componentes en el circuito impreso y que se inspeccionó detalladamente el circuito en busca de soldaduras defectuosas, se pasó a la medición de la etapa. La Figura 8 es una foto del circuito terminado con todo el conexionado necesario.

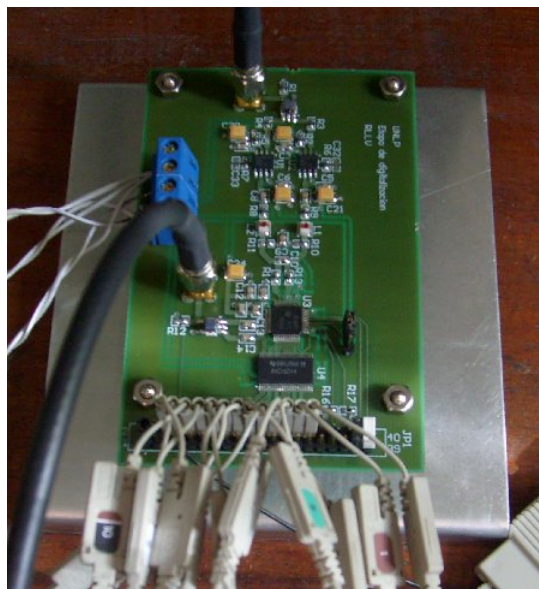


Figura 8. Etapa de digitalización completa.

3.1.1 Medición de la transferencia

La primera prueba consistió en el relevamiento de la transferencia del circuito, desde la entrada de los amplificadores operacionales hasta la entrada del conversor AD. Para esto se efectuó un barrido en frecuencia, utilizando una señal sinusoidal, y se calculó la ganancia para cada frecuencia. La Figura 9 muestra los resultados obtenidos junto con la simulación del circuito.

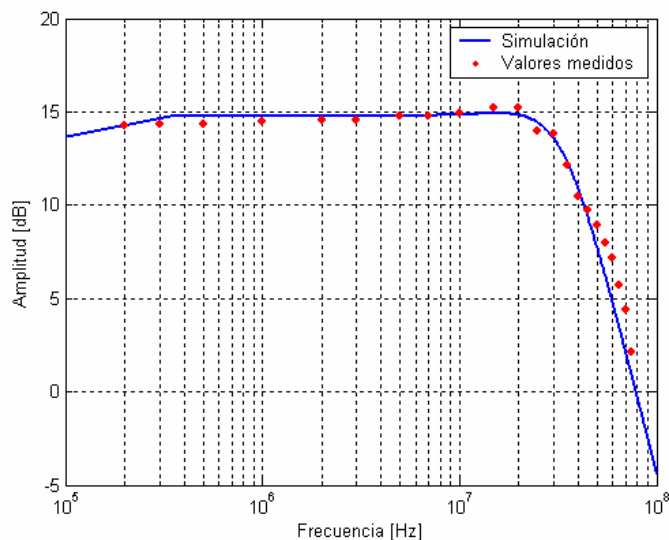


Figura 9. Resultados del relevamiento de la transferencia.

Como puede verse en el gráfico, los valores medidos se ajustan a la transferencia simulada con P-Spice. Por lo tanto, el circuito se comporta de acuerdo a lo planeado.

3.2 Prueba de funcionamiento del conversor

En esta prueba se muestreó una señal sinusoidal de 5MHz a una tasa de muestreo de 20Mps. Las muestras, obtenidas con un analizador lógico, se procesaron para hallar su espectro mediante el cálculo de la FFT. La Figura 10 muestra el espectro.

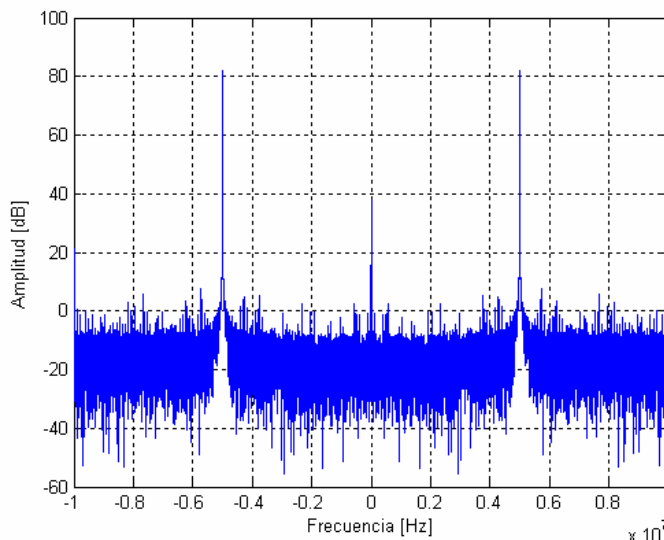


Figura 10. Espectro de las muestras.

Se observan los picos en 5MHz, tal como se esperaba. Si bien se pudo verificar que el conversor funciona en forma adecuada, esta prueba no permite determinar cuál es su verdadero desempeño.

3.2.1 Desempeño del conversor

Para evaluar el desempeño de un conversor AD en forma cuantitativa se utiliza el número de bits efectivos. Esta cantidad se obtiene a partir de la expresión del ruido de cuantización del conversor [6]:

$$n = \frac{\text{SINAD}[\text{dB}] - 1,76}{6,02}$$

donde el SINAD es la relación señal a ruido más distorsión.

Para calcular esta cantidad, se recolectan las muestras de salida del conversor, con un analizador lógico, y se procesan utilizando una computadora.

En este caso se muestreó una señal sinusoidal de 10MHz a diferentes velocidades y se calculó el número de bits efectivos para cada frecuencia de muestreo. La Figura 11 muestra los resultados.

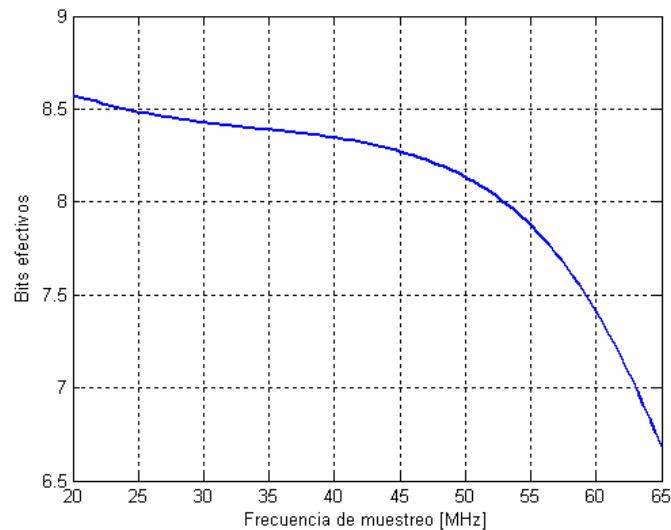


Figura 11. Desempeño del convertidor.

A partir de los resultados obtenidos puede verse que el desempeño del convertidor es adecuado. Existe un decremento en la cantidad de bits efectivos para frecuencias de muestreo altas (mayores a 60MHz). Se detectó que este problema se debe al acoplamiento de señal de reloj en la entrada del convertidor.

3.3 Etapa de RF

Para el ensamblado del circuito se recurrió a técnicas de soldado por flujo, que implican el uso de pasta de soldar y un horno, debido a que el encapsulado de algunos componentes impedía el soldado manual (por ejemplo, el sintetizador de frecuencias). Las Figuras 12 y 13 son fotos del circuito terminado.

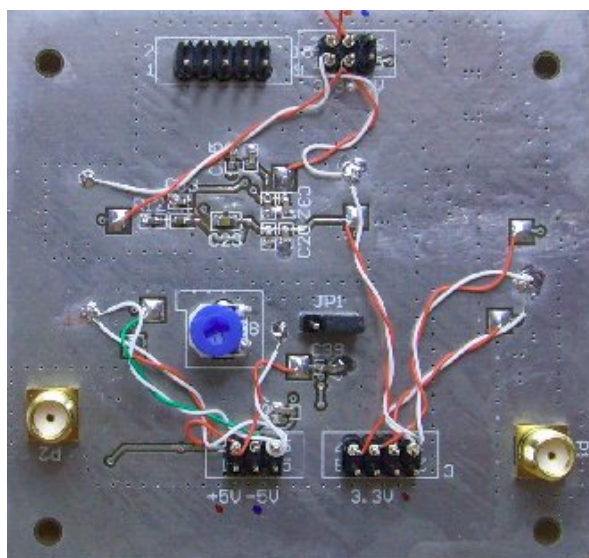


Figura 12. Capa superior.

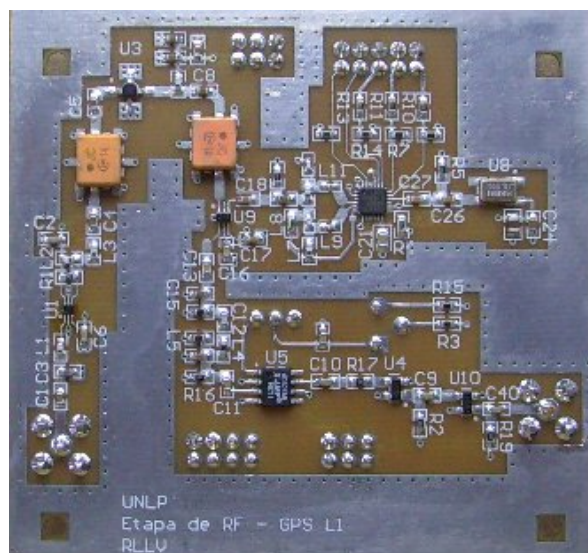


Figura 13. Capa inferior.

En las primeras mediciones realizadas se observaron oscilaciones en la salida (IF). Se encontró que este problema se debía al acoplamiento de señal de OL en la entrada de RF

del circuito. Luego de realizar blindajes sobre el circuito de entrada de RF (LNA y primer filtro de RF) y sobre el circuito sintetizador de frecuencias, las oscilaciones desaparecieron.

Para caracterizar la etapa de RF se observó el espectro de salida (IF) utilizando un analizador de espectro. Por lo tanto, se excitó la entrada de la etapa con una señal sinusoidal de 1575,42MHz y -90dBm (condiciones nominales de funcionamiento). La Figura 14 muestra el espectro obtenido.

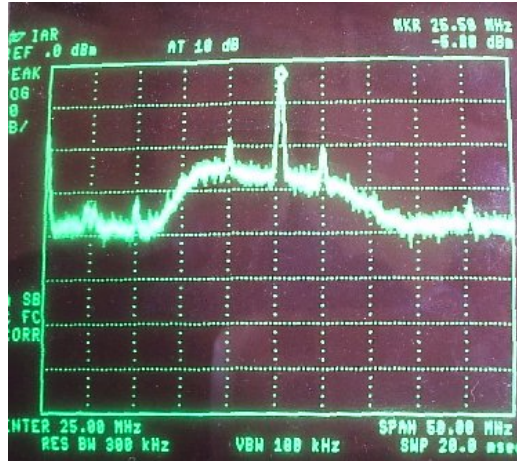


Figura 14. Espectro de salida.

Según las mediciones realizadas, se comprobó que la IF está en la frecuencia adecuada (aproximadamente 25,5MHz) y que el nivel de ganancia es correcto (alrededor de 85dB). Además, se verificó que el ancho de banda es el que esperaba, aproximadamente 20MHz, como se aprecia en el centro de la Figura 14.

Se observaron unos tonos no deseados a 5MHz de la IF, cuya potencia está 18dB por debajo de la portadora, por lo tanto no influyen apreciablemente en el desempeño de la etapa.

Entonces, de acuerdo con las mediciones realizadas, se puede concluir que la etapa de RF funciona según lo planeado.

3.4 Receptor completo

Una vez que se midieron y caracterizaron las etapas de digitalización y RF, se realizó la prueba del receptor completo, con ambas etapas integradas y con señales de GPS reales (no simuladas). El esquema del ensayo se muestra en la Figura 15.

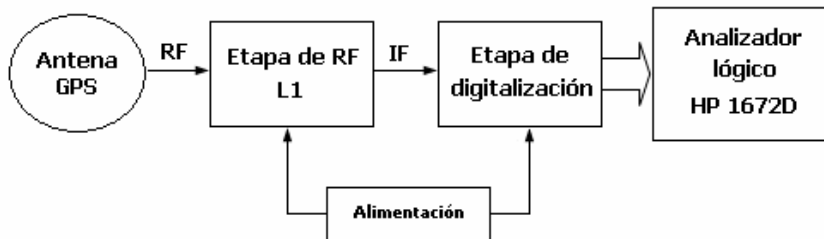


Figura 15. Esquema del ensayo del receptor completo.

Las muestras obtenidas se procesaron con una computadora para realizar la adquisición de la señal de código C/A. Para esto se utilizaron rutinas ya desarrolladas [7]. Al ejecutarlas se pudo detectar la presencia de todos los satélites visibles al momento de realizar la prueba. De esta forma se comprobó el correcto funcionamiento de todos los subsistemas del receptor. En la Figura 16, a modo de ejemplo, se muestra el pico de correlación correspondiente al satélite 3.

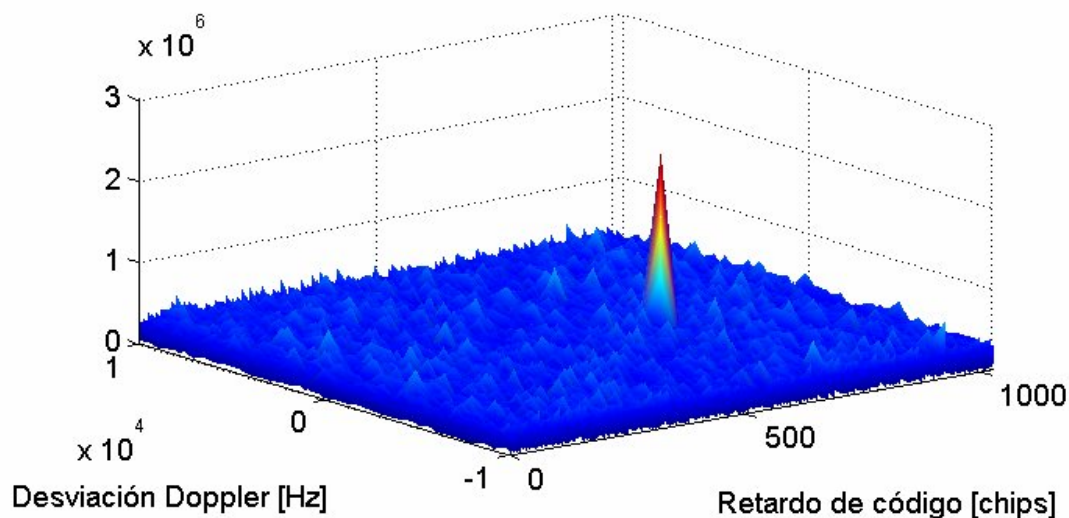


Figura 16. Pico de correlación correspondiente al satélite 3.

De dicho gráfico es posible extraer los parámetros necesarios para seguir al satélite (retardo de código y desviación Doppler) y, de esta forma, poder utilizarlo para la estimación de la posición del usuario.

4 Conclusiones

En este trabajo se presentó el diseño, implementación y verificación de las etapas de radiofrecuencia y digitalización de un receptor basado en la tecnología de radio definida por software, aplicado a la recepción de señales de GPS.

De acuerdo con los resultados obtenidos en las mediciones efectuadas a la etapa de digitalización, se pudo comprobar que ésta funciona según lo planeado. Se detectó que el desempeño de la misma disminuye para frecuencias de muestreo elevadas (mayores a 60MHz). Al analizar este problema se encontró que es causado por el acoplamiento de señal de reloj en la entrada del conversor.

Para solucionar el problema del acoplamiento se realizó un blindaje del circuito de reloj. Esto permitió obtener una mejora en el desempeño del conversor, pero no logró eliminar completamente el acoplamiento. Es importante hacer notar que la etapa de digitalización trabaja a frecuencias de muestreo elevadas, lo cual hace que detalles mínimos en el diseño comprometan fuertemente al funcionamiento del circuito.

En futuras modificaciones se propone un cambio en la disposición del circuito de reloj para separarlo aún más de las líneas de entrada del conversor. Además, se recomienda colocar un plano de tierra en la capa superior del circuito, conectado con vías al plano de tierra de la capa inferior. Esto ayudará a reducir el acoplamiento entre las distintas partes de la placa.

A partir de las mediciones efectuadas a la etapa de RF se pudo comprobar que cumple con los parámetros de diseño propuestos, es decir su funcionamiento resultó tal como se esperaba. Debe tenerse en cuenta que esta etapa funciona a frecuencias elevadas (alrededor de 1575,42MHz). A estas frecuencias, el diseño de los circuitos y de los impresos, así como el montaje de los componentes, requieren especiales cuidados. Se trata de una tarea extremadamente compleja, en la cual obtener resultados como los hallados no es sencillo.

Por último se probó el diseño completo, utilizando la etapa de RF para recibir las señales de GPS con una antena, y la etapa de digitalización para convertir las señales al dominio digital. Las muestras obtenidas se procesaron a través de una computadora, realizándose la adquisición del código C/A. Entonces, se pudo verificar el correcto funcionamiento de las etapas integradas, es decir del receptor SDR diseñado e implementado.

Referencias

- [1] BAO-YEN TSUI, James. Fundamentals of Global Positioning System Receivers: a software approach, segunda edición, John Wiley & Sons, 2005.
- [2] 12-Bit, 80 MHz Sampling Analog-to-Digital Converter: ADS809. Data sheet SBAS170C. Texas Instruments, 2000.
- [3] Ultra-Wideband, Current-Feedback Operational Amplifier with Disable: OPA695. Data sheet SBOS293E. Texas Instruments, 2003.
- [4] STEFFES, Michael. RLC Filter Design for ADC Interface Applications. Application report SBAA108A. Texas Instruments, 2003.
- [5] 16-Bit Buffer/Driver with 3-State Outputs: SN74AVC16244. Data sheet SCES141N. Texas Instruments, 1998.
- [6] BOWLING, Steve. Understanding A/D Converter Performance Specifications, application note AN693, MicroChip, 2000.
- [7] SMIDT, Javier. Adquisición Rápida de Señales de GPS sobre FPGA, Trabajo Final de la carrera de Ingeniería Electrónica, Facultad de Ingeniería, Universidad Nacional de La Plata, 2008.