

Análisis y Simulación de procesadores RISC-V en plataforma ISA abierta

Daniel Argüello, Higinio Facchini, Santiago Pérez
CeReCoN (Centro de Investigación y Desarrollo en Computación y Neuroingeniería)
Facultad Regional Mendoza, Universidad Tecnológica Nacional
Rodríguez 273, Mendoza, Argentina - 0261-5244576
(*darguell,higiniofac,santiagocp*)@frm.utn.edu.ar

Resumen

Cualquier implementación SoC (System on Chip) que incluya algún procesador embebido debe pagar regalías (royalties) a través de la compra de la propiedad intelectual o de la licencia arquitectural. Es de gran importancia, para superar las brechas en el diseño e implementación, la idea de introducir una interfaz Software/Hardware abierta (ISA abierta) RISC V, que sea una realidad, no sometida a regalías. En 2010 nació una iniciativa en la Universidad de California en Berkeley para desarrollar el procesador RISC-V de ISA abierto y público que elimina la mayor parte de las restricciones impuestas por los ISAs propietarios. El objetivo del proyecto de investigación es centrarse en los Procesadores Docentes (ProcDoc-RV), en línea con los autores Paterson y Hennesy, y en los Procesadores sencillos (Micro-RV), orientados a aplicaciones embebidas, para actividades de investigación, análisis y simulación arquitectónica, a fin de determinar métricas cualitativas y cuantitativas de rendimiento de dichos Procesadores. Este documento se corresponde con el proyecto PID sobre RISC V, de la UTN Mendoza, en articulación con la Universidad de Zaragoza (España), que se espera fomente la difusión de la temática, y una mayor innovación en el desarrollo e implementación de productos electrónicos, se puedan compartir diseños

y lograr accesibilidad a usuarios en general (y para aplicaciones específicas), solucionar problemas sin realizar grandes inversiones, y cualificar profesionales en el área.

El personal principal relacionado a esta línea de investigación son docentes de la UTN Mendoza, y de la Universidad de Zaragoza, en las Cátedras afines a las Arquitecturas de Computadoras.

Palabras clave: RISC, CISC, RISC V, ISA Abierto

Introducción

En 2010 nació una iniciativa en la Universidad de California en Berkeley para desarrollar el procesador RISC-V [1] de ISA abierto y público que elimina la mayor parte de las restricciones impuestas por los ISAs propietarios.

Existe un proyecto interuniversitario y participativo empresarial en Europa consistente en: 'Red-RISC-V: Investigación, formación y prospectiva en sistemas RISC-V' [2], en el cual participa la Universidad de Zaragoza y ha servido para la articulación y presentación del presente proyecto a través de un convenio entre esa universidad y la UTN-FRM, aunque en este caso aplicado específicamente sobre los Procesadores docentes y los Procesadores sencillos de RISC-V.

RISC-V tiene respaldo de la comunidad académica internacional, con

numerosos grupos activos en EEUU y Europa.

Contexto

El software abierto es ya una realidad que ha facilitado enormemente, tanto su propia evolución, como su uso y adaptación para aplicaciones específicas sin mayores inversiones que las de contar con profesionales cualificados.

Desde la misma perspectiva, se puede afirmar que en la actualidad es difícil encontrar algún producto electrónico, en cualquier escala, que no incluya un procesador. Mientras que existen múltiples procesadores comerciales para el desarrollo de sistemas Hw/Sw, la gran mayoría de ellos son núcleos con el repertorio de instrucciones (ISA) cerrado, protegido y propietario, cuya utilización está sometida a caras licencias de explotación o limitada al uso de componentes y sistemas de desarrollo disponibles en el mercado. Cualquier SoC (System on Chip) que incluya algún núcleo se ve sometido al pago de royalties vía compra de la IP o de la correspondiente licencia arquitectural. Un ejemplo es la familia de procesadores RISC ARM con gran penetración de mercado, que cubre aplicaciones desde sensores para IoT, hasta multiprocesamiento paralelo aplicado a teléfonos inteligentes, o servidores para centros de datos (HTC) y supercomputación (HPC). Cualquier SoC (System on Chip) que incluya algún núcleo ARM se ve sometido al pago de royalties vía compra de la IP o de la correspondiente licencia arquitectural (que permite adaptar el diseño a necesidades específicas).

Si bien existen estándares y software abiertos (por ejemplo, protocolos TCP/IP, OS Linux), la introducción de una interface Software/ Hardware para el

desarrollo de procesadores con repertorio de instrucciones (ISA) abierto y público tuvo sus contratiempos. Por ejemplo, se pueden mencionar como precedentes de ISA abiertos el SPARC V8 (1994) u el OpenRISC (2000-2011), cuyas propuestas no se consolidaron. Sin embargo, en 2010 comenzó desde la Universidad de California, Berkeley, otra propuesta que prosperó y, en el año 2014 ya estaba introducida como la arquitectura de procesadores RISC V. RISC (Computadoras con un Conjunto de Instrucciones Reducido) ha superado en ventas altamente a CISC (Computadoras con un Conjunto de Instrucciones Complejo), y actualmente domina el mercado de arquitecturas. En la actualidad la mayoría de los procesadores trabajan con ISA cerrado y propietario, y se pagan caras licencias (RISC ARM).

Teniendo en cuenta el amplísimo campo de aplicación de los procesadores: IoT (Internet de las Cosas), Sistemas y Procesadores Embebidos en SoC (System on Chip), Computadoras de alta performance y rendimiento (HPC, HTC), Centros de Datos (DC), y computadoras Ware-House (WSC), surge la importancia de contar con un ISA abierto y público que facilite una mayor innovación vía competiciones libres y diseños compartidos, investigación y desarrollo sin pagar caras licencias por ISA propietario que, además, obligan y utilizan diseños propietarios que también se pagan.

Como se mencionó precedentemente, existe un proyecto en Europa llamado: Red-RISCV: "Investigación, formación y prospectiva en sistemas RISC-V". Según se puede apreciar en el proyecto mencionado Red-RISCV, existe una realidad que ha facilitado la evolución de RISC V, ya que la meta es lograr cualificar profesionales, teniendo en cuenta el diseño y fabricación de SoCs

con procesos accesibles técnica y económicamente, si se evitan núcleos propietarios. RISC V ha inducido a otras arquitecturas propietarias a abrir también su ISA, como MIPS [3]. RISC V tiene respaldo de la comunidad académica internacional, y está dominando las tendencias y estrategias de futuro y promete una rápida expansión [4,5,6,7]. La Comisión Europea ha identificado el ISA abierto RISC V, como el ISA del futuro acelerador europeo en el marco del European Processor Initiative (EPI) [8]. Esta iniciativa está siendo liderada por el Centro Nacional de Supercomputación de Barcelona (BSC – Barcelona Supercomputing Center), promotor de esta red junto al Centro Nacional de Microelectrónica (CNM).

La Universidad de Zaragoza participa de la Red Europea y, además, mediante un convenio entre la Universidad de Zaragoza y la UTN-FRM se ha permitido su incorporación a este proceso tecnológico. Por otro lado, dos doctores de dicha Universidad española, integra el PID mencionado de la UTN Mendoza, y son miembros del Doctorado en Ingeniería, mención Computación de la misma institución.

Procesadores y complejidad

Existen 3 familias de procesadores RISC V con distintos grados de complejidad, más una cuarta familia dedicada a aceleradores específicos:

- a) Procesadores Docentes (ProcDoc-RV): Diseños con repertorios de instrucciones mínimos, en la línea del libro de Patterson y Hennesy [9].
- b) Procesadores sencillos (Micro-RV): Diseños con soporte para un repertorio base de enteros y alguna extensión estándar, orientados por ejemplo a aplicaciones embebidas, Rocket (UC Berkeley) [10] o diferentes

implementaciones de la plataforma PULP (ETH Zurich) [11].

- c) Procesadores de altas prestaciones (ProcAP-RV). Algunos ejemplos: BOOM (Berkeley out-of-orderprocessor)[12] y ET Maxion de Esperanto Technologies[13].
- d) Aceleradores (Acel-RV): aceleradores para aplicaciones específicas como pueden ser medicina personalizada, encriptación, redes neurales, etc. Aquí se incluirán los aceleradores ya previstos en la European Processor Initiative y otros aceleradores en desarrollo por los miembros de la red.

En cada familia, o entre familias, aparecen elementos de diseño, experimentación y optimización comunes. Para este proyecto se trabajará con las dos primeras familias descritas, de acuerdo a los recursos disponibles.

Metodología

Para el desarrollo del proyecto se ha previsto las siguientes tareas:

Tarea 1: Recopilar de información y estudio de los Procesadores Docentes (ProcDoc-RV) y los Procesadores sencillos (Micro-RV).

Tarea 2: Compilar trabajos de investigación sobre la temática, determinando escenarios experimentales, herramientas de simulación, tráfico utilizados, métricas medidas, resultados y conclusiones.

Tarea 3: Establecer mecanismos comparativos de los trabajos de investigación compilados, usando cuadros, índices, ponderaciones, etc.

Tarea 4: Definir escenarios de experimentación que faciliten el contraste entre ambos tipos de Procesadores: Los Procesadores Docentes (ProcDoc-RV) y

los Procesadores sencillos (Micro-RV), en la jerarquía RISC-V5.

Tarea 5: Construir tablas comparativas de las métricas para cada escenario. Se construirán tablas y graficas comparativas de las prestaciones o métricas para cada caso, según las combinaciones que permitan los diversos escenarios.

Tarea 8: Documentar, publicar y difundir resultados.

Tarea 9: Redactar Informe Final.

Líneas de Investigación y Desarrollo

Los temas y líneas de investigación, que se tratarán durante el desarrollo del proyecto se encuentran comprendidas en las Ciencias de la Computación e Informática para Equipos de procesamiento, y se pueden identificar como:

- Investigación y análisis de Procesadores.
- Arquitectura de Procesadores.
- Tecnologías RISC.
- Arquitecturas abiertas (ISA).
- Simulación VHDL sobre FPGA.
- Procesadores ProcDoc-RV.
- Procesadores Micro-RV.

Objetivos

Objetivo General:

Determinar e identificar ámbitos de aplicación y métricas de eficiencia por modelación asociadas con estas nuevas tecnologías basadas en arquitecturas abiertas, para los Procesadores Docentes (ProcDoc-RV) y los Procesadores sencillos (Micro-RV).

Objetivos Específicos:

Para el presente proyecto se buscan los siguientes objetivos:

- Determinar el impacto de avance de esta tecnología abierta y pública en nuestro ámbito, y la diversidad de modelos arquitectónicos disponibles.
- Determinar las características a detalle de los procesadores seleccionados, los escenarios de experimentación, para su posterior simulación.
- Determinar las configuraciones óptimas de los procesadores seleccionados y sus ámbitos de aplicación, para cada uno de los escenarios de experimentación.
- Definir las necesidades actuales locales a fin de iniciar desarrollos para alcanzar una masa crítica de conocimientos y poder interactuar, en el ámbito RISC V, con investigadores y profesionales de la UE y EEUU.
- Aplicar los conocimientos alcanzados para implementar una aproximación básica RISC V de estudio, simulación VHDL sobre una Field Programmable Gate Array (FPGA).

Con el uso de las herramientas de simulación basadas en VHDL, se busca trabajar en distintos escenarios de trabajo, de menor a mayor complejidad, que faciliten el contraste entre ambos tipos de procesadores planteados (ProcDoc-RV y Micro-RV).

En general se definirán métricas a obtener para cuantificar los distintos parámetros de trabajo de los procesadores, en cuanto a rendimiento, velocidad, consumo de recursos, uso de memoria interna, etc para poder realizar tablas, cuadros y gráficos comparativos para cada escenario planteado.

Estado de Avance

En proyectos anteriores de investigación y análisis de procesadores se han

realizado estudios de arquitecturas y tecnologías de Procesadores. Específicamente con un proyecto anterior, denominado “IMPLEMENTACIÓN Y ANÁLISIS DE PRESTACIONES DE UN PROCESADOR ELEMENTAL DIDÁCTICO CON VHDL Y FPGA”, se trabajó con el uso de herramientas de simulación y análisis de un procesador básico.

El equipo de trabajo está integrado por docentes investigadores, y becarios graduados y alumnos que son miembros del Centro UTN CeReCoN (Centro de Investigación y Desarrollo en Computación y Neuroingeniería) de la Facultad Regional Mendoza de la Universidad Tecnológica Nacional, dentro del Área de Electrónica Aplicada. El Director, CoDirector y el Asesor Técnico son Docentes de la Cátedra Arquitectura de Computadoras de la Carrera de Ingeniería en Sistemas de Información y han trabajado desde hace 15 años en las temáticas de las Arquitecturas de Computadoras y las Técnicas Digitales.

Formación de Recursos Humanos

Mediante el presente proyecto se busca la formación de Recursos Humanos con el fin de:

- Aglutinar RRHH calificados en torno a estas nuevas tecnologías RISC-V y crear las sinergias para facilitar su participación en proyectos e iniciativas nacionales (2021-2022) e internacionales (2023-2024).
- Incidir en los gestores de la I+D nacional para que incentiven estas tecnologías abiertas a fin de garantizar una cierta independencia tecnológica. Estando al día de las distintas iniciativas, podremos contribuir a las mismas y participar de sus convocatorias.

- Facilitar la organización sostenida de seminarios científico-tecnológicos para la actualización de nuestro entorno y una visión prospectiva sobre la proyección de futuro de estas tecnologías.

Articulación con la Universidad de Zaragoza

El Centro de investigación CereCoN ha establecido formalmente un Convenio de Colaboración mutua con los Grupos de Investigación de la Universidad de Zaragoza. En este caso, con el Dr. Víctor Viñals Yúfera, del Grupo de Arquitectura de Computadores de la Universidad de Zaragoza, especializados en “Jerarquía de memoria, gestión de tareas, y optimización de aplicaciones”, con 14 profesores UZ, 6 doctorandos y colaboradores en UPC, UPV/EHU y UVA. El Grupo está reconocido por el Gobierno de Aragón desde 2003. Áreas: memorias cache, eficiencia energética y fiabilidad, tiempo real, aceleradores heterogéneos y aceleración de aplicaciones.

Además, el Dr. Víctor Viñals y el Dr. Jesús Alastruey son docentes del Doctorado en Ingeniería, mención Computación, de la UTN Mendoza, en el Curso Computación de Altas Prestaciones.

Estos docentes son parte del personal involucrado en el Proyecto de Investigación de referencia.

Referencias

- [1] Instruction sets should be free: The case for RISC-V. <https://people.eecs.berkeley.edu/~krste/papers/EECS-2014-146.pdf>
- [2] Memoria-Red-RISCV <http://www.cnm.es/~icas/RISCV/Memoria-Red-RISCV.pdf>

- [3] MIPS Goes Open Source
https://www.eetimes.com/document.asp?doc_id=1334087
- [4] RISC-V: More Than a Core
<https://semiengineering.com/risc-v-more-than-a-core/>
- [5] RISC-V on the Verge of Broad Adoption
https://www.eetimes.com/document.asp?doc_id=1334311
- [6] Open Source Hardware Benefits Procurement Practices
https://www.ebnonline.com/author.asp?section_id=3219&doc_id=%20283851&
- [7] Can Arm Survive RISC-V Challenge?
https://www.eetimes.com/author.asp?section_id=36&doc_id=1334306
- [8] European Processor Initiative (EPI)
<https://ec.europa.eu/digital-single-market/en/news/european-processor-initiativeconsortiumdevelop-europes-microprocessors-future-supercomputers>
- [9] Patterson, D. A., & Hennessy, J. L. (2017). Computer Organization and Design. RISC-V Ed: The Hardware/Software Interface. Morgan Kaufmann.
http://home.ustc.edu.cn/~louwenqi/reference_books_tools/Computer%20Organization%20and%20Design%20RISCV%20edition.pdf
- [10] <https://riscv.org/2014/10/launching-the-open-source-rocket-chip-generator-2/>
- [11] <https://www.pulp-platform.org/>
- [12] <https://www2.eecs.berkeley.edu/Pubs/TechRpts/2017/EECS-2017-157.html>
- [13] <https://www.esperanto.ai/wp-content/uploads/2018/12/Esperanto-Maxes-Out-RISC-V.pdf>