

XXIII Workshop de investigadores en Ciencias de la Computación WICC 2021  
La Rioja**Análisis y Simulación de procesadores RISC-V en plataforma ISA abierta****CONTEXTO****Líneas de Investigación y desarrollo:**

Los temas y líneas de investigación se encuentran comprendidas en las Ciencias de la Computación e Informática para Equipos de procesamiento, llevados adelante en el ámbito del Centro UTN CeReCoN (Centro de Investigación y Desarrollo en Computación y Neuroingeniería), del Departamento Ingeniería en Electrónica, de la Facultad Regional Mendoza, de la UTN

**AUTORES**

Daniel Argüello, Santiago Pérez, Higinio Facchini  
CeReCoN (Centro de Investigación y Desarrollo en Computación y Neuroingeniería) - Facultad Regional Mendoza, UTN  
e-mail: (darguell,santiagocp,higiniofac)@frm.utn.edu.ar,  
<http://www.cerecon.frm.utn.edu.ar/>.

**OBJETIVOS**

Los objetivos para el presente trabajo son:

- Determinar el impacto de avance de esta tecnología.
- Determinar las características a detalle de los procesadores seleccionados, los escenarios de experimentación, para su posterior simulación.
- Determinar las configuraciones óptimas de los procesadores seleccionados y sus ámbitos de aplicación.
- Definir las necesidades actuales locales y poder interactuar, en el ámbito RISC V, con investigadores y profesionales de la UE y EEUU.
- Aplicar los conocimientos alcanzados para implementar una aproximación básica RISC V de estudio, simulación VHDL sobre FPGA.

**DESARROLLADO POR****RESUMEN**

Cualquier implementación SoC (System on Chip) que incluya algún procesador embebido debe pagar regalías (royalties) a través de la compra de la propiedad intelectual o de la licencia arquitectural. Es de gran importancia, para superar las brechas en el diseño e implementación, la idea de introducir una interfaz Software/Hardware abierta (ISA abierta) RISC V, que sea una realidad, no sometida a regalías. En 2010 nació una iniciativa en la Universidad de California en Berkeley para desarrollar el procesador RISC-V de ISA abierto y público que elimina la mayor parte de las restricciones impuestas por los ISAs propietarios. El objetivo del trabajo es centrarse en los Procesadores Docentes (ProcDoc-RV), en línea con los autores Paterson y Hennesy, y en los Procesadores sencillos (Micro-RV), orientados a aplicaciones embebidas, para actividades de investigación, análisis y simulación arquitectónica, a fin de determinar métricas cualitativas y cuantitativas de rendimiento de dichos Procesadores. Existe un proyecto interuniversitario y participativo empresarial en Europa consistente en: 'Red-RISC-V: Investigación, formación y prospectiva en sistemas RISC-V', en el cual participa la Universidad de Zaragoza y ha servido para la articulación y presentación del presente proyecto a través de un convenio entre esa universidad y la UTN-FRM, aunque en este caso aplicado específicamente sobre los Procesadores docentes y los Procesadores sencillos de RISC-V.

**DESCRIPCIÓN**

En la actualidad es difícil encontrar algún producto electrónico, en cualquier escala, que no incluya un procesador. Mientras que existen múltiples procesadores comerciales para el desarrollo de sistemas Hw/Sw, la gran mayoría de ellos son núcleos con el repertorio de instrucciones (ISA) cerrado, protegido y propietario, cuya utilización está sometida a caras licencias de explotación o limitada al uso de componentes y sistemas de desarrollo disponibles en el mercado. Cualquier SoC (System on Chip) que incluya algún núcleo se ve sometido al pago de royalties vía compra de la IP o de la correspondiente licencia arquitectural. Si bien existen estándares y software abiertos (por ejemplo, protocolos TCP/IP, OS Linux), la introducción de una interface Software/ Hardware para el desarrollo de procesadores con repertorio de instrucciones (ISA) abierto y público tuvo sus contratiempos. Por ejemplo, se pueden mencionar como precedentes de ISA abiertos el SPARC V8 (1994) u el OpenRISC (2000-2011), cuyas propuestas no se consolidaron. Sin embargo, en 2010 comenzó desde la Universidad de California, Berkeley, otra propuesta que prosperó y, en el año 2014 ya estaba introducida como la arquitectura de procesadores RISC V. RISC (Computadoras con un Conjunto de Instrucciones Reducido) ha superado en ventas altamente a CISC (Computadoras con un Conjunto de Instrucciones Complejo), y actualmente domina el mercado de arquitecturas.

Teniendo en cuenta el amplísimo campo de aplicación de los procesadores: IoT (Internet de las Cosas), Sistemas y Procesadores Embebidos en SoC (System on Chip), Computadoras de alta performance y rendimiento (HPC, HTC), Centros de Datos (DC), y computadoras Ware-House (WSC), surge la importancia de contar con un ISA abierto y público que facilite una mayor innovación vía competiciones libres y diseños compartidos, investigación y desarrollo sin pagar licencias. En el proyecto europeo Red-RISCV, se puede apreciar la evolución de RISC V, ya que la meta es lograr cualificar profesionales, teniendo en cuenta el diseño y fabricación de SoCs con procesos accesibles técnica y económicamente, si se evitan núcleos propietarios. RISC V ha inducido a otras arquitecturas propietarias a abrir también su ISA, como MIPS. RISC V tiene respaldo de la comunidad académica internacional, y está dominando las tendencias y estrategias de futuro y promete una rápida expansión.

Existen 3 familias de procesadores RISC V con distintos grados de complejidad, más una cuarta familia dedicada a aceleradores específicos:

- Procesadores Docentes (ProcDoc-RV): Diseños con repertorios de instrucciones mínimos, en la línea del libro de Patterson y Hennesy.
- Procesadores sencillos (Micro-RV): para un repertorio base de enteros y alguna extensión estándar, orientados por ejemplo a aplicaciones embebidas.
- Procesadores de altas prestaciones (ProcAP-RV). Y d) Aceleradores (Acel-RV): para aplicaciones específicas como pueden ser medicina personalizada, encriptación, redes neurales, etc.

**METODOLOGÍA DE INVESTIGACIÓN**

El presente trabajo abordará la temática del desarrollo de procesadores con repertorio de instrucciones (ISA) abierto. En base al convenio entre la Universidad de Zaragoza de España y la UTN-FRM, se espera que se fomente la difusión de la temática, y una mayor innovación en el desarrollo e implementación de productos electrónicos, se puedan compartir diseños y lograr accesibilidad a usuarios en general (y para aplicaciones específicas), solucionar problemas sin realizar grandes inversiones, y cualificar profesionales en el área.

Se apunta a determinar e identificar ámbitos de aplicación y métricas de eficiencia por modelación asociadas con estas nuevas tecnologías basadas en arquitecturas abiertas, para los Procesadores Docentes (ProcDoc-RV) y los Procesadores sencillos (Micro-RV).

Para el desarrollo del proyecto se han previsto las siguientes tareas:

Tarea 1: Recopilar información y estudio de los Procesadores Docentes (ProcDoc-RV) y los Procesadores sencillos (Micro-RV).

Tarea 2: Compilar trabajos de investigación sobre la temática, determinando escenarios experimentales, herramientas de simulación, tráfico utilizados, métricas medidas, resultados y conclusiones.

Tarea 3: Establecer mecanismos comparativos de los trabajos de investigación compilados, usando cuadros, índices, ponderaciones, etc.

Tarea 4: Definir escenarios de experimentación que faciliten el contraste entre ambos tipos de Procesadores: Los Procesadores Docentes (ProcDoc-RV) y los Procesadores sencillos (Micro-RV), en la jerarquía RISC-V5.

Tarea 5: Construir tablas comparativas de las métricas para cada escenario. Se construirán tablas y graficas comparativas de las prestaciones o métricas para cada caso, según las combinaciones que permitan los diversos escenarios.

Tarea 6: Documentar, publicar y difundir resultados.

En proyectos anteriores de investigación y análisis de procesadores, se han realizado estudios de arquitecturas y tecnologías de Procesadores. Específicamente con un proyecto anterior, denominado "IMPLEMENTACIÓN Y ANÁLISIS DE PRESTACIONES DE UN PROCESADOR ELEMENTAL DIDÁCTICO CON VHDL Y FPGA", se trabajó con el uso de herramientas de simulación y análisis de un procesador básico. Con la experiencia obtenida se seguirá en la metodología de diseñar distintos escenarios de experimentación utilizando el ISA mencionado. Con el uso de las herramientas de simulación basadas en VHDL, se busca trabajar en distintos escenarios de trabajo, de menor a mayor complejidad, que faciliten el contraste entre ambos tipos de procesadores planteados (ProcDoc-RV y Micro-RV).

En general se definirán métricas a obtener para cuantificar los distintos parámetros de trabajo de los procesadores, en cuanto a rendimiento, velocidad, consumo de recursos, uso de memoria interna, etc para poder realizar tablas, cuadros y gráficos comparativos para cada escenario planteado.

**FORMACION DE RECURSOS HUMANOS**

Mediante el presente proyecto se busca la formación de Recursos Humanos con el fin de: Aglutinar RRHH calificados en torno a estas nuevas tecnologías RISC-V y crear las sinergias para facilitar su participación en proyectos e iniciativas nacionales (2021-2022) e internacionales (2023-2024), incidir en los gestores de la I+D nacional para que incentiven estas tecnologías abiertas a fin de garantizar una cierta independencia tecnológica. Estando al día de las distintas iniciativas, podremos contribuir a las mismas y participar de sus convocatorias y Facilitar la organización sostenida de seminarios científico-tecnológicos para la actualización de nuestro entorno y una visión prospectiva sobre la proyección de futuro de estas tecnologías..