




















Arquitecturas Multiprocesador: Software de Base, Modelos y Aplicaciones

Armando De Giusti ⁽¹⁾⁽²⁾ , Marcelo Naiouf⁽¹⁾ , Fernando G. Tinetti ⁽¹⁾⁽³⁾ , Horacio Villagarcía ⁽¹⁾⁽³⁾ , Franco Chichizola⁽¹⁾ , Laura De Giusti⁽¹⁾⁽³⁾ , Enzo Rucci⁽¹⁾⁽³⁾ , Adrián Pousa⁽¹⁾ , Victoria Sanz ⁽¹⁾⁽³⁾ , Diego Montezanti ⁽¹⁾ , Diego Encinas⁽¹⁾ , Ismael Rodríguez⁽¹⁾ , Sebastián Rodríguez Eguren⁽¹⁾ , Erica Montes de Oca⁽¹⁾ , Juan Manuel Paniego⁽¹⁾ , Martín Pi Puig⁽¹⁾ , César Estrebu⁽¹⁾ , Leandro Libutti⁽¹⁾ , Manuel Costanzo⁽¹⁾, Joaquín De Antuano⁽¹⁾, Julieta Lanciotti⁽¹⁾, Javier Balladini⁽⁴⁾ 

¹Instituto de Investigación en Informática LIDI (III-LIDI),
Facultad de Informática, Universidad Nacional de La Plata – Comisión de Investigaciones Científicas de la
Provincia de Buenos Aires

²CONICET – Consejo Nacional de Investigaciones Científicas y Técnicas

³CICPBA – Comisión de Investigaciones Científicas de la Provincia de Buenos Aires

⁴Universidad Nacional del Comahue

{degiusti,mnaiouf,fernando,hvw,francoch,ldgiusti,erucci,apousa,vsanz,dmontezanti,dencinas,ismael,seguren,emont
esdeoca,jmpaniego,mpipuig,cesarest,llibutti, mcostanzo, jdeantueno,jlanciotti}@lidi.info.unlp.edu.ar;
javier.balladini@gmail.com

Resumen

El eje de esta línea de I/D lo constituye el estudio de las arquitecturas multiprocesador que integran sistemas distribuidos y paralelos. Incluye como temas centrales:

- Arquitecturas many-core (GPU, procesadores MIC, TPUs), FPGAs, híbridas (diferentes combinaciones de multicore y aceleradores), y asimétricas.
- Desarrollo y evaluación de algoritmos paralelos sobre nuevas arquitecturas y su evaluación de rendimiento computacional y energético.
- Estudio y optimización de código heredado.
- Desarrollo y evaluación de estrategias de resiliencia.
- Modelado y simulación de E/S en HPC.

Palabras clave: *Sistemas Paralelos. Clusters. Arquitecturas asimétricas. GPU, MIC, FPGA, TPU. Eficiencia energética. Resiliencia. Código heredado. E/S paralela.*

Contexto

Se presenta una línea de Investigación que es parte del proyecto “Computación de Alto Desempeño: Arquitecturas, Algoritmos, Métricas de Rendimiento y Aplicaciones en HPC, Big Data, Robótica, Señales y Tiempo Real.” del III-LIDI y de proyectos específicos

apoyados por organismos nacionales e internacionales. También del proyecto “Arquitecturas Multiprocesador Actuales: Tendencias, Planificación, Análisis de rendimiento y Consumo Energético” financiado por la Facultad de Informática de la UNLP.

En el tema hay cooperación con varias Universidades de Argentina y se está trabajando con Universidades de América Latina y Europa en proyectos financiados por CyTED, AECID y la OEI (Organización de Estados Iberoamericanos).

Por otra parte, se tiene financiamiento de Telefónica de Argentina en Becas de grado y posgrado y se ha tenido el apoyo de diferentes empresas (IBM, Microsoft, Telecom, Intel) en la temática de Cloud Computing.

Se participa en iniciativas como el Programa IberoTIC de intercambio de Profesores y Alumnos de Doctorado en el área de Informática.

Asimismo, el III-LIDI forma parte del Sistema Nacional de Cómputo de Alto Desempeño (SNCAD) del Ministerio de Educación, Cultura, Ciencia y Tecnología de la Nación.

Introducción

Una de las áreas de creciente interés lo constituye el cómputo de altas prestaciones, en el cual el rendimiento está relacionado con dos

aspectos: por un lado, las arquitecturas de soporte, y por otro, los algoritmos que hacen uso de estas.

A la aparición de arquitecturas *many-core* (como las GPU o los procesadores MIC), se ha sumado el uso de FPGAs debido a su potencia de cómputo y rendimiento energético. Su combinación en sistemas HPC da lugar a plataformas híbridas con diferentes características [1].

Lógicamente, esto trae aparejado una revisión de los conceptos del diseño de algoritmos paralelos (incluyendo los lenguajes mismos de programación y el software de base), así como la evaluación de las soluciones que éstos implementan. También resulta necesario investigar las estrategias de distribución de datos y de procesos a fin de optimizar la performance.

Además, el estudio del consumo y la eficiencia energética de los nuevos sistemas paralelos se vuelve tan importante como el de métricas clásicas (speedup, eficiencia, escalabilidad) debido a los costos económicos y los problemas operativos asociados [2].

GPUs y Cluster de GPUs

Las GPUs son el acelerador dominante en la comunidad de HPC hoy en día por su alto rendimiento y bajo costo de adquisición. En la actualidad, tanto NVIDIA como AMD trabajan especialmente en mejorar la eficiencia energética de sus placas y disminuir el alto costo de programación.

La combinación de GPUs con otras plataformas paralelas como clusters y multicores, brindan un vasto conjunto de posibilidades de investigación en arquitecturas híbridas, a partir de diferentes combinaciones como son:

- Máquinas multicore con más de una GPU, que combinan herramientas de programación paralela como OpenMP/CUDA o Pthread/CUDA.
- Cluster de máquinas multicore cada una con una o más placas de GPU, lo que permite combinar OpenMP/MPI/CUDA o Pthread/MPI/CUDA.

Los desafíos que se plantean son múltiples, sobre todo en lo referido a distribución de

datos y procesos en tales arquitecturas híbridas a fin de optimizar el rendimiento de las soluciones.

MIC

En forma reciente Intel brinda una alternativa a partir de la arquitectura MIC (*Many Integrated Core Architecture*). Esta arquitectura permite utilizar métodos y herramientas estándar de programación con altas prestaciones (lo que los distingue especialmente de las GPUs). De esta forma, se remueven barreras de entrenamiento y se permite focalizar en el problema más que en la ingeniería del software. Xeon Phi es el nombre elegido por Intel para su serie de procesadores many-core. Recientemente, Intel ha lanzado Knights Landing (KNL), la segunda generación de Xeon Phi. A diferencia de sus predecesores que operaban como co-procesador a través del puerto PCI, los procesadores KNL pueden operar en forma autónoma. Además, integran las nuevas extensiones vectoriales AVX-512 y tecnología de memoria 3D, entre otras características avanzadas [3].

FPGAs

Una FPGA (*Field Programmable Gate Array*) es una clase de acelerador basado en circuitos integrados reconfigurables. La capacidad de adaptar sus instrucciones de acuerdo con la aplicación objetivo le permite incrementar la productividad de un sistema y mejorar el rendimiento energético para ciertos tipos de aplicaciones. Tradicionalmente fueron utilizadas para el procesamiento digital de señales. Sin embargo, en los últimos años, existen dos tendencias claras para extender su uso a otros dominios. En primer lugar, el establecimiento de alianzas estratégicas entre fabricantes de procesadores y de FPGAs para integrar estos dispositivos en arquitecturas híbridas (Intel con Altera; IBM con Xilinx) [4][5]. En segundo lugar, el desarrollo de nuevas herramientas de programación para FPGAs empleando estándares familiares para HPC, con las cuales se espera reducir los tradicionales tiempos y costos de programación [6][7]. Por último, la

incorporación de FPGAs a los servicios de Cloud abre nuevas oportunidades para la explotación de esta clase de aceleradores.

TPUs

Las unidades de procesamiento tensorial (TPU) son una clase de circuitos integrados personalizados específicos de aplicaciones (ASIC) desarrolladas por Google con el propósito de acelerar las cargas de trabajo de aprendizaje automático que requieren las aplicaciones desarrolladas en su framework TensorFlow [8]. Su uso provee una alternativa a otras arquitecturas ya conocidas como CPUs, GPUs y MICs. En ese sentido, interesa analizar las tasas de aceleración y eficiencia energética provistas por esta nueva arquitectura, en comparación con el resto.

Eficiencia energética

La mejora de la eficiencia energética es una de las principales preocupaciones en la informática actual, principalmente a partir de las plataformas con gran cantidad de procesadores. Muchos esfuerzos están orientados a tratar la eficiencia energética como eje de I/D, como métrica de evaluación, y también a la necesidad de metodologías para medirla.

Entre los puntos de interés pueden mencionarse:

- Análisis de metodologías y herramientas para medir y optimizar el consumo energético.
- Estudio de técnicas para reducir el consumo energético en aplicaciones de HPC de acuerdo con las arquitecturas utilizadas.
- Evaluación de eficiencia energética de diferentes algoritmos y plataformas paralelas.
- Optimización de la eficiencia energética. A partir de los valores de energía que brindan los contadores hardware es posible definir estrategias de programación que lleven a reducir el consumo, manteniendo a su vez el rendimiento en valores aceptables [9].

Código heredado

La mayoría de los programas de simulación numérica empleados hoy en día fueron

desarrolladas cuando las arquitecturas paralelas no existían. Es por lo que este conjunto de aplicaciones presenta la oportunidad de desarrollar técnicas y herramientas que permitan optimizar el código, tanto desde el punto de vista computacional como desde la ingeniería de software.

Resiliencia

En la actualidad, lograr sistemas resilientes resulta un verdadero desafío considerando el creciente número de componentes, la cercanía a los límites físicos en las tecnologías de fabricación y la complejidad incremental del software. La corrección de las aplicaciones y la eficiencia en su ejecución se torna más importante en HPC debido a los extensos tiempos de ejecución. En ese sentido, resulta interesante desarrollar estrategias de detección y recuperación de fallos, especialmente a través de librerías de software.

Entrada/Salida paralela

A pesar de los avances tecnológicos, las operaciones de E/S en los centros de supercómputo siguen siendo un cuello de botella para determinadas aplicaciones HPC. El rendimiento de un sistema dependerá de la carga de trabajo (patrones de E/S de las aplicaciones) y de su configuración (hardware y software). Contar con herramientas que permitan modelar y predecir el comportamiento de este tipo de aplicaciones en HPC resulta fundamental para mejorar su rendimiento [10].

Dispositivos de bajo costo con capacidades para cómputo paralelo

En la actualidad se comercializan placas de bajo costo como Raspberry PI [11] u Odroid [12] que poseen múltiples núcleos simples. Asimismo, existen diversos dispositivos móviles con capacidades similares. Es de interés estudiar como explotar el paralelismo en estos dispositivos para mejorar el rendimiento y/o consumo energético de las aplicaciones.

Líneas de Investigación, Desarrollo e Innovación

- Arquitecturas many-core (procesadores MIC, GPU y TPU) y FPGA. Análisis de este tipo de máquinas y de técnicas para desarrollar código optimizado.
- Arquitecturas híbridas (diferentes combinaciones de clusters, multicores, manycores y FPGAs). Diseño de algoritmos paralelos sobre las mismas. Técnicas de resiliencia.
- Exploración de nuevos lenguajes y modelos de programación para HPC.
- Consumo energético en las diferentes arquitecturas paralelas, en particular en relación con los algoritmos paralelos y la configuración de la arquitectura. Análisis de metodologías y herramientas de medición. Modelado y estimación del consumo de potencia de arquitecturas HPC.
- Análisis y desarrollo de modelos e implementación de simuladores de la pila de software de E/S en HPC.

Resultados y Objetivos

Investigación experimental por realizar

- Desarrollar y evaluar algoritmos paralelos sobre nuevas arquitecturas paralelas. Analizar rendimiento, eficiencia energética y costo de programación.
- Analizar las capacidades de lenguajes no convencionales para procesamiento paralelo, considerando rendimiento y costo de programación.
- Realizar el desarrollo de nuevos planificadores de tareas para multicores asimétricos sobre diferentes sistemas operativos con el objetivo de maximizar el rendimiento y minimizar el consumo de energía [13][9].
- Desarrollar técnicas de tolerancia a fallas que permitan aumentar la resiliencia de sistemas paralelos y distribuidos.
- Desarrollar técnicas de modelado y simulación de E/S en HPC que permita predecir cómo los cambios realizados en los diferentes componentes de éste afectan a la funcionalidad y al rendimiento del sistema.

Resultados obtenidos

- Se analizaron técnicas de optimización para código heredado relacionado a cómputo numérico [14][15].
- Se optimizaron soluciones paralelas para el procesamiento de *pattern matching* en arquitectura Xeon Phi KNL [16].
- Se optimizó una solución al problema de los N cuerpos computacionales con atracción gravitacional (versión directa) sobre diferentes arquitecturas Intel basadas en instrucciones AVX-512 [17].
- Se diseñó la herramienta SEDAR y evaluó su desempeño para detección y recuperación de fallos transitorios [18].
- Se desarrolló y validó un modelo estadístico para consumo de potencia en placas RPi de diferentes generaciones [19].
- Se realizaron y analizaron modificaciones al framework TensorFlow para permitir la maleabilidad de hilos [20].
- Se realizó una comparación entre las arquitecturas Intel Xeon Phi KNL y NVIDIA Pascal usando como caso de estudio el problema de caminos mínimos en grafos [21].
- Se analizó el rendimiento y consumo energético requerido para simulaciones basadas en agentes sobre arquitecturas de GPUs [22].
- Se avanzó en el modelado y simulación inicial del sistema de archivos paralelos PVFS2 y se implementó por medio del paradigma de agentes en un simulador [23].
- Se desarrolló una plataforma distribuida, escalable, híbrida y redundante que permite aprovechar recursos de cómputo basados en arquitecturas ARM a través de un servicio de cloud [24].
- Se desarrolló un modelo que permite predecir el consumo energético de un sistema ante diferentes estrategias aplicadas para reducirlo cuando ocurre una falla [25].
- Se compararon los enfoques de desarrollo HLS y HDL en FPGA en el ámbito del procesamiento de imágenes [26] [27][28].

Organización de Eventos

En el año 2020 se han organizado las VIII Jornadas de Cloud Computing, Big Data & Emerging Topics (JCC-BD&ET 2020) en

Argentina, con participación de especialistas académicos del país y del exterior y de empresas con experiencia en Cloud Computing [29][30]. En junio de 2021 se organizarán las IX JCC-BD&ET.

Formación de Recursos Humanos

Dentro de la temática de la línea de I/D el último año se concluyó 1 Tesis Doctoral. Al mismo tiempo se encuentran en curso 4 tesis de Doctorado en Ciencias Informáticas y 3 tesis de Maestría.

Además, se participa en el dictado de las carreras de Doctorado en Ciencias Informáticas, y Magíster y Especialización en Cómputo de Altas Prestaciones de la Facultad de Informática de la UNLP (acreditadas por la CONEAU con categoría A, B y A, respectivamente), por lo que potencialmente pueden generarse nuevas Tesis de Doctorado y Maestría y Trabajos Finales de Especialización.

Existe cooperación con grupos de otras Universidades del país y del exterior, y hay tesis de diferentes Universidades realizando su Tesis con el equipo del proyecto.

Respecto a las carreras de grado, se dictan por parte de integrantes de la línea de investigación tres materias directamente relacionadas con los temas de esta: “Taller de Programación sobre GPUs”, “Cloud Computing y Cloud Robotics” y “Conceptos y Aplicaciones en Big Data”.

Referencias

[1] Rucci, Enzo: “Evaluación de rendimiento y eficiencia energética en sistemas heterogéneos para bioinformática”. Tesis de Doctorado en Ciencias Informáticas (Facultad de Informática – UNLP). 2016.

[2] Ballardini, J., Rucci, E., De Giusti, A., Naiouf, M., Suppi, R., Rexachs, D., Luque, E. “Power characterisation of shared-memory HPC systems”. Computer Science & Technology Series – XVIII Argentine Congress of Computer Science Selected Papers. ISBN 978-987-1985-20-3. Págs. 53-65. 2013.

[3] Reinders, J., Jeffers, J., Sodani, A. “Intel Xeon Phi Processor High Performance Programming Knights Landing Edition”. Morgan Kaufmann Publishers Inc., Boston, MA, USA, 2016

[4] IBM. “IBM and Xilinx Announce Strategic Collaboration to Accelerate Data Center Applications”.

Disponible en <https://www-03.ibm.com/press/us/en/pressrelease/48074.wss>

[5] Intel. “Intel Acquisition of Altera”. Disponible en <http://intelacquiresaltera.transactionannouncement.com>

[6] Sean Settle: “High-performance Dynamic Programming on FPGAs with OpenCL”. In: IEEE High Performance Extreme Computing Conference. 2013.

[7] Xilinx Inc. “SDAccel Development Environment”. [Online]. Disponible en <http://www.xilinx.com/products/design-tools/software-zone/sdaccel.html>

[8] Google Inc. “Cloud Tensor Processing Unit (TPU)”. Disponible en <https://cloud.google.com/tpu/docs/tpus?hl=es-419>

[9] Saez, J.C., Pousa, A., Rodríguez-Rodríguez, R., Castro, F., Prieto-Matias, M. “PMCTrack: Delivering performance monitoring counter support to the OS scheduler”. The computer journal Volume 60, Issue 1 January 2017.

[10] D. Encinas, M. Naiouf, A. De Giusti, S. Mendez, D. Rexachs, and E. Luque. “On the Calibration, Verification and Validation of an Agent-Based Model of the HPC Input/Output System”. Proceedings from The Eleventh International Conference on Advances in System Simulation (SIMUL 2019), November 24 - 28, 2019.

[11] Raspberry PI. <https://www.raspberrypi.org/>

[12] Odroid <http://www.hardkernel.com> Accedido 21 de marzo de 2016.

[13] Juan Carlos Saez, Adrian Pousa, Daniel Chaver, Fernando Castro, Manuel Prieto Matias: “ACFS: A Completely Fair Scheduler for Asymmetric Single-ISA Multicore Systems”. In: ACM SAC 2015 (The 30TH ACM/SIGAPP Symposium on applied computing). 2015.

[14] F. G. Tinetti, M. J. Perez, A. Fraidenraich, and A. E. Altenberg, “Legacy code and parallel computing: updating and parallelizing a numerical model”. The journal of supercomputing (ISSN 1573-0484), doi. 10.1007/s11227-020-03172-7, 2020.

[15] F. J. Díaz and F. G. Tinetti, Short papers of the “Performance Analysis and Optimizations Techniques for Legacy Code Numerical Simulations”. 8th Conference on Cloud Computing, Big Data & Emerging Topics (JCC-BD&ET 2020), ISBN: 978-950-34-1927-4, págs. 18-21, 2020.

[16] V. Sanz, A. Pousa, M. Naiouf, and A. De Giusti, “Accelerating Pattern Matching on Intel Xeon Phi Processors”, Algorithms and Architectures for Parallel Processing. ICA3PP 2020., ISBN: 978-3-030-60245-1, págs. 262-274, doi. 10.1007/978-3-030-60245-1_18, 2020.

[17] “Optimization of the N-Body Simulation on Intel’s Architectures Based on AVX-512 Instruction Set”. E. Rucci, E. Moreno, A. Pousa, and F. Chichizola, En: Computer Science – CACIC 2019. communications in Computer and Information Science., ISBN: 978-3-030-

- 48325-8, Springer International Publishing, págs. 37-52, 2020.
- [18] D. Montezanti, E. Rucci, A. D. De Giusti, M. Naiouf, D. Rexachs, and E. Luque, "Soft errors detection and automatic recovery based on replication combined with different levels of checkpointing". *Future generation computer systems* (ISSN 0167-739X), vol. 113, págs. 240-254, doi. <https://doi.org/10.1016/j.future.2020.07.003>, 2020.
- [19] J. M. Paniego, L. Libutti, M. P. Puig, F. Chichizola, L. De Giusti, M. Naiouf, and A. De Giusti, "Unified Power Modeling Design for Various Raspberry Pi Generations Analyzing Different Statistical Methods". En: *Computer Science – CACIC 2019. communications in Computer and Information Science.*, ISBN: 978-3-030-48325-8, Springer International Publishing, págs. 53-65, 2020.
- [20] L. A. Libutti, F. D. Igual, L. Piñuel, L. D. Giusti, and M. Naiouf, "Towards a Malleable Tensorflow Implementation", *Cloud Computing, Big Data & Emerging Topics. 8th Conference, JCC-BD&ET 2020, La Plata, Argentina, September 8-10, 2020, Proceedings*, págs. 30-40, doi. [10.1007/978-3-030-61218-4_3](https://doi.org/10.1007/978-3-030-61218-4_3), 2020.
- [21] Costanzo, M., Rucci, E., Costi, U., Chichizola, F., Naiouf, M.. "Comparación de Arquitecturas HPC para Computar Caminos Mínimos en Grafos. Intel Xeon Phi KNL vs NVIDIA Pascal" In: *Actas del XXVI Congreso Argentino de Ciencias de la Computación (CACIC 2020)*. p. In press (2020).
- [22] E. S. Montes de Oca, R. Suppi, L. C. De Giusti, and M. Naiouf, "Green High-Performance Simulation for AMB models of *Aedes aegypti*". *Journal of computer science and technology* (ISSN 1666-6038), vol. 20, num. 1, págs. 15-22, doi. [10.24215/16666038.20.e02](https://doi.org/10.24215/16666038.20.e02), 2020.
- [23] D. Encinas, S. Mendez, M. Naiouf, A. De Giusti, D. Rexachs del Rosario, and E. Luque, "An Agent-Based Model for Analyzing the HPC Input/Output System", *International journal on advances in systems and measurements* vol. 13, num. 3 & 4, págs. 192-202, 2020
- [24] D. Petrocelli, A. E. De Giusti, and M. Naiouf, "Collaborative, distributed and scalable platform based on mobile, cloud, micro services and containers for intensive computing tasks". *Short papers of the 8th Conference on Cloud Computing, Big Data & Emerging Topics (JCC-BD&ET 2020)*, ISBN: 978-950-34-1927-4, págs. 10-13, 2020.
- [25] M. Morán, J. Balladini, D. Rexachs, E. Rucci. "Towards Management of Energy Consumption in HPC Systems with Fault Tolerance" *Proceedings of the IV IEEE ARGENCON 2020 CONGRESS*, En prensa, 2020.
- [26] R. Millón, E. Frati, and E. Rucci, "A comparative study between HLS and HDL on SoC for image processing applications". *Elektron* (ISSN 2525-0159), vol. 4, num. 2, págs. 100-106, doi. [10.37537/rev.elektron.4.2.117.2020](https://doi.org/10.37537/rev.elektron.4.2.117.2020), 2020.
- [27] R. Millon, F. E. Frati, and E. Rucci, "Implementación de Filtro de Detección de Bordes Sobel en SoC usando Síntesis de Alto Nivel". *Actas del Congreso Argentino de Sistemas Embebidos (CASE2020)*, ISBN: 978-987-46297-7-7, págs. 73-75, 2020.
- [28] R. Millon, E. Rucci, and F. E. Frati. "Análisis Comparativo de Implementaciones HLS de Filtro Sobel en SoC". *Actas del Congreso Argentino de Ciencias de la Computación (CACIC2020)*, En prensa, 2020.
- [29] E. Rucci, M. Naiouf, F. Chichizola, and L. De Giusti "Cloud Computing, Big Data & Emerging Topics. 8th Conference, JCC-BD&ET 2020, La Plata, Argentina, September 8-10, 2020, Proceedings". Springer CCIS, ISBN: 978-3-030-61218-4, 2020.
- [30] A. E. De Giusti, M. Naiouf, F. Chichizola, E. Rucci, and L. C. De Giusti. *Short Papers of the 8th Conference on Cloud Computing Conference, Big Data & Emerging Topics (JCC-BD&ET 2020)*. Facultad de Informática (UNLP), ISBN: 978-950-34-1927-4, 2020.