

Control de potencia óptica de un diodo superluminiscente para un sensor de velocidad angular

D. H. Alustiza, F. J. Manno, M. Mineo, P. Skou.

Centro de Investigaciones Ópticas

CIOp (CIC-CONICET)

Convenio CIOp – VENG S.A.

La Plata, Argentina

dalustiza@ciop.unlp.edu.ar, fmanno@ciop.unlp.edu.ar,

mmineo@ciop.unlp.edu.ar, pskou@ciop.unlp.edu.ar

Resumen— El presente artículo tiene como objetivo plantear el problema de la estabilización de potencia emitida por una fuente basada en un diodo superluminiscente. Se presentan las estrategias de control aplicadas y la manera en que se desarrolló la implementación digital. Se explican, también, los bloques relacionados con la electrónica y la óptica.

Palabras Clave - potencia óptica; estabilidad; IFOG; aeroespacial

I. INTRODUCCION

En un giróscopo interferométrico de fibra óptica (IFOG por sus siglas en inglés) el problema de emisión de luz es crítico. La estabilidad de la potencia emitida impacta en forma directa en el desempeño y la confiabilidad de la medida de velocidad angular, más aún cuando se diseña un sensor de alta prestación [1, 2]. En este caso, se trata de un IFOG a lazo cerrado para navegación aeroespacial, lo que define requerimientos y criterios de diseño rigurosos. Se considera el subsistema que emite luz como un módulo de diseño independiente con requerimientos derivados de los impuestos por el sensor propiamente dicho. Inicialmente se han implementado los lazos de control necesarios para asegurar un correcto funcionamiento y confiabilidad del componente opto-electrónico emisor de luz. Seguidamente se plantea la necesidad de cerrar nuevos lazos que apunten al objetivo principal: la estabilización de potencia. En simultáneo, se hace necesario tomar decisiones acerca del diseño de hardware y de la implementación digital del sistema completo en un dispositivo de tipo FPGA.

II. CONTROL

A. Lazos principales

La implementación del sistema de control de la etapa de emisión necesita ser abordada desde distintos ángulos sencillos pero bien diferenciados. Las estrategias de control y los medios de actuación son seleccionados, o en su defecto descartados, teniendo en cuenta las limitaciones inherentes al propio sistema de emisión.

El elemento clave para la emisión es un diodo superluminiscente (SLD) integrado en un módulo de emisión

SLD-571-HP2-DBUT-PM-PD de la firma SUPERLUM. A partir de este elemento opto-electrónico, se genera una intensidad de luz cuyo espectro se encuentra centrado en 1310 [nm], de 40nm de ancho espectral, a partir de una corriente de *drive* inyectada entre el ánodo y cátodo del diodo.

La intensidad de potencia óptica emitida dependerá entonces, en principio, de dos variables fácilmente identificables: 1) la corriente de *drive* (I_{SLD}) y 2) la eficiencia cuántica Q .

$$P = I_{SLD} \cdot Q \quad (1)$$

Evidentemente no se puede controlar directamente la eficiencia cuántica, sin embargo, se conoce que esta varía principalmente con la temperatura de juntura. Es por esto que, el segundo lazo principal, consiste en el control de temperatura de juntura.

Es necesario remarcar que la aplicación de lo anterior cumple dos funciones principales. Por un lado estabilizar las variables implicadas y, finalmente, asegurar las condiciones de funcionamiento del diodo super-luminiscente definidas por el fabricante. Esto último tiene como objeto evitar daños en la juntura semiconductor e incrementar su vida útil. El fabricante, por su parte, no asegura cuanto inciden los factores comentados en la estabilidad de la potencia óptica emitida, si bien reconoce que existen fuertes dependencias. Más adelante se comentará este punto y sus implicancias con mayor detenimiento.

Lo que se pretende en primera instancia, es controlar la corriente a un valor determinado, dentro de un rango que genere una variación de potencia menor a la sensibilidad del subsistema de detección. Se propone la implementación de un esquema circuital que funcione como actuador entregando a la carga la corriente nominal. Posteriormente, se superpone una señal que se utilizará como acción de control. Se considera entonces separadamente una etapa nominal y una etapa diferencial. Un esquema de bloques representativo es el de la figura 1. El controlador es un PID tradicional.

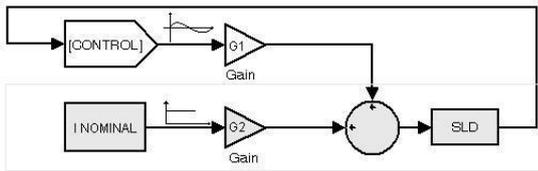


Figura 1. En sombreado la etapa nominal fija, en blanco la etapa diferencial superpuesta.

Con respecto al cierre de lazo de temperatura, el módulo SLD está provisto de un dispositivo enfriador termo-eléctrico (TEC). Esta unidad, permite inducir una diferencia de temperatura ΔT entre el diodo SLD y el encapsulado, aprovechando el efecto Peltier dependiente de la corriente I_{TEC} . Estos, son comúnmente utilizados para controlar la temperatura de una variedad de emisores mediante la extracción forzada de energía térmica que, de otra manera, podría causar que la temperatura del módulo aumentara a valores que excedan la especificación del fabricante.

Por otra parte, son accesibles los terminales de un termistor asociado al diodo, de manera que es posible medir la temperatura de juntura.

Habiendo definido los elementos, sensor y actuador, se procede a la selección de una estrategia de control adecuada. Para esto, se deben tener en cuenta las restricciones de funcionamiento y las transferencias implicadas en cada bloque del lazo. La temperatura nominal de operación del SLD debe encontrarse en un entorno de 20°C ($20\pm 1^{\circ}\text{C}$) para garantizar la vida útil prolongada.

El sistema debe ser capaz de controlar potencia dentro de un rango de temperatura ambiente entre -20°C y 80°C . Si bien existe un efecto de auto-calentamiento en la juntura semiconductor, para el límite inferior del rango térmico considerado (-20°C), solo incrementa la temperatura en 8°C . De lo anterior se desprende que, el sistema de control en ciertos casos, debe ser también capaz de calentar para alcanzar el punto de operación establecido de 20°C .

Para obtener información sobre la transferencia del TEC, y caracterizar la planta a controlar, se llevaron a cabo cierto tipo de ensayos. En estos, se relevó la evolución de la temperatura en el tiempo para distintas condiciones de corriente inyectada al TEC y para diversas condiciones ambientales.

Se plantea entonces, un sistema como el de la figura 2.

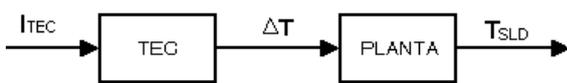


Figura 2. Diagrama de bloques preliminar de la planta a controlar.

Se consideran entonces dos transferencias. La primera correspondiente al TEC y la segunda a la respuesta del sistema

térmico que constituye el módulo de emisión completo. La correspondencia entre I_{TEC} y ΔT se presenta como una familia de curvas en función de la potencia emitida para cada temperatura ambiente. Es por esto, que no resulta sencillo establecer una transferencia lineal para este bloque. Más aún, excepto para el caso particular de ausencia de corriente de drive del SLD, las curvas no son simétricas respecto del sentido de la corriente I_{TEC} .

Eléctricamente hablando, el TEC presenta una resistencia de aproximadamente 2 Ohm para el sentido de circulación de corriente correspondiente a la acción de enfriamiento y otra de 4 Ohm para el sentido contrario.

En lo que se refiere estrictamente a la dinámica térmica del sistema SLD-encapsulado, se determinó una constante de tiempo térmica de entre 15 y 20 segundos según el sentido de circulación de I_{TEC} .

Teniendo en cuenta los aspectos mencionados anteriormente, y considerando la dispersión de parámetros entre componentes, se optó por un control de dos estados. Éste, introduce una alinealidad cuya acción es perpendicular a los efectos perturbadores, obligando al actuador a operar en dos niveles asignados que permiten cubrir el rango de actuación contemplado. Es decir, si se asegura la aplicación de dos valores suficientemente grandes de acción de control en el TEC, se obtendrá un ciclo límite en torno a la temperatura deseada. Es posible entonces, aplicar una ley de conmutación que permita considerar la transferencia como un cambio de referencia instantáneo a la entrada del sistema térmico. En consecuencia, en el plano de estados, la evolución del sistema ideal queda definida cualitativamente por la figura 3.

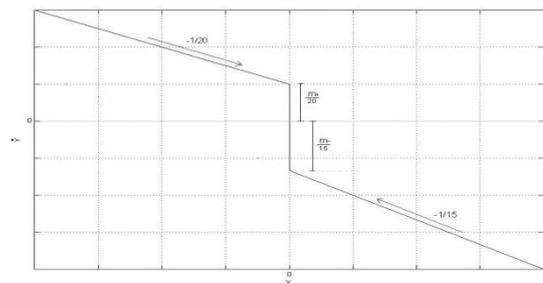


Figura 3. Trayectoria en el espacio de estados.

Esta práctica resulta en la generación de un ciclo límite que depende de la dinámica del sistema y de la amplitud m de los escalones de ΔT que genera el controlador.

B. Lazos auxiliares

El primer lazo auxiliar al que se recurrió está relacionado con la corriente I_{TEC} . La implementación del control de temperatura se lleva a cabo mediante un puente completo en configuración H, cargado con una red lineal y el TEC, y generando una señal PWM de control. Sin embargo, la corriente resultante en el TEC se controla con un lazo interno para asegurar los niveles y su dinámica. Puede considerarse a la señal de control generada como dos señales simultáneas multiplexadas en frecuencia. La señal de baja frecuencia porta

la información de la decisión de calentar/enfriar. Esta, es modulada por otra de mayor frecuencia que lleva la señal de control de corriente por la rama. La corriente es filtrada por la carga, lo que en definitiva genera, los niveles de corriente en uno y otro sentido.

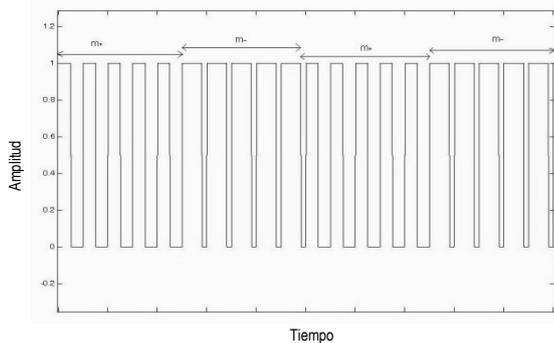


Figura 4. Señal de Control sintetizada por el controlador.

Otro problema concreto tiene que ver con un punto mencionado anteriormente. Las especificaciones de los fabricantes suelen, para este tipo de componentes, no ser suficientes para el diseño de este tipo de sistemas. Todas las acciones propuestas apuntan a estabilizar las variables de las que la potencia depende en forma directa. Sin embargo, durante la validación de los algoritmos propuestos, se observó que no son suficientes.

En particular, para un incremento de 34°C en la temperatura ambiente, la potencia experimenta un decaimiento del 5%, aún cuando la temperatura del termistor y la corriente I_{SLD} se mantienen estables. Esto, se debe a las características constructivas del módulo emisor y a cuestiones que tienen que ver con la dilatación de los materiales. Se hace uso entonces del diodo monitor que incluye el módulo SLD. De este modo, es posible obtener una lectura de un valor proporcional a la potencia emitida que se la emplea para corregir periódicamente el *setpoint* del control de la corriente I_{SLD} . Los valores de potencia sucesivos se filtran por medio de un algoritmo de promediación antes de ser utilizados.

El diagrama en bloques que ilustra la interacción entre bloques se presenta en la figura 5.

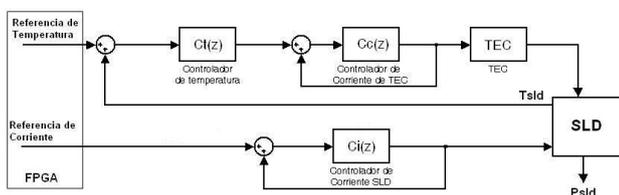


Figura 5. Diagrama en bloques del control de emisión.

III. DISEÑO DE HARDWARE

De la sección anterior se puede concluir en la necesidad de la implementación en hardware de drivers de corriente tanto

para el TEC como para el SLD. Tales drivers entregarán la corriente asociada a la acción de control en cada caso.

El driver de corriente del SLD está compuesto principalmente por un transistor de potencia asociado a un amplificador operacional y de un opto-aislador. Esta separación resulta necesaria para respetar la filosofía de distribución de tierras empleada en el diseño. La salida del amplificador operacional se conecta, luego de la red RC utilizada para compensar la respuesta en frecuencia del amplificador operacional, a la base del transistor de potencia. El SLD se ubica entre el la tensión de alimentación y el colector. El emisor de este transistor se conecta a un resistor *shunt* empleado para obtener una señal de tensión proporcional a la corriente. Este resistor es de alta potencia y posee un coeficiente de temperatura del orden de las $3\text{ppm}/^{\circ}\text{C}$.

El driver de corriente de TEC debe ser capaz de entregar 800mA de corriente bidireccional según las necesidades del control. Como se adelantó anteriormente, está basado en un puente H de llaves MOSFET. Este arreglo, posibilita la operación de una señal PWM que conmute las llaves mencionadas. La rama de carga del puente fue diseñada para asegurar una conducción de corriente apropiada utilizando componentes inductivos para administrar la potencia. Los inductores en cuestión son cada uno de 3.3uH, 2,3A y 60MHz de auto resonancia. La etapa incluye limitadores de corriente máxima y mínima.

Otra necesidad son las etapas de acondicionamiento de señal para los diversos sensores implicados en los lazos principales y auxiliares. Para esto son empleados una serie de amplificadores operacionales que pueden ser alimentados con una tensión unipolar de 3.3V. Esto, simplifica la circuitería, ya que evita la necesidad de fuentes bipolares de alimentación así como de tensiones elevadas.

Estas etapas de acondicionamiento son:

- Etapa de detección de potencia óptica emitida.
- Etapa de acondicionamiento de sensado de corriente en el SLD.
- Etapas de acondicionamiento para medición de temperatura del SLD.
- Etapa de acondicionamiento para medición de temperatura externa del encapsulado del módulo SLD.
- Etapa de acondicionamiento para medición de corriente en el TEC
- Etapa de acondicionamiento de la señal de control de corriente del SLD.
- Etapa de acondicionamiento de control de corriente en el TEC.

En el diseño, se emplean un total de dos ADC de dos canales cada uno. Cada canal es *single-ended* y arroja el resultado vía estándar SPI en complemento a dos de 14bits. Se requiere tomar datos de un total de cinco señales analógicas, por lo que el diseño incluye un multiplexor analógico de dos

canales a uno. Si bien esta quinta señal es tomada solo con fines de monitoreo (temperatura externa del encapsulado del módulo SLD), se deja abierta la posibilidad de aumentar la eficiencia del control de temperatura incluyendo lazos de control internos que aprovechen esta información adicional. Por ejemplo, conociendo la temperatura a la que está expuesto el encapsulado del SLD, es posible variar la amplitud del escalón de temperatura que aplica el TEC.

IV. IMPLEMENTACION DIGITAL

El desafío de la implementación en FPGA consiste en generar el soporte para la ejecución de los distintos algoritmos de procesamiento requeridos para el control. Se requiere además de controladores para los ADCs y DACs utilizados. También, como se ha mencionado, se han dispuesto una serie de sensores de temperatura en el PCB, a los cuales se les debe dar soporte desde el interior de la FPGA con un controlador dedicado que gobierne su funcionamiento. Por otra parte, se ha implementado un sistema de comunicación que permitirá enlazar este diseño con un subsistema de jerarquía superior, para lo que se requiere de un controlador tipo SPI que cumpla con las necesidades de este enlace de datos. Este enlace permitirá al sistema externo conocer los parámetros de funcionamiento y el envío de comandos.

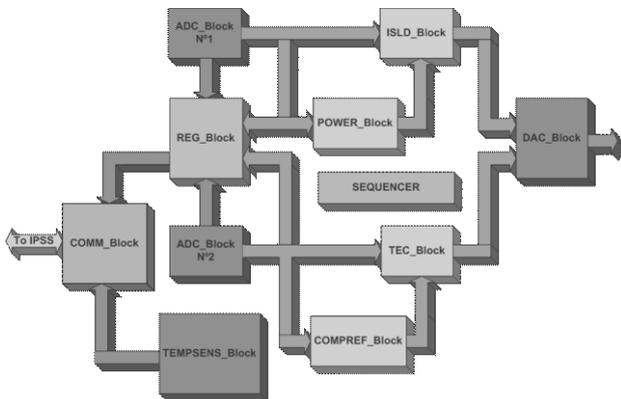


Figura 6. Nivel jerárquico superior del hardware digital implementado en el dispositivo de tipo FPGA.

En la figura 6 se muestra un diagrama en bloques del nivel jerárquico superior del diseño implementado. Además de los bloques encargados de la resolución de los algoritmos, se observa en la parte inferior izquierda el bloque de interfaz de comunicación y el controlador de los sensores de temperatura distribuidos en el PCB. Por otra parte, el bloque denominado SEQUENCER, es el encargado de la temporización de los algoritmos y de la inicialización de los mismos para asegurar que el control opere con variables adecuadas, luego de un periodo de estabilización de las variables controladas. A continuación se enumeran en orden los pasos de la secuencia de inicialización para la puesta en marcha del sistema:

- Estabilizar la temperatura interna del SLD de acuerdo con la especificación del fabricante (20°C +/-Error).
- Generar una circulación de corriente controlada y especificada por el SLD.

- Esperar un tiempo determinado para asegurar que se haya alcanzado el valor final de la potencia óptica emitida.
- Tomar una muestra de la potencia óptica emitida que será utilizada como referencia.
- Encender el control de potencia, que se encarga de provocar variaciones en la referencia del control de corriente, cuando la referencia de potencia óptica emitida difiere de la potencia de referencia sensada en el ítem anterior.

Una vez que una etapa de la secuencia es puesta en marcha, se mantiene en operación en forma indefinida.

Se puede destacar también, la participación de un bloque de registros denominado REG_Block, que permite al SEQUENCER almacenar los valores de las variables sensadas para que el COMM_Block las tenga disponibles.

Se analizará ahora, con mayor detalle, el conjunto de bloques que implementan el control de corriente del diodo superluminiscente y el cambio en el *setpoint* de la potencia de emisión, encerrados por una línea punteada en la figura 6. El grupo de bloques que implementan el control de temperatura y de corriente en el TEC son muy similares en funcionamiento. Tal es así, que los bloques ISLD_block y TEC_block, que implementan la ecuación en diferencias del control, son en realidad dos instancias de un único componente denominado IIR_block. Lo mismo vale para el par ADC_block N°1 y N°2 (instancias del bloque ADC_block). Esta aclaración, aunque simple, pone en evidencia las principales ventajas de la utilización de dispositivos de lógica programada, su altísima versatilidad y el poder de reutilización de componentes diseñados.

El bloque IIR_block implementa una ecuación en diferencias con la siguiente estructura:

$$Y_{[k]} = P_1 \cdot Y_{[k-1]} + Q_0 \cdot X_{[k]} + Q_1 \cdot X_{[k-1]} + K_r \cdot REFERENCE \quad (2)$$

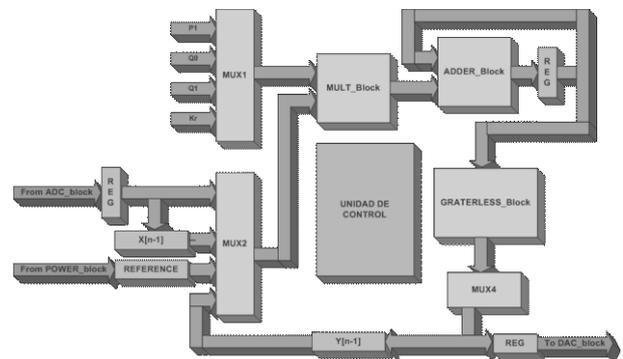


Figura 7. Arquitectura interna del IIR_block

La aritmética se implementa en punto flotante simple precisión. Los bloques MULT_block y ADDER_block son IP Cores propietarios de Xilinx[®] utilizados para realizar los cálculos en punto flotante. El resto de los bloques se encuentran descritos en VHDL con las librerías standard de

IEEE, lo que otorga trasportabilidad al código que describe el componente.

El parámetro REFERENCE en (2), es determinado por el bloque POWER_block a través de la implementación de la ecuación en diferencias:

$$Y_{[k]} = k \cdot X_{[k]} + Y_{[k-1]} \quad (3)$$

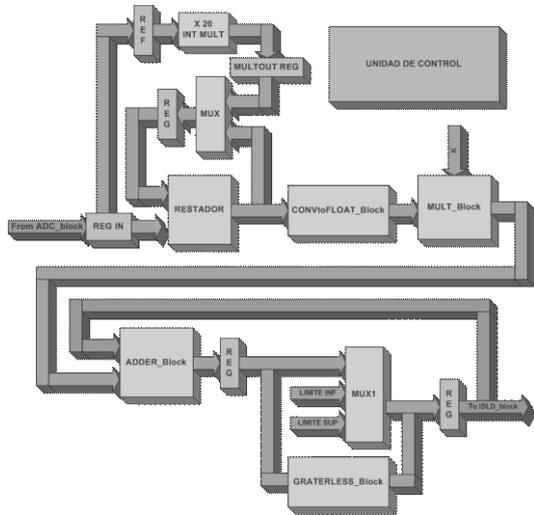


Figura 8. Arquitectura interna del POWER_block

La muestra actual, $X_{[k]}$ en (3), no es exactamente la entrada del POWER_block, sino la salida del bloque CONVtoFLOAT que lo constituye.

La primera etapa del bloque POWER_Block consiste en un promediador de veinte muestras, que genera un dato de salida cada veinte muestras de entrada. La salida de dicho promediador es convertida a punto flotante mediante el bloque CONVtoFLOAT mencionado e insertada en la ecuación en diferencias (3). De este modo, el bloque de procesamiento completo tal como se muestra en la figura 8, solo generará una muestra de salida por cada veinte muestras de entrada.

Cabe aclarar que, tanto el bloque IIR_block como el POWER_block, cuentan en la salida con un sistema limitador basado en un comparador en punto flotante (GREATERLESS_block) encargado de mantener acotada la salida entre un valor máximo y mínimo, los cuales son definidos por la electrónica asociada. A continuación se muestra matemáticamente la acción del limitador mencionado.

$$\begin{cases} Y_{[k]} < Lim. Inferior \Rightarrow Y_{[k]} = Lim. Inferior \\ Y_{[k]} > Lim. Superior \Rightarrow Y_{[k]} = Lim. Superior \end{cases}$$

Resulta necesario hacer énfasis en la determinación del tiempo de cálculo. La implementación debe ser capaz de resolver la ecuación en diferencias y determinar el valor de la salida del controlador en un tiempo menor al periodo impuesto por el diseño del lazo de control.

$$T_{FPGA} < T_{control} \quad (4)$$

La descripción de hardware mediante VHDL se debe realizar considerando los requerimientos de procesamiento. Estos últimos quedan en principio definidos por la tasa de cálculo a la que deban resolverse las ecuaciones en diferencias planteadas.

Para dar flexibilidad al diseño, en lo que respecta a las velocidades de muestreo y resolución de las ecuaciones, se ha optado por un esquema basado en señalizaciones. Esto significa que todos los bloques en el diseño propuesto poseen señales de inicialización de cómputo y de finalización del mismo. El SEQUENCER será el encargado de dirigir la operación de los bloques de cómputo en los momentos que se requiera.

La figura 9 muestra un segmento de una simulación en la que se han elegido principalmente determinadas líneas de señalización del bloque IIR_Block.

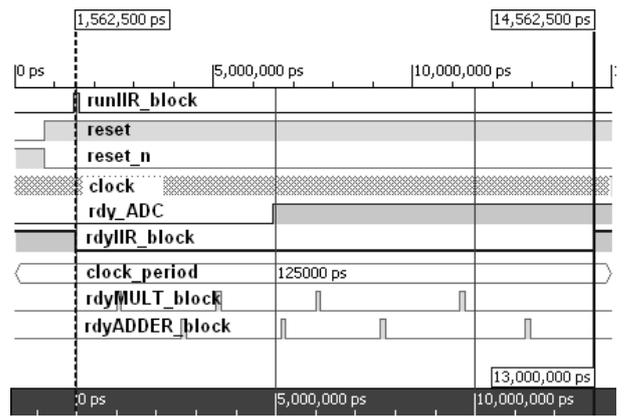


Figura 9. Simulación del bloque IIR_block en iSim

La misma filosofía de señalización empleada en el nivel jerárquico superior es empleada dentro de los restantes niveles. Así, la unidad de control interna al IIR_Block, interactúa por medio de idénticas señales con los bloques que lo constituyen.

De la simulación, se obtiene que el tiempo que el bloque está ocupado (señal rdyIIR_block = '0') es de 13µs operando el sistema a una frecuencia de 8MHz (104 ciclos de reloj). El lazo de control del sistema tiene un tiempo de muestreo de 50µs, lo que permite cumplir con los requerimientos de manera holgada.

Como se observa, los 8MHz empleados permiten suplir las necesidades de cómputo actuales. De lo mencionado en el párrafo anterior, se deduce que la frecuencia de operación podría bajarse aún más. Sin embargo, debido a posibles necesidades a futuro, se ha dispuesto un oscilador de 8MHz que permitiría poner en marcha un bloque DCM de la FPGA para sintetizar frecuencias mayores. Se debe tener en cuenta que, estos bloques, imponen una frecuencia mínima de entrada para su correcta operación.

V. IMPLEMENTACION FÍSICA

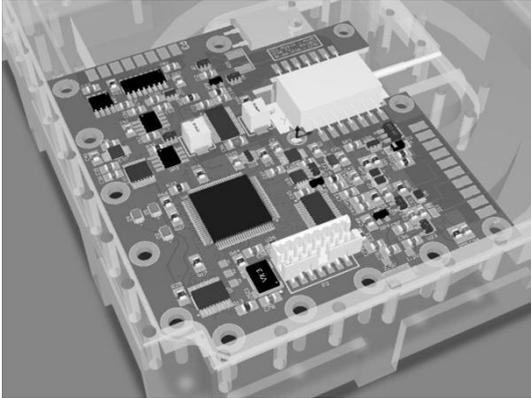


Figura 10. Vista 3D del PCB.

Los criterios implementados para el diseño del circuito impreso están orientados a minimizar el impacto de la realización física, que es de naturaleza mixta (digital/analógica), sobre el desempeño funcional esperado del mismo. Las perturbaciones electromagnéticas generadas por las conmutaciones de las señales digitales pueden influenciar negativamente en el funcionamiento del control si no son debidamente controladas, ya que éste basa su funcionamiento en el relevo de señales analógicas necesarias para la toma de decisiones sobre la acción de control. El diseño del circuito impreso tiene en cuenta la sensibilidad del sistema a las interferencias electromagnéticas potenciales sobre toda la estructura circuital de sensado. Los criterios primarios son:

- Ubicación de los componentes: todos aquellos componentes de la parte analógica del sistema se encuentran ubicados en una región del sustrato del impreso separada de los de la parte digital. Esta separación es la máxima alcanzable debido a las restricciones geométricas del impreso.
- Apantallamiento (EMF shielding): las pistas sensibles fueron protegidas de las perturbaciones electromagnéticas, mediante el empleo de escudos representados por planos del apilamiento constitutivo del circuito impreso, conectados galvánicamente al chasis (caja metálica que brinda sustrato mecánico y protección a los componentes tanto ópticos como electrónicos).
- Separación de retornos: las partes digital y analógica presentan caminos de retorno separados para las corrientes respectivas con el fin de anular la impedancia común de tierra.
- Topologías de ruteo implementadas: el ruteo de pistas está basado en diferentes tipos de topologías según la región de la placa de circuito impreso (tipo X-Y en áreas de electrónica digital que contengan buses; tipo "maze" en regiones de desacoples de integrados

propiciando la minimización de distancias entre éstos dos últimos).

- Integridad de señal: aquellas señales de índole digital cuya salud fuese crítica para el correcto funcionamiento del sistema son dirigidas en pistas de impedancia controlada (cuyo valor de impedancia característica fue calculado teniendo en cuenta sobre qué capa del apilamiento se encuentre extendida dicha pista).
- Emisiones en los bordes del circuito impreso: dado que este sistema debe funcionar ante la presencia de otro sistema digital/analógico en sus proximidades se puso especial énfasis en minimizar las emisiones laterales debido a las posibles fluctuaciones de tensión en los planos de alimentación. Para esto se implementó la regla H para el dimensionamiento de los planos internos de alimentación.
- Crosstalk: en todo par de pistas de ruteo paralelo y susceptibles de interferirse mutuamente se aplicó la regla 2W con el fin de garantizar el no acoplamiento capacitivo entre ellas.
- Diseño térmico: con el fin de propiciar una propia fluencia de calor desde los puntos calientes del circuito, se dedicaron dos planos de disipación térmica contiguos a las capas externas del apilamiento del circuito impreso. Estos planos de disipación se encuentran conectados térmicamente con el chasis mediante la mayor cantidad de puntos con el fin de minimizar la impedancia térmica del camino de salida de calor.

VI. CONCLUSIÓN

Se diseñó un sistema de estabilización de potencia óptica que contempla requerimientos muy estrictos. Permite una operación bajo condiciones severas en relación a las establecidas como nominales o recomendadas para el diodo SLD. Para llevar a cabo esto se provee el soporte apropiado utilizando herramientas de lógica programable.

El diseño fue necesariamente realimentado en distintas etapas dando lugar a una dinámica espiralada. Una de las principales razones es que cuando se trata de componentes de óptica, la información provista por los fabricantes es escasa y en algunos casos insuficiente.

- [1] H. LeFevre, "The Fiber Optic Gyroscope", Artech, Boston, 1993
- [2] W. K. Burns, Editor, Optical Fiber Rotation Sensing, Academic Press, San Diego, 1994.
- [3] Vladimir Shidlovski, "Superluminescent Diodes" SuperlumDiodes Ltd, 2004.
- [4] Vladimir Shidlovski, "Superluminescent Diodes: Application Notes" SuperlumDiodes Ltd, 2006.
- [5] V. Ingle, J Proakis "Digital Signal Processing" The Bookware Companion Series.