

Modulador Sigma Delta Basado en Capacitores Conmutados con Amplificadores de Ganancia Unitaria

Mariano Garcia Inza, Luis Lopez, Alejandro de la Plaza
 Facultad de Ingeniería
 Universidad de Buenos Aires, Argentina
magarcia@fi.uba.ar, aplaza@fi.uba.ar

Resumen—El diseño de moduladores sigma delta orientados a operar en altas frecuencias depende de la habilidad de los dispositivos de las nuevas tecnologías de operar a dichas frecuencias. El precio a pagar incluye limitaciones impuestas por la delgada litografía respecto de la máxima tensión de alimentación: tensiones de operación por debajo de 1 V son actualmente una nueva regla. El uso de cualquier forma de sobre tensión impacta negativamente la confiabilidad, además de que el uso de otros circuitos con este fin no es práctico debido a la frecuencia de operación exigida. La conmutación de capacitores a alta velocidad impone un límite a la máxima tensión sobre los mismos respecto de tierra, y esto repercute en las posibles implementaciones circuitales. Circuitos pasivos fueron presentados como posibles alternativas para superar estas dificultades pero la técnica tiene limitaciones en términos de ruido debido a la atenuación que sufre la señal y en el tipo de filtros que pueden ser utilizados. La técnica presentada en este trabajo utiliza integradores de muestreo de baja pérdida implementados con buffers de ganancia unitaria como elementos activos, y hace uso de las técnicas de correlated double sampling en todas las etapas para reducir el ruido.

I. INTRODUCCIÓN

Moduladores sigma-delta basados en capacitores conmutados representan una alternativa de diseño muy atractiva porque su operación depende de relaciones entre capacitores permitiendo buena predicción del desempeño aún en nuevas tecnologías [1],[2]. Para este tipo de circuitos la velocidad está limitada por los tiempos de carga de los capacitores y de establecimiento de los amplificadores, ambos finalmente dependientes del tamaño mínimo del capacitor que puede ser usado compatible con los requerimientos de ruido. En el caso de necesitar grandes relaciones entre capacitores, las capacidades parásitas de las placas inferiores de los capacitores de realimentación también pueden afectar el tiempo de establecimiento de los amplificadores. La habilidad de una llave MOS para transportar carga hacia y desde un capacitor depende de la tensión aplicada al gate del transistor. El muestreo de la salida de un amplificador que usualmente se encuentra en reposo a la mitad la tensión de la fuente de alimentación, representa la cuestión mas desafiante del diseño orientado a alta velocidad de operación. La solución mas común es alimentar las compuertas de las llaves MOS y los circuitos de control relacionados con una línea de sobre

tensión. Esto trae la desventaja de que la confiabilidad de los dispositivos puede verse afectada cuando se fuerzan tensiones cercanas a dicho límite. Técnicas mas elaboradas usan un circuito de elevación de tensión por cada llave para lograr una tensión gate-source constante, pero la complejidad del circuito resultante limita la técnica a aplicaciones de baja frecuencia.

Diferentes formas de amplificadores conmutados han sido reportados, pero todas ellas están restringidas a operar bajas frecuencias [3]-[6].

Recientemente se han presentado filtros de lazo pasivos con capacitores conmutados [7]-[10]. La tensión de reposo de todos los nodos a ser conmutados es 0 volt, y limitando la señal a amplitudes de fracción de la tensión de alimentación, la técnica permite gran velocidad de conmutación.

La dependencia solo en elementos pasivos para implementar filtros limita la complejidad de la función transferencia que se puede lograr y la atenuación de la señal provoca que la configuración sea sensible al ruido.

El circuito propuesto en el presente trabajo utiliza integradores con capacitores conmutados basados en amplificadores de ganancia unitaria [11]. Es importante destacar que el integrador resultante tiene la habilidad de amplificar la señal de entrada siendo la función de transferencia obtenida idéntica a la de un circuito de capacitores conmutados convencional basado en amplificadores de tensión.

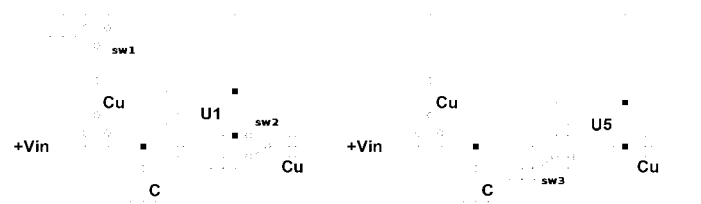


Fig. 1. Integradores con capacitores conmutados usando amplificadores de ganancia unitaria: (a) de salida conmutada, (b) de entrada conmutada

II. DESCRIPCIÓN DEL CIRCUITO

La configuración básica del integrador se muestra en la Fig. 1(a). En la fase de muestreo, el capacitor C_u se carga a la tensión de entrada V_{in} . En la siguiente fase la carga total $C_u \cdot V_{in}$

se transfiere al capacitor de integración C , el cual cuenta con uno de sus terminales a tierra.

El amplificador de ganancia unitaria fuerza la relación de tensiones de entrada-salida a través del intercambio de carga a tener una función transferencia:

$$\frac{V_{out}}{V_{in}}[z] = \frac{C_u}{C} \frac{z^{-1}}{1-z^{-1}} \quad (1)$$

Siendo esta ecuación idéntica a la de un integrador con capacitores conmutados convencional, se concluye que es posible usar amplificadores unitarios para obtener integradores con ganancia mayor a uno en la banda de paso.

El circuito de la Fig. 1.(a) presenta sin embargo la desventaja de que las llaves $sw1$ y $sw2$ operan sobre la salida del amplificador. Esto reduce la tensión de control de las llaves MOS, ya que el valor de reposo de la salida del amplificador debe ser al menos el valor pico de la señal de entrada.

Es posible utilizar una topología circuital en conjunto con una secuencia de fases de reloj que no requiera llaves muestreando de forma directa la salida del amplificador. Un ejemplo se muestra en la Fig. 1(b). Durante la primer fase del reloj, la llave $sw3$ conecta la entrada del amplificador a tierra, forzando el nodo de salida a la tensión de reposo del amplificador (offset). Siendo que el capacitor de realimentación se encuentra en ese instante muestreando la señal de entrada, la carga que acumula será $C_u(V_{in}-V_{off})$. En la siguiente fase, tanto la entrada el amplificador como el capacitor de muestreo se conectan al capacitor de integración, forzando una tensión $-V_{off}$ sobre el capacitor de realimentación y generando la transferencia de carga $C_u V_{in}$ hacia el capacitor de acumulación.

Como ejemplo se muestra en la Fig. 2 un amplificador construido con un transistor de canal-p en configuración seguidor (source follower) que puede operar con cero volt en su entrada. En este caso la señal de salida es, en términos prácticos, una tensión constante ligeramente superior a la tensión umbral (V_{th}) del dispositivo. Esta tensión de offset es adecuada para el correcto funcionamiento del integrador.

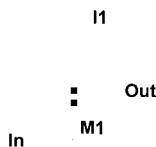


Fig. 2. Amplificador unitario de topología Drain común o Source follower.

En la Fig. 3 se muestra el diagrama en bloques de un modulador sigma-delta de segundo orden. Para implementarlo se requiere diseñar un integrador de dos entradas, que permita integrar la diferencia entre dos señales. En la Fig. 4 se presenta una solución que además cumple con los requerimientos discutidos en los párrafos anteriores. Se puede mostrar que a partir de la función transferencia del circuito, la tensión para cada entrada es

$$V_{out}[z] = \frac{C_u}{C} \left(\frac{C_1}{C_u + C_1} \right) \frac{z^{-1}}{1-z^{-1}} \cdot V_1 + -\frac{C_u}{C} \left(\frac{C_2}{C_u + C_2} \right) \frac{z^{-1}}{1-z^{-1}} \cdot V_2 \quad (2)$$

Definiendo $C_i = C_u$ el integrador tiene una ganancia de 0.5 como es requerido por razones de estabilidad cuando se utiliza en lazos sigma-delta de segundo orden [12].

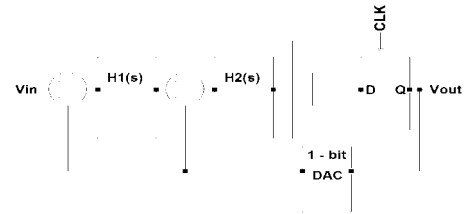


Fig. 3. Diagrama en bloques de un modulador sigma-delta de segundo orden.

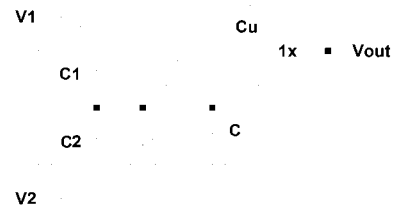


Fig. 4. Implementación de un integrador de dos entradas.

Conectando los integradores de dos entradas de forma adecuada se obtiene el esquemático completo del modulador sigma-delta que se muestra en la Fig. 5. En el mismo todas las llaves operan entre tierra y el pico de la amplitud de señal haciendo razonable esperar un buen desempeño en altas frecuencias, similar a un circuito de capacitores conmutados completamente pasivo.

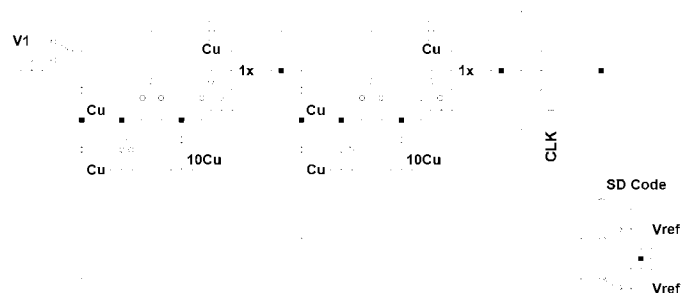


Fig. 5. Implementación del modulador sigma-delta con capacitores conmutados y amplificadores de ganancia unitaria.

El lazo de realimentación del circuito de la Fig. 5 se cierra a través del conversor digital-analógico de 1-bit conectado a las entradas inversoras de de ambos integradores. El circuito como se muestra puede producir tensiones negativas si se utiliza una tensión positiva como referencia (V_{ref} en el esquemático). El ancho de banda para todos los integradores se ajusta a la máxima frecuencia de la señal de entrada para optimizar el ruido de quantización. Una ventaja adicional de esta configuración, en la cual el capacitor de integración tiene

la placa inferior conectada a tierra, es que hace posible el uso de grandes relaciones entre capacidades sin degradación de la máxima frecuencia de operación alcanzable. Las capacidades parásitas de la placa inferior de un capacitor pueden degradar la performance en alta frecuencia de circuitos basados en integradores convencionales cuando la relación de capacidades es grande.

El resto del circuito incluye un comparador de señal, latches y la lógica necesaria para operar el conversor digital-analógico de 1-bit que cierra el lazo sigma-delta.

III. SIMULACIÓN

El circuito completo es evaluado simulando en Spice con modelos de dispositivos de una tecnología consolidada (TSMC .18 μ m). La frecuencia de muestreo utilizada es de 250MHz con una señal de entrada de 1MHz. El resultado de la simulación mostrado en la Fig. 6 sugiere que el circuito propuesto puede operar a dicha frecuencia sin aparente degradación en su desempeño. El consumo de potencia simulado es bajo incluso al compararlo con circuitos reportados que operan a menores frecuencias, resultado esperado considerando la simplicidad del circuito amplificador.

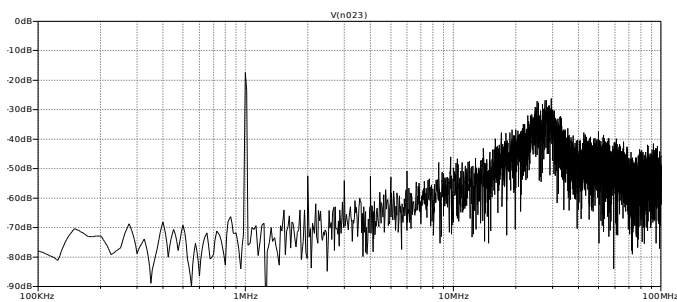


Fig. 6. Resultado de la simulación con Spice para $V_{in} = 150\text{mV}$ y $V_{ref} = 300\text{mV}$

IV. CONCLUSIÓN

Los circuitos con capacitores conmutados demuestran ser la mejor alternativa al compararlos con otras técnicas en circuitos integrados analógicos fundamentalmente debido a su desempeño predecible en términos de dispersiones y dependencia con la temperatura de los valores de sus componentes. Una nueva forma de circuito modulador sigma-delta usando amplificadores de ganancia unitaria sugiere que es posible alcanzar mayores frecuencias de operación en comparación con las técnicas tradicionales. Además muestra ventajas al ser comparado con circuitos de capacitores conmutados pasivos en términos de: libertad de implementar funciones transferencia más complejas, desempeño frente al ruido y consumo de potencia.

REFERENCIAS

- [1] Hodges, David A.; Gray, Paul R.; Brodersen, Robert W.; Potential of MOS Technologies for Analog Integrated Circuits IEEE Solid State Circuits Conference, 1977.
- [2] Temes, G.; Candy, J., Oversampling Delta-Sigma Data Converters: Theory, Design, and Simulation, Wiley-IEEE Press, 1991.
- [3] Crols, J.; Steyaert, M., Switched-opamp: an approach to realize full CMOS switched-capacitor circuits at very low power supply voltages IEEE Journal of Solid-State Circuits, Volume: 29, Issue: 8, 1994
- [4] Peluso, V.; Steyaert, M.S.J.; Sansen, W., A 1.5V 100 μ W sigma-delta modulator with 12-b dynamic range using the switched-opamp technique IEEE Journal of Solid-State Circuits, Volume: 32, Issue: 7, 1997
- [5] Sauerbrey, J.; Tille, T.; Schmitt-Landsiedel, D.; Thewes, R. A 0.7-V MOSFET-only switched-opamp modulator in standard digital CMOS technology IEEE Journal of Solid State Circuits Volume: 37, Issue: 12, 2002
- [6] Keskin, M.; Un-Ku Moon; Temes, G.C., A 1-V 10-MHz clock-rate 13-bit CMOS sigma-delta modulator using unity-gain-reset op amps IEEE Journal of Solid-State Circuits, Volume: 37, Issue: 7 JSSC.2002
- [7] Feng Chen, Bosco Leung, A 0.25-mW Low-Pass Passive Sigma-Delta Modulator with Built-In Mixer for a 10-MHz IF Input, IEEE Journal of Solid-State Circuits, VOL. 32, NO. 6, June 1997
- [8] Toru Sai; Sugimoto, Y., Design of a 1-V operational passive sigma-delta modulator, European Conference on Digital Object Identifier, 2009.
- [9] Guessab, S.; Benabes, P.; Kielbasa, R., A passive delta-sigma modulator for low-power applications, MWSCAS '04. The 2004 47th Midwest Symposium on Circuit and Systems
- [10] Feng Chen; Ramaswamy, S.; Bakkaloglu, B., A 1.5V 1mA 80dB passive Sigma Delta ADC in 0.13 μ m digital CMOS process, ISSCC IEEE Solid-State Circuits Conference, 2003.
- [11] Kunsagi, L.; Temes, G.C. Buffer-based switched-capacitor gain stages Electronics Letters Vol 24,5 1988.
- [12] Candy, J., A Use of Double Integration in Sigma Delta Modulation IEEE Transactions on Communications, Volume: 33, Issue: 3, 1985.