

PLL Digital Multiplicador de Frecuencia integrado en un proceso CMOS estándar

Pacheco, Gonzalo Andrés

Seminario de Diseño de Circuitos Integrados en Tecnología CMOS
Departamento de Electrónica, Facultad de Ingeniería, Universidad de Buenos Aires.
Buenos Aires, Argentina
pachecogonzalo@gmail.com

Resumen — En este trabajo se presenta el diseño y layout de un circuito multiplicador de una frecuencia de entrada de 10MHz para obtener una salida de 80MHz a través de un PLL (*Phase Locked Loop: Lazo de Seguimiento de Fase*) digital, utilizando la tecnología CMOS estándar de 0.6 μm .

I. INTRODUCCION

Un PLL es un sistema de control, encargado de entregar a su salida una señal cuya fase está vinculada a la de la señal de entrada.

Existen muchas aplicaciones que requieren la generación de una señal de reloj dentro de un chip para poder realizar tareas que requieren de una importante sincronización. En determinados casos, la estabilidad que pueden brindar estos relojes on-chip no logra alcanzar a aquellas generadas en circuitos externos con osciladores de cristal. Sin embargo, los osciladores con cristales no pueden alcanzar frecuencias muy elevadas, o es difícil lograr introducir dicho reloj al chip sin que sufra alteraciones en sus flancos.

Por ello, se recurre a la utilización de un reloj externo de baja frecuencia y de elevada estabilidad, y se multiplica su frecuencia internamente, para evitar los problemas de ingreso de una señal de alta frecuencia y al mismo tiempo se mantiene su elevada precisión.

II. TECNOLOGIA

El circuito integrado se implementó en un proceso n-well CMOS estándar de 0.6 μm , con tres capas de metal y dos de polisilicio. De acuerdo a las necesidades de cada circuito utilizado, se dimensionó adecuadamente el tamaño de los transistores.

III. DESCRIPCION

Un PLL se puede describir con una serie de bloques generales, tal como se presenta en la Fig. 1.

Al abrir el lazo de realimentación, el bloque comparador de fase arrojará una salida proporcional a la diferencia de fase entre las entradas: $\varphi_{\text{ref}} - \varphi_o$. A continuación, esta salida se traducirá a una tensión, entonces obteniendo en este punto una tensión proporcional al defasaje de las entradas. Para no

obtener una señal de reloj con ruido de fase (jitter) y brindar al circuito global realimentado de una estabilidad determinada, es necesaria la inclusión de un filtro en el circuito completo, función que cumple el bloque denominado de la misma forma.

Una vez filtrada, la tensión de diferencia de fases controla un oscilador que entregará una salida a partir de la cual se sintetizará un múltiplo de la fase deseada inicialmente, que tras atravesar un divisor de fase se cierra el lazo y se puede sintetizar la misma fase y frecuencia de la entrada.

Previo al divisor de frecuencia, se puede hallar una señal que tiene una relación lineal con la referencia, pero que su fase es N veces mayor, y por lo tanto su frecuencia también lo es, sintetizando finalmente el multiplicador de frecuencia de entrada.

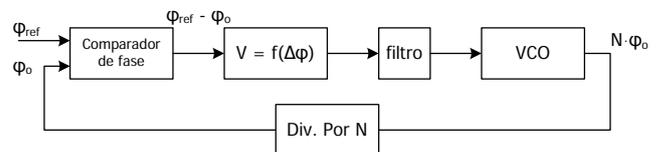


Figura 1. Esquema básico del funcionamiento de un PLL con multiplicador de frecuencia por N.

Por lo tanto, el circuito completo se compone de 5 bloques diferentes, cuyos diseños han sido parte del alcance de este trabajo, así como también las consideraciones para su estabilidad general.

IV. DISEÑO

A) Comparador de fase y frecuencia

Dado que el PLL implementado es utilizado para el seguimiento de una señal de reloj digital, todo el PLL es digital y entonces otorga la libertad de utilizar una máquina de estados para implementar el comparador de fase.

La Fig. 2 presenta el circuito digital que implementa el comparador de fase, mientras que la Fig. 3 presenta la máquina de estados asociada [1].

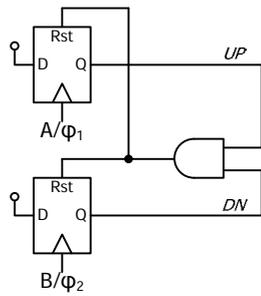


Figura 2. Circuito comparador de fase.

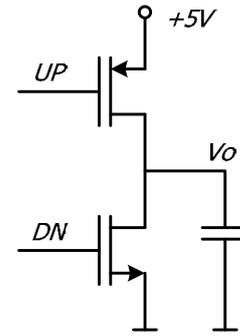


Figura 4. Circuito Inyector de Carga/Charge Pump.

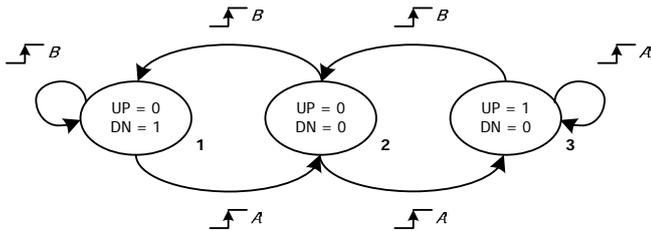


Figura 3. Máquina de estados asociada al circuito comparador de fase

El funcionamiento básico es el siguiente: Los valores Up y Dn (Up y Down: Arriba y abajo) cumplen la función de controlar la duración temporal de dos pulsos de salida, que representarán el aumento o disminución de la tensión del siguiente bloque. La salida Up o Dn se encontrará en 1 mientras que dure el defasaje, y por lo tanto estará allí un tiempo proporcional al defasaje entre las señales.

Si se partiese del estado 2, y en un instante el reloj B es más veloz que el A, su flanco llegará primero, y el sistema se trasladará al estado 1. Allí, el estado Dn toma el valor 1, lo que representa que la entrada B tiene una fase mayor que A, y se mantendrá en dicho valor hasta que la llegue el pulso de la entrada A, momento en el cual el sistema vuelve al estado 2.

Por lo tanto, la salida Dn tiene una duración temporal proporcional al defasaje. Si la señal que adelantase fuera la A, la salida que representara ese defasaje sería Up.

Una ventaja significativa de este circuito de comparación de fase sobre otros, es que conjuntamente compara frecuencia. Esto implica que dicho circuito no podrá funcionar de manera estable cuando las entradas sean múltiplos enteros, y por lo tanto se evitan problemas de estabilidad para dichos casos indeseados.

B) Conversor de defasaje a tensión

Partiendo de las salidas Up y Dn, la conversión de estos defasajes, representados en duración temporal, a una tensión de salida, se realiza a través de un circuito Charge Pump (inyector de carga). El circuito tiene la particularidad de ser bastante sencillo, y se puede implementar como se muestra en la Fig. 4.

Assumiendo que los transistores en su estado "on" se pueden comportar como fuentes de corriente, mientras que la salida Up se mantiene en alto, el transistor PMOS cargará al capacitor de salida, y el incremento en tensión de salida será proporcional al tiempo que dicha señal se mantenga en alto. Por lo tanto, se logra efectivamente una conversión de fase a tensión.

Nuevamente, ocurre lo mismo con la entrada Dn, pero disminuyendo la tensión de salida.

Debido a que esta es la primer etapa analógica de procesamiento, el tamaño de los transistores cobra una variable de diseño de importante consideración.

C) Filtro

En el charge pump previo, se utiliza un capacitor para lograr la relación de tensión de salida versus el defasaje de entrada. Esta carga debe ser lo suficientemente rápida para que el PLL no sea lento, pero que no presente inestabilidades. Sin embargo, el circuito logrado será lo bastante rápido para pasar el ruido de fase a la salida. Por lo tanto, se agrega un circuito en paralelo, que resulta ser un RC serie, que ayudará a mantener el valor medio de la tensión para bajar dicho jitter.

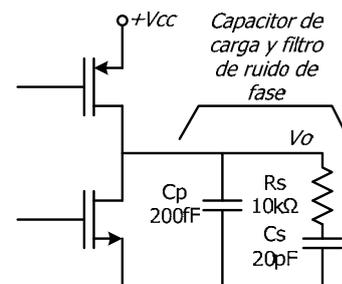


Figura 5. Filtro para ruido de fase, junto al capacitor de Charge-Pump.

Debido a que este es la primer etapa analógica del circuito, es de especial interés el dimensionamiento de los transistores de la fuente Charge-Pump, así como también ocurre con los elementos pasivos de filtrado.

Por consideraciones de estabilidad y velocidad de respuesta, se debe optar por utilizar transistores que entreguen poca corriente, por lo que los transistores de carga llevarán un ancho mínimo, pero junto con un largo muy superior al mínimo, siendo de 10µm.

D) VCO

La función del VCO (Voltaje Controlled Oscilator: Oscilador Controlado por Tensión) es sintetizar un reloj de salida cuya frecuencia de oscilación se proporcional a la tensión de entrada.

Una forma sencilla de realizar este circuito es agregar a un circuito oscilador estándar la posibilidad de controlar la cantidad de corriente máxima que circula en cada uno de sus inversores básicos.

Una implementación de esta idea se presenta en la Fig. 6, donde se puede ver que a partir de una tensión de control V_{ctrln} aplicada en el transistor NMOS Q_1 se limita la cantidad de corriente que se dejará pasar por el inversor mínimo. Asimismo, el transistor PMOS Q_2 trabaja como una fuente de copia de corriente que fijará la misma cantidad de corriente máxima para la rama PMOS de los inversores, regulando globalmente la corriente de todo el conjunto y la velocidad de conmutación, y consiguientemente la frecuencia de salida.

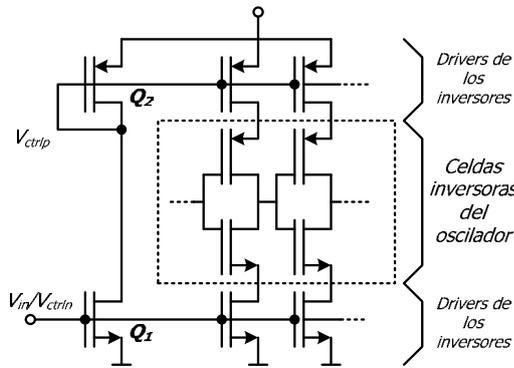


Figura 6. Circuito control de corriente de los inversores mínimos del oscilador, y subsiguiente control por la tensión V_{ctrln} .

Debido a que el presente trabajo se realiza con una frecuencia central de 80MHz en su totalidad, se toma este valor como centro de diseño, para lo cual la cantidad de etapas inversoras que componen el clock será elegida de forma tal que cumpla ser el centro de diseño.

La Fig. 7 presenta la característica de un VCO de 15 etapas, donde se puede ver que para los 80MHz de centro de diseño prácticamente se obtiene un rango dinámico máximo de tensiones de entrada V_{in} de control del oscilador, con lo que se concluye que la cantidad de etapas es la apropiada para las condiciones de diseño iniciales.

Nuevamente, en este bloque deben considerarse el dimensionamiento de los transistores que limitan las corrientes de los inversores. En este caso particular, se opta por las dimensiones mínimas en todos los transistores con el fin de minimizar el área del circuito, ya que la síntesis del bloque deseado se puede dimensionar mediante la cantidad de etapas que lo componen.

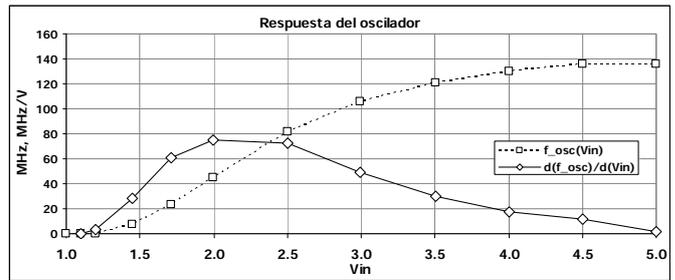


Figura 7. Simulación de respuesta de un oscilador de 17 etapas: Frecuencia de oscilación (f_{osc}) vs Tensión de control (V_{ctrln}/V_{in}), y su gradiente en función de la tensión de entrada.

E) Divisor por N

El circuito divisor por N es sencillamente una secuencia de flip-flops en cascada al que se le realiza un reset global al formarse una palabra determinada, que es el número hasta el que se desea contar.

Como en este caso particular N es 8, dicho reset no es necesario implementarlo, ya que el divisor ciclará de 0 a 7 constantemente.

Finalmente, la cantidad de flip-flops para realizar una cuenta cíclica de 8 valores es 3, y por lo tanto se agregan 3 de estos bloques fundamentales a los 2 previamente utilizados en el comparador de fase.

F) Consideraciones de estabilidad

Tal como se comentó previamente, al ser el PLL un circuito globalmente realimentado se debe tener especial cuidado con las consideraciones de estabilidad.

El sistema global se puede analizar tal como se muestra en la Fig. 8:

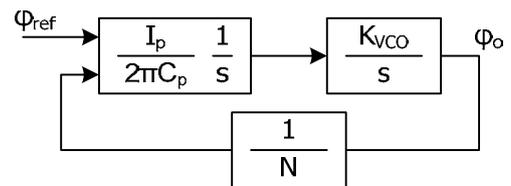


Figura 8. Esquema analítico del PLL.

Donde:

I_p : Corriente media de carga del Charge Pump

C_s : Capacitor serie de carga del Charge Pump

R_s : Resistor serie de carga del Charge Pump

K_{VCO} : Ganancia del VCO

N: Factor de multiplicación

Se encuentra que la transferencia planteada posee 2 polos que obedecen la siguiente ecuación:

$$s_{1,2} = a \pm \sqrt{1-b}$$

donde:

$$a = \frac{R_s I_p K_{VCO}}{4\pi N}, \quad b = \frac{8\pi N}{R_s^2 C_s I_p K_{VCO}}$$

De aquí se pueden observar las condiciones de estabilidad que condicionan el diseño del circuito. Por ejemplo, ninguno de los parámetros en el denominador de la constante b se puede hacer arbitrariamente pequeño, ya que obtendríamos polos complejos conjugados con una gran parte compleja, que dado un mínimo ruido de fase podría llegar a aportar una constante oscilación de dicha fase en esta frecuencia.

Por otro lado, en la transferencia total adicionalmente hallamos un cero de transferencia en la frecuencia S_3 :

$$s_3 = \frac{1}{R_s C_s}$$

Dado el diseño planteado, el cero S_3 podría hallarse en una frecuencia superior a la de los polos, solo si estos fueran complejos conjugados. O bien, dicho cero se encontrará antes del primer polo del par S_1, S_2 .

En este diseño particular, se optó por implementar polos complejos conjugados de Q relativamente bajo, situando al cero algo por encima de dichos polos. Adicionalmente, se sumó un grado de libertad adicional al incorporar al capacitor C_p . Este capacitor filtrará aún más las componentes de alta frecuencia que podrían introducir jitter de fase.

Finalmente, la transferencia se presenta en la Fig. 9, donde se puede observar que para las condiciones establecidas inicialmente, se encuentra que la transferencia total cumple los criterios de estabilidad.

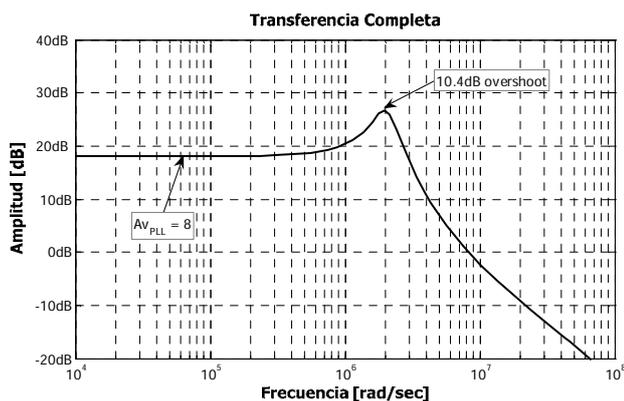


Figura 9: Cálculo de la respuesta en frecuencia del PLL en la frecuencia central de trabajo (80MHz).

G) Resultados

Las simulaciones de las formas de onda de las señales de entrada y salida se presentan en la Fig. 10, donde se puede ver que efectivamente el circuito implementado eleva la frecuencia de entrada en un factor de 8 veces.

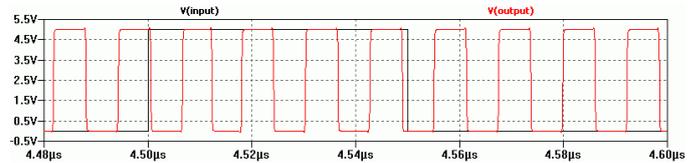


Figura 10. Formas de onda de entrada y salida del PLL implementado.

El proyecto completo se presenta en la Fig. 11, donde se puede apreciar los componentes más importantes del proyecto volcados en el layout final del circuito.

Asimismo, las simulaciones de dicho circuito ya volcado al layout, que incluye los parásitos propios del proceso, arrojó resultados muy similares, con lo que se infiere que la fabricación de este diseño llevaría resultados satisfactorios.

El circuito actualmente está fabricación, por lo que se espera que en un próximo futuro se puedan medir sus características y compararlas con el diseño aquí presentado.

El PLL implementado consta finalmente de 204 transistores, más 2 capacitores (200fF y 20pF) y una resistencia (10k) para la etapa de filtrado. El área total de silicio ocupada resultó de aproximadamente 0.06mm².

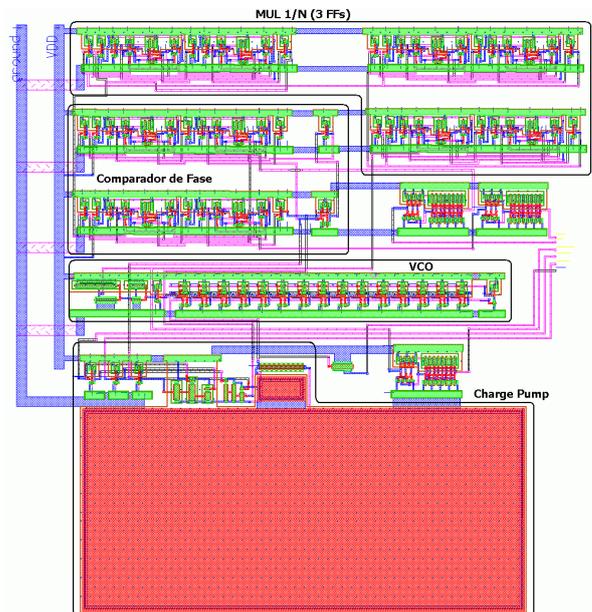


Figura 11. Layout del proyecto completo.

REFERENCIAS

[1] J. Rabaey, A. Chandrakasan, B. Nikolic, "Digital Integrated Circuits", 2nd Edition