

**ND6008UNLP**

**UNIVERSIDADE:** Universidad Nacional de La Plata

**AUTORES:** José M. Juárez; Laureano Bulus Rossini; Hugo Lorente

## **SISTEMA DE DESARROLLO MODULAR PARA RECEPTORES DE GPS, IMPLEMENTACIÓN DE UN PROTOTIPO<sup>†</sup>**

### **INTRODUCCIÓN**

Un receptor de GPS emplea las señales transmitidas por los satélites del Sistema de Posicionamiento Global y las procesa para generar información de navegación y referencia de tiempo [1].

Un receptor de GPS puede dividirse en tres componentes básicos según sus funciones:

- Cabezal de Radio frecuencia y Muestreador: traslada en frecuencia la señal recibida a una frecuencia intermedia y realiza un muestreo pasabanda de la señal, digitalizándola y acondicionándola para su posterior procesamiento en los correladores.
- Correladores programables: realizan la correlación de las señales recibidas con una copia de las secuencias Gold, generadas internamente, correspondiente a cada satélite recibido para sincronizar las mismas.
- Procesador: Administra el funcionamiento de los otros dos componentes y de la interfaz de comunicaciones, así como la configuración inicial, el almacenamiento de los datos obtenidos, la actualización de los lazos de seguimiento y el cálculo de la solución de navegación.

El objetivo de este trabajo es la construcción de una placa de desarrollo, basada en un hardware modular: módulo de procesamiento, módulo de almacenamiento, interfaces de entrada-salida, y módulos de radiofrecuencia y correlación. El hecho de que el receptor sea modular permite adaptar fácilmente diferentes tecnologías, simplificando el empleo de distintas etapas de radiofrecuencia o la emulación de las señales que esta etapa produce, la implementación de hardware propio como ser el desarrollo de la etapa de correladores en dispositivos programables de tipo FPGA (Field Programmable Gate Array), el desarrollo de software para el cálculo de la solución de navegación, etc.

---

<sup>†</sup> Este trabajo fue totalmente financiado por el convenio *RECEPTOR GPS CONAE-UNLP*, entre la Comisión Nacional de Actividades Espaciales y la Universidad Nacional de La Plata.

## DESCRIPCIÓN

El módulo de procesamiento está basado en un microprocesador de propósitos generales, y un software compatible con éste, que realiza las siguientes tareas:

- Maneja las interfaces de comunicaciones.
- Provee un sistema de carga de programas que permite actualizar y modificar las rutinas de procesamiento.
- El sistema actúa en forma autónoma y en tiempo real [2] vinculándose con otros sistemas, como ser una PC o los correladores, solamente a través de sus interfaces de comunicaciones.
- Proveer una solución de navegación basándose en los datos adquiridos.

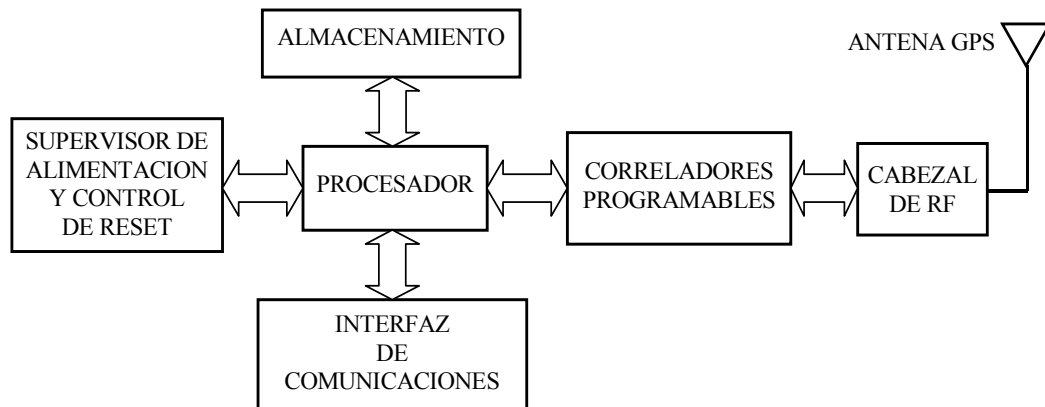
El bloque de almacenamiento está compuesto por una memoria SRAM y una memoria FLASH. La memoria SRAM contiene tanto las variables que emplea el software para el procesamiento, como los datos más recientes obtenidos de los satélites (efemérides, etc.). Es importante que estos datos se preserven durante el tiempo que el receptor esté fuera de funcionamiento, con el fin de disminuir el tiempo que lleva la primera determinación de posición. Para esto el sistema cuenta con un tipo de memoria que permite retención de datos con un sistema de alimentación auxiliar.

La memoria FLASH es la que contiene el código para el funcionamiento del receptor y, en particular, los algoritmos para procesar los datos entregados por el subsistema de correladores con los cuales se determina la solución de navegación correspondiente a posición, velocidad y tiempo.

El módulo de correladores y el cabezal de radiofrecuencia completan el receptor. Estos dependen de su propia implementación, la cual se describe en la sección siguiente.

Se muestra un diagrama en bloques del receptor de GPS modular. A pesar de que la implementación particular depende de los dispositivos utilizados, la migración a otro diseño en el cual se modifique la implementación de alguna etapa requeriría de muy poca lógica externa para lograr la adecuación de las señales de interfaz.

FIGURA 1 - DIAGRAMA EN BLOQUES DEL RECEPTOR DE GPS



### Implementación del prototipo

El módulo de procesamiento consiste en un microprocesador montado sobre un circuito impreso que permite disponer de los terminales del dispositivo para interconectarlo al resto de los módulos utilizando la técnica de cableado Wire-Wrap. El dispositivo utilizado es el MC68340 de la empresa Motorola. Este es un procesador CISC (Complex Instruction Set Computer) de 32 bits con posibilidad de operar con frecuencias de reloj de hasta 25 MHz.

El módulo de almacenamiento se implementó con una memoria FLASH de 512Kx16 bits y una memoria SRAM de 256Kx16 bits. Ambas memorias poseen un bus de datos de 16 bits y capacidad adecuada para alojar el software del receptor.

La interfaz de comunicación con el mundo exterior, como ser una PC, se implementó con el periférico UART (Universal Asynchronous Receiver Transmitter), ya integrado en el microprocesador. Esta utiliza un protocolo de comunicación asincrónica serie con velocidad de transmisión de hasta 57600 bps. La frecuencia de reloj necesaria para generar la velocidad de transmisión se obtiene a partir del mismo reloj del microprocesador empleando el temporizador también integrado en el procesador, y no con una referencia externa. Se reduce así la cantidad de componentes del sistema.

Otra de las interfaces que posee el sistema es la que permite programar la memoria FLASH, cuando ya ha sido soldada al circuito de su módulo. Esta es la interfaz JTAG que tiene incorporada el microprocesador. Se implementó un método de actualización de software, que emplea el puerto paralelo de una PC para controlar la interfaz JTAG del microprocesador y, mediante ésta grabar sólo el sector de inicio de la memoria FLASH.

Debido a la más alta velocidad de transferencia de la UART, el resto del software de navegación, se transfiere desde una PC a través de la interfaz recién mencionada.

Se incluyó en el sistema un supervisor de tensión y generador de señal de reset, que es quien genera la señal de inicialización para todos los componentes del receptor y verifica que la alimentación se encuentre en un valor adecuado para el funcionamiento. Un circuito auxiliar de conmutación selecciona la batería de respaldo, cuando la alimentación principal es quitada. Esto permite al receptor la retención de datos en el módulo de almacenamiento.

La etapa de correladores se implementó con el ASIC (Application Specific Integrated Circuit) GSP1/LX [3]. Este es básicamente un procesador de señales de espectro expandido que contiene 12 canales independientes con 20 correladores cada uno para operaciones de adquisición y seguimiento de la señal de GPS. Además de estos modos de operación el dispositivo permite un modo de adquisición inicial en el cual se concatenan los 12 canales en uno solo permitiendo tener 240 correladores. Los registros de control de cada canal fijan el retardo de código, el corrimiento de frecuencia Doppler y el tiempo de integración.

La señal de espectro expandido GPS, está modulada por una secuencia pseudoaleatoria de 1023 bits de longitud llamada código Gold, que es particular para cada satélite.

Cada correlador opera con una referencia local del código Gold correspondiente al satélite a adquirir, desplazada  $1/2$  tiempo de chip (o tiempo de bit) respecto del correlador anterior, permitiendo la exploración de 120 retardos consecutivos en una sola integración. Para explorar una secuencia completa de código son necesarias entonces 9 integraciones sucesivas. Cada correlador entrega como resultado un valor proporcional a la potencia de señal recibida, correspondiente a su retardo de código para un corrimiento de frecuencia Doppler determinado.

En el modo de seguimiento cada canal emplea sus 20 correladores cuya salida es una señal en fase y otra en cuadratura, lo que permite su utilización en los lazos de enganche de código y portadora. Al utilizar un canal en el modo readquisición los 20 correladores entregan una señal que es proporcional a la potencia recibida. Este modo permite la búsqueda de nuevos satélites.

La etapa de radiofrecuencia se implementó con el ASIC GRF1/LX [4]. Este es un conversor de frecuencia para señales de GPS. El dispositivo recibe de la antena la señal de 1575.42 MHz, filtrada con un ancho de banda de 4 MHz, la amplifica y la convierte en una señal pasabanda de frecuencia intermedia 47.65 MHz, que luego es muestreada a 38.194 MHz y digitalizada a 2 bits para su procesamiento en el GSP1/LX.

La antena que se utiliza en esta etapa es una antena comercial tipo *patch*, activa.

A partir de un cristal de 24.553 MHz incorporado en la etapa de radiofrecuencia se generan todas las referencias de tiempo del receptor. Estas son el reloj de muestreo, la referencia del sintetizador de frecuencias del oscilador local, el reloj para el subsistema correladores y finalmente, es el reloj del subsistema de correladores el que se utiliza en la etapa de procesamiento. La utilización de una sola referencia de tiempo permite sincronizar todas las actividades del receptor modular.

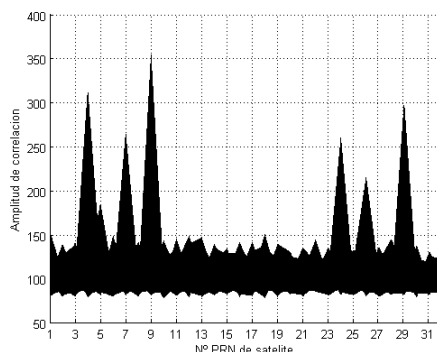
La interfaz que existe entre la etapa de radiofrecuencia (GRF1/LX) y los correladores (GSP1/LX) utiliza una señal diferencial del tipo LVPECL (Low Voltage Positive Emitter Coupled Logic). Con el fin de lograr una mayor independencia entre los módulos de radiofrecuencia y los correladores se construyeron dos placas conversoras de nivel. Una que convierte LVPECL a TTL para poder acceder más fácilmente a las señales de salida de la parte de radiofrecuencia. Otra que convierte TTL a LVPECL para, por ejemplo, poder utilizar una señal generada artificialmente de frecuencia intermedia y muestreada, dársela como entrada a la etapa de correlación y así probar distintos aspectos de su funcionamiento. De esta manera, también se consigue una mayor independencia entre dichas etapas, lo que permite un más fácil reemplazo de cualquiera de los módulos por otro comercial, o incluso por un diseño propio, como podría ser la implementación de los correladores en un dispositivo de FPGA.

### **Mediciones sobre el prototipo**

Se implementó un algoritmo para la búsqueda de los picos de correlación, de los 32 satélites GPS, en el plano retardo-frecuencia.

Se utilizó el GSP1/LX en modo adquisición, para examinar los 1023 retardos de la secuencia Gold de cada satélite, en un rango de corrimiento de frecuencias Doppler de  $\pm 18,75$  KHz, con el fin de detectar el máximo de correlación. Así se implementó un algoritmo que recorre, para cada uno de los satélites, 50 frecuencias distintas respecto de la nominal en pasos de 750 Hz, examinando para cada frecuencia la salida de los correladores durante nueve integraciones sucesivas de 2ms cada una [5]. En la Figura 2 se muestran los 32 satélites y los máximos de correlación obtenidos para los satélites visibles en el momento del ensayo.

FIGURA 2 – AMPLITUD DE CORRELACIÓN PARA CADA SATÉLITE



Para contrastar los satélites detectados por nuestro sistema con los que realmente estaban visibles en el punto de ensayo, se utilizó la información disponible a través de la herramienta interactiva de predicción de satélites GPS del NAWCWPNs (NAVAL AIR WARFARE CENTER WEAPONS DIVISION) [6]. En la Figura 3 se muestran dichas predicciones.

FIGURA 3 - RESULTADO DEL NAWCWPNs

Prediction for:  
June 24, 2004 14:32:00 UTC (GPS week = 252 GPS TOW)

Altitude = 30.0 Meters  
Latitude = 34° 54'23.93"S  
Longitude = 57° 56'33.54"W

Using an elevation mask of 10°  
There are 7 satellites in view

The best GDOP is obtained using satellites: 5, 7, 9 and 29  
GDOP = 5.0  
PDOP = 4.4  
TDOP = 2.5  
HDOP = 1.8  
VDOP = 4.0

Satellite	Elevation	Azimuth	SV's View of Earth
GPS BIIA-23 (PRN 04)	28.9°	75.9°	
GPS BIIA-22 (PRN 05)	37.6°	250.8°	
GPS BIIA-20 (PRN 07)	39.5°	132.9°	
GPS BIIA-21 (PRN 09)	66.4°	217.7°	
GPS BIIA-11 (PRN 24)	19.6°	36.1°	
GPS BIIA-14 (PRN 26)	29.7°	342.5°	
GPS BIIA-17 (PRN 29)	19.6°	351.9°	

Como se puede observar, de las figuras anteriores, nuestro sistema detecta los satélites 4, 5, 7, 9, 24, 26, y 29, los cuales se encontraban visibles en el momento del ensayo.

## CONCLUSIONES

Se implementó una placa de desarrollo para un receptor de GPS, basada en el concepto de hardware modular. Esto permitió separar las distintas etapas que conforman un receptor lo que permitirá:

- ensayar cada módulo por separado,
- facilitar el empleo de módulos similares en reemplazo de los utilizados,

- realizar diseños de hardware propios de algún módulo particular,
- implementar desarrollos propios del software de navegación.

Se realizó con éxito un ensayo destinado a evaluar el correcto funcionamiento del sistema de desarrollo. Aunque el software desarrollado no está completo, este permitió realizar la exploración de los satélites visibles.

## REFERENCIAS

- [1] PARKINSON, B. W. and SPILKER, J. J. **Global Positioning System: Theory and Applications**. American Institute of Aeronautics and Astronautics (AIAA), 1996. 2 v.
- [2] LAPLANTE, P. A. **Real time systems design and analysis**. 2. ed. IEEE Press. 1997.
- [3] SIRF Technology Inc. **SIRFStar I GPS Architecture GSP1/LX GPS Signal Processor**. Santa Clara California, USA. 1998.
- [4] SIRF Technology Inc. **SIRFStar I GPS Architecture GRF1/LX GPS RF Front End. Rev. 1.1**. Santa Clara California, USA. 1999
- [5] RONCAGLIOLO, P. Agustín y ARETA, Javier A. **Recepción de GPS**. Trabajo final de Ingeniería en Electrónica. Facultad de Ingeniería, UNLP. 2001
- [6] NAVAL AIR WARFARE CENTER WEAPONS DIVISION. **Interactive GPS Satellite Prediction Utility**  
Disponible en <http://sirius.chinalake.navy.mil/homepage.html>. Ingreso el 24/06/2004.