



**UNIVERSIDAD NACIONAL DE LA PLATA**

**FACULTAD DE INGENIERÍA**

**Departamento de Electrotecnia**

**DISEÑO DE CIRCUITOS INTEGRADOS ANALÓGICOS DE BAJA  
POTENCIA PARA ACONDICIONAMIENTO  
DE SEÑALES DÉBILES.  
ORIENTACIÓN A CONCEPCIONES PARA MICROSISTEMAS**

**José Luis Ceballos**

**Tesis presentada para obtener el grado de  
MAGISTER EN INGENIERÍA**

**Director:** Antonio Adrián Quijano

**Codirector:** Horacio Villagarcia Wanza

**La Plata, 7 de Septiembre de 2001**

---

# INDICE

---

§1. INTRODUCCIÓN.....	1
§2. CIRCUITOS "LLAVE".....	5
§2.1. DESPLAZADORES FLOTANTES DE NIVEL	
INTRODUCCIÓN.....	6
IDEAS BÁSICAS .....	6
§2.2. COMPARADORES PSEUDO-ANALÓGICOS	
INTRODUCCIÓN.....	9
IDEAS BÁSICAS .....	9
NUEVA CONCEPCIÓN.....	10
§3. DISEÑO DE AMPLIFICADORES OPERACIONALES CMOS.....	12
§3.1. DISEÑO DE AMPLIFICADORES CMOS DE MICROPOTENCIA USANDO EL MODELO CONTINUO $g_m/I_D$	
INTRODUCCIÓN.....	13
CONCEPTOS BÁSICOS.....	13
EL NÚCLEO DEL CIRCUITO.....	15
LOS OTA DE SALIDA SIMPLE Y SALIDA DIFERENCIAL.....	18
DISEÑOS Y MEDICIONES EXPERIMENTALES.....	20
§3.2. DISEÑO DE AMPLIFICADORES DE TRANSCONDUCTANCIA (OTA) CON ALTO RANGO DE ENTRADA LINEAL	
INTRODUCCIÓN.....	25
PLANTEO DEL PROBLEMA.....	25
PRINCIPIO DE FUNCIONAMIENTO.....	26
EL CIRCUITO.....	27
§4. REDUCCIÓN DE ÁREA EN CIRCUITOS DE CAPACIDADES CONMUTADAS.....	30
§4.1. DISEÑO DE FILTROS DE CAPACIDADES CONMUTADAS CON REDUCIDO NÚMERO DE AMPLIFICADORES OPERACIONALES	
INTRODUCCIÓN.....	31
DISEÑO.....	32
CIRCUITO TOTAL (CONVENCIONAL) .....	32
NUEVAS APROXIMACIONES.....	34
EJEMPLO DE DISEÑO.....	36
RESULTADOS DE SIMULACIÓN.....	38

---

---

§4.2. REDUCCIÓN DE ÁREA PARA FILTROS DE ANTIALIAS Y DE SUAVIZADO	
INTRODUCCIÓN.....	40
REALIZACIONES PRÁCTICAS.....	42
CONSIDERACIONES DE DISEÑO.....	43
GENERALIZACIÓN DE DISEÑOS Y EL PROBLEMA DEL ÁREA.....	47
EJEMPLO DE DISEÑO.....	50
§5. CIRCUITOS DE APLICACIÓN.....	51
§5.1. MULTIPLICADOR ANALÓGICO CMOS DE 4 CUADRANTES	
INTRODUCCIÓN.....	52
PRINCIPIO DE OPERACIÓN.....	52
DISEÑO.....	55
CARACTERIZACIÓN.....	57
§5.2. DISEÑO DE FILTROS PASABAJOS OTA-C CONTROLABLES POR TENSIÓN	
INTRODUCCIÓN.....	60
PLANTEO DEL PROBLEMA.....	60
EL CIRCUITO.....	61
RESULTADOS EXPERIMENTALES.....	62
§5.3. CONVERSORES A/D TIPO FLASH SIN CADENA DE RESISTENCIAS	
INTRODUCCIÓN.....	65
IDEAS BÁSICAS .....	65
EL CIRCUITO.....	67
MEDICIONES EXPERIMENTALES.....	68
§6. CONCLUSIONES.....	70
§APENDICE 1. SÍMBOLOS UTILIZADOS.....	73
§APENDICE 2. CONSIDERACIONES DE DISEÑO Y GEOMÉTRICAS (LAYOUT)	
INTRODUCCIÓN.....	74
ERRORES DE DISEÑO.....	74
ERRORES DE FABRICACIÓN.....	75
CONSIDERACIONES EXTRA.....	77
§REFERENCIAS BIBLIOGRÁFICAS.....	79

---

## §1. Introducción

El presente trabajo trata el diseño de circuitos integrados analógicos que implementan el procesamiento y acondicionamiento de señales eléctricas tanto de baja como de media frecuencia, presentando técnicas novedosas en las concepciones circuitales, y con una orientación a los Microsistemas. Conceptualmente la definición de los Microsistemas (Fig. 1-1) es: *Son sistemas electrónicos autocontenidos y construidos sobre un sustrato, en los que se tienen en forma integrada sensores, actuadores, procesadores y elementos de almacenamiento, que realizan una función completa, recibiendo señales tanto de control como de entrada (analógicas y/o digitales)*. Uno de los principales obstáculos en la concepción de tales Microsistemas es el hecho de que por lo general se necesitan tecnologías particulares, y por lo tanto costosas, para su desarrollo. Para lograr disminuir costos económicos y a la vez tener mayor flexibilidad, los mencionados sistemas deben tratar de ser desarrollados, cuando sea posible, en líneas de producción existentes para microelectrónica convencional, con un post-procesamiento de micro-mecanización adicional para estructuras específicas bi y tri-dimensionales; aún más, esta elección de trabajar con una tecnología de silicio ya conocida, permite la incorporación de circuitos microelectrónicos en el mismo *dado* de silicio sin costo adicional.

En base a lo anterior, en todos los circuitos desarrollados usando técnicas de síntesis analógicas con configuraciones a medida (*full custom*), se ha tratado de reducir área y/o potencia, considerando que en muchos casos ambos factores están altamente correlacionados. Se ha actuado sobre las variables geométricas de construcción de los dispositivos a fin de cumplir los requerimientos especificados en la etapa de diseño, siendo por lo tanto sus prestaciones mejores y su costo final menor.

En todas las concepciones se ha usado la modalidad denominada MULTICHIP o MULTIUSUARIO, por lo que en cada diseño las máscaras de fabricación fueron compartidas con circuitos provenientes de otros diseñadores, permitiendo la integración en un reducido número de obleas de silicio en la planta fabricante o "fundición de silicio".

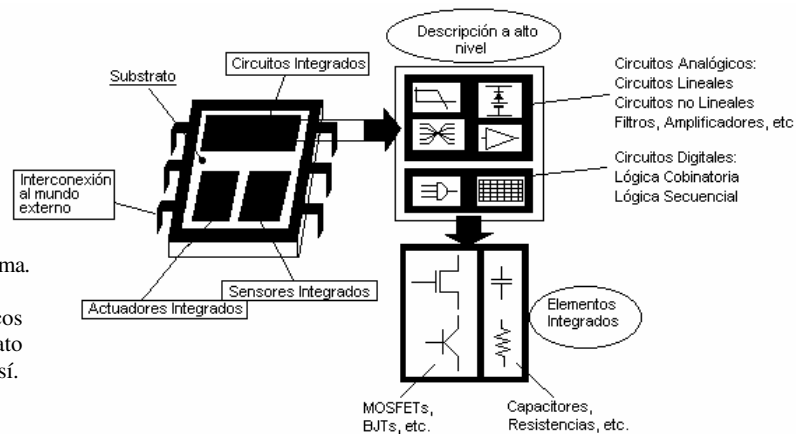


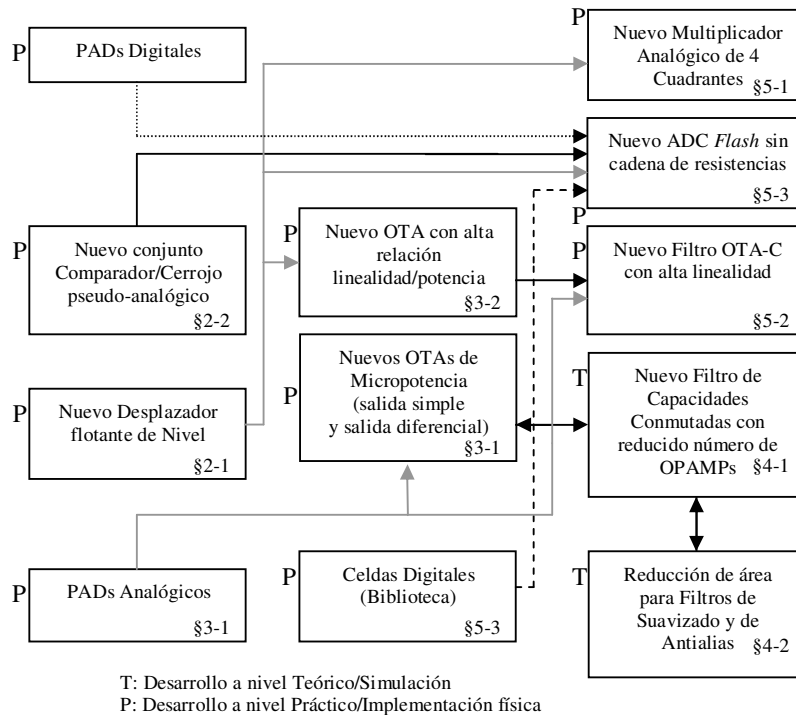
Fig. 1-1: Microsistema. Distintos elementos eléctricos y mecánicos en un mismo sustrato interactuando entre sí.

Los circuitos fueron implementados en una tecnología similar a la que se usa en desarrollos digitales cuando fue posible, quedando entonces en condiciones de ser integrados en sistemas mixtos analógico-digitales; ésta es la tendencia actual de fabricación en sistemas integrados. El tener todo un sistema mixto y completo dentro de una misma pastilla de silicio, provee una rápida detección de problemas por parte del usuario y un rápido recambio del componente defectuoso, disminuyendo entonces costos de mantenimiento y fabricación.

La concepción de un circuito integrado no solo implica el desarrollo del núcleo que cumpla las funciones propuestas, sino que además se deben de desarrollar una serie de estructuras adicionales, también integradas en el mismo *dado* de silicio. Estas estructuras no son tratadas por lo general en bibliografías comunes y aún en algunas específicas. Estos circuitos de soporte pueden ser fuentes internas de polarización, estructuras de entrada/salida (PADs), referencias internas de voltaje, circuitos osciladores, etc. Cada una de las mencionadas estructuras es un tema de estudio en si mismo; algunas de ellas fueron conocidas y desarrolladas en las realizaciones presentadas en la Tesis.

La concepción del núcleo que implemente las funciones deseadas requiere a su vez del uso de ciertos bloques básicos o bloques “llave”. Estos requieren especial cuidado en su construcción. Se ha optado por la implementación a medida o *full custom*, con una metodología *bottom-up*, por lo que a lo largo del escrito se encontrarán circuitos que van creciendo en complejidad, usando como bloques constitutivos a concepciones precedentes.

Fig. 1-2: Diagrama de interrelación en los temas de la Tesis, donde se indica el número de sección de cada ítem tratado.



---

La Fig. 1-2 muestra un esquema de temas que se relacionan para llegar a circuitos de aplicación mayores, los que cumplen determinadas funciones específicas. Lo anterior solo es posible partiendo de un profundo conocimiento en la modelización de dispositivos elementales para tecnología MOS.

La diversidad de temas y formas de síntesis para una misma función a realizar obligó a restringir las técnicas empleadas y los circuitos a estudiar. Con relación a los circuitos estudiados/implementados, a grandes rasgos se pueden dividir en sistemas lineales (SL) y no lineales (SNL). Dentro de los SL se tratan temas de filtrado y de amplificación, mientras que en los SNL los temas tratan de conversión analógica/digital y de multiplicación continua de señales. Desde el punto de vista de técnicas empleadas, se ha optado por trabajar con Capacidades Conmutadas, técnicas Transconductor-Capacitor (OTA-C) y técnicas Pseudo-Analógicas. En todos los diseños se hizo hincapié en mejorar algún aspecto de los dispositivos finales, por lo que se generaron nuevos subcircuitos para cumplir tales fines. A continuación se detallan someramente los temas en cuestión.

En la sección §2.1 se presenta un nuevo tipo de Desplazador de Nivel del tipo flotante, basado en pares diferenciales MOS. El circuito puede trabajar con tensiones en los 4 cuadrantes. Su desarrollo es de fundamental importancia para las concepciones de las secciones §3.2, §5.1 y §5.3.

En la sección §2.2 se encuentra una nueva implementación integrada para bloques del tipo Comparador-Cerrojo pseudo-analógicos. Haciendo uso de una fase extra de reloj se logra reducción de área y potencia en el circuito. Este dispositivo forma parte integral del desarrollo presente en la sección §5.3.

En la sección §3.1 se presenta una nueva arquitectura para Amplificadores Operacionales de Transconductancia (OTAs), basados en técnicas de polarización dinámica y trabajando en el régimen de inversión débil. Los nuevos dispositivos presentan mejoras en la relación de rechazo de modo común y en la capacitancia de entrada frente a configuraciones similares previas [4]. Se implementaron amplificadores con salida simple y diferencial, respondiendo ambos a un núcleo común por lo que son viables para un diseño modular. Las estructuras de PADS y sus aspectos de diseño también son descritos.

La sección §3.2 trata sobre otro nuevo tipo de OTA, el cual tiene control lineal de su transconductancia y un elevado rango de valores de entrada donde el dispositivo trabaja en forma lineal. Se mejora la relación linealidad/potencia frente a la de un par diferencial común.

Los estudios a nivel teórico/simulación para Sistemas de Capacidades Conmutadas están dedicados a la reducción de área y consumo de potencia de tales circuitos. En la sección §4.1 se presenta el diseño de filtros pasabajos con multiplexación temporal de amplificadores operacionales, usando además la transformación bilineal. En la sección §4.2 se muestra una metodología de síntesis para los filtros continuos de Antialias y de Suavizado, en base al principio TCM o *multiplicación de constante de tiempo*.

En la sección §5.1 se trata un nuevo tipo de Multiplicador Analógico de 4 Cuadrantes, basado en técnicas de substracción de corrientes. Trabajando los dispositivos en el régimen de inversión fuerte, la cancelación de términos cuadráticos es obtenida con el uso de los desplazadores de nivel presentados en la sección §2.1. La nueva arquitectura es funcional. Se optimiza la potencia consumida, la cual puede ser establecida en la etapa de diseño en función al ancho de banda requerido. Se dan a conocer técnicas de caracterización y valores medidos de los prototipos

---

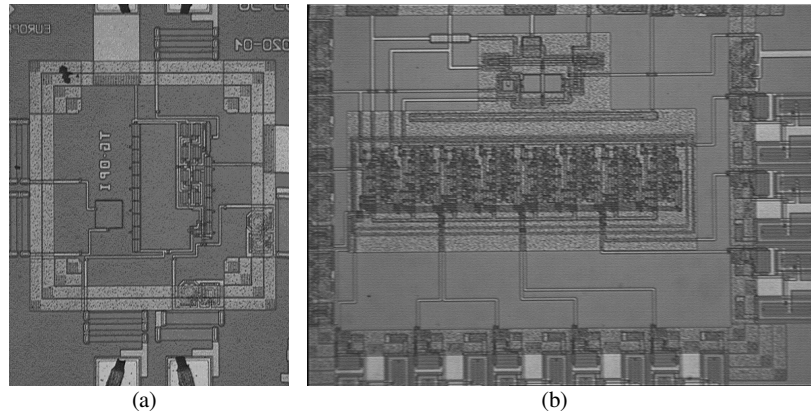
La sección §5.2 muestra la concepción de un nuevo filtro pasabajos OTA-C para la gama de frecuencias de audio, presentando control parcial de ganancia y frecuencia de corte. Se usan los amplificadores de transconductancia presentados en la sección §3.2, validando entonces su funcionamiento. Se aumenta el rango de entrada donde el circuito se comporta de manera lineal (baja distorsión). Se muestran las mediciones y datos del circuito construido.

En la sección §5.3 se presenta la realización de un nuevo Conversor Analógico/Digital tipo *flash* usando técnicas pseudo-analógicas renovadas (§2.2). En el circuito se evita el uso de la cadena de resistencias necesaria para referencias de tensión reemplazándola por elementos activos (§2.1). Se reduce área y potencia consumida en el circuito. Datos medidos corroboran la funcionalidad de la nueva arquitectura.

Todo lo anterior requirió el uso de técnicas específicas en diseño geométrico o *LAYOUT* del tipo analógico, tratado en forma breve en el §Apéndice-2. Como antecedente en el método *full custom* de diseño, previamente se implementaron circuitos analógicos y digitales (Fig. 1-3). Estos desarrollos permitieron una primera formación sobre técnicas y metodologías a seguir en implementaciones integradas. En el presente trabajo solo se dan a conocer circuitos novedosos, construidos y caracterizados. En los diseños que no han sido fundidos se presentan resultados de simulación que corroboran las nuevas ideas, dándose además las pautas trascendentes para su fabricación.

Fig. 1-3: Diseños *full custom* previos.

- b) *OPAMP Miller* con compensación *nulling resistor* [24]
- c) *Shift Register* protegido para sistemas fotodetectores [23]



---

## §2 Circuitos "LLAVE"

---

A lo largo del presente trabajo se hará uso, en forma ascendente, de estructuras que usan circuitos menores para su concepción (metodología de diseño tipo *bottom-up*). En este capítulo se presentan 2 secciones dedicadas a tales circuitos. Ambos diseños presentan novedosas ideas en vista de utilidad o de reducción de área/potencia. Se dan a conocer aspectos técnicos y fundamentos para la construcción de tales estructuras integradas.

En la sección §2.1 se presenta un nuevo tipo de desplazador de nivel del tipo flotante, basado en pares diferenciales MOS. Este circuito puede proveer entre bornes tensiones de cualquier polaridad, y en principio de cualquier valor; el rango de valores utilidad depende del aspecto constructivo o dimensionado del dispositivo. Se dan a conocer pautas clave en la implementación de tales circuitos.

En la sección §2.2 se puede encontrar un estudio de reducción de área en técnicas pseudo-analógicas, presentándose un nuevo comparador que sirve a la vez de parte constitutiva de un cerrojo (*latch*), reduciéndose entonces el área y la potencia consumida de una estructura conjunta comparador/cerrojo. El nuevo circuito, a diferencia de versiones anteriores [1], usa un reloj de 3 fases no solapadas, por lo que también se presentan aspectos constructivos de esta etapa.



## §2.1 Desplazadores Flotantes de Nivel

### INTRODUCCIÓN

Un circuito capaz de desplazar niveles de tensión es una herramienta muy útil a la hora de síntesis de CIs analógicos. Este circuito debe poder proveer en sus bornes de salida el desplazamiento de una tensión positiva o negativa, de un valor que en principio puede ser arbitrario. La presente sección trata sobre un dispositivo que cumple tales requerimientos, basado en pares diferenciales y copias de corriente. Un punto importante que se desprende de esto último es que técnicas cuidadosas de *LAYOUT* (§Apéndice-2) deben de ser empleadas, a fin de minimizar errores debidos al proceso de fabricación.

El uso de este circuito como parte constitutiva de otros circuitos integrados mayores ha corroborado la idea de funcionamiento (secciones §3.2, §5.1 y §5.3). Se ha adaptado a las necesidades según el caso.

### IDEAS BÁSICAS

El esquema simplificado de un circuito capaz de resolver el problema planteado es como el mostrado en la Fig. 2-1, del cual se pueden observar los siguientes puntos importantes:

- La tensión de desplazamiento  $V_b$  puede tener cualquier polaridad. En vista del gráfico, también se desprende que la mencionada tensión es flotante, lo que lleva inmediatamente a pensar en estructuras diferenciales polarizadas por fuente de corriente.
- La tensión desplazada  $V_s$  puede tener cualquier polaridad. Nuevamente se trata de una tensión flotante, por lo que es válido el razonamiento aplicado en el ítem anterior
- A fin de minimizar errores de copia, no debe circular corriente por la tensión de desplazamiento  $V_b$  ( $I_b=0$ ). Si se trabaja con pares diferenciales MOS, esta condición es cumplida en forma automática para bajas frecuencias, dado que la  $Z_{inMOS} \approx 10^{12}\Omega \dots 10^{15}\Omega$ . En altas frecuencias, efectos capacitivos deterioran las características del circuito.
- Si la impedancia conectada a la salida del desplazador no es mucho mayor que la propia del circuito ( $Z_b$ ), pueden producirse errores. Para incrementos de la frecuencia de operación, valen iguales consideraciones que en el punto anterior.

Fig.2-1: Esquemático simplificado del desplazador de nivel

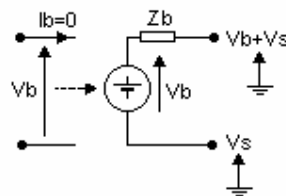
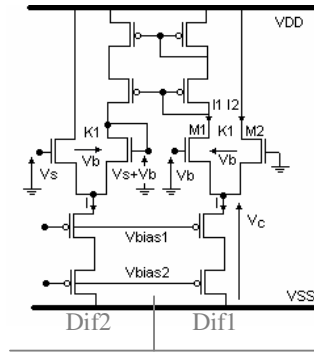


Fig.2-2: Desplazadores de nivel con copia de corriente cascode.



En vista de todas las necesidades antedichas, es que se puede plantear un circuito como el de la Fig. 2-2. En el mismo se tienen 2 estructuras MOS diferenciales apareadas, con factor de transconductancia  $K_1$ , polarizadas por fuentes de corriente similares de valor  $I$ . El par diferencial 1 (Dif1) tiene aplicado una tensión diferencial  $V_b$  (aunque  $V_b$  está referenciada a tierra, podría ser la diferencia de 2 tensiones cualquiera); el par diferencial 2 (Dif2) tiene una de sus entradas conectada como diodo, por lo que el drenador de este transistor presenta una baja impedancia y la corriente puede ser fácilmente inyectada en el mismo.

El principio de funcionamiento es como sigue: La tensión  $V_b$  en Dif1 produce una variación de la corriente de reposo ( $I/2$ ) en los transistores  $M_1$  y  $M_2$ . Puede ser observado que la corriente  $I_1$  es copiada por medio de un espejo de corriente PMOS, inyectándose en Dif2; como ambos diferenciales tienen la misma corriente de polarización  $I$ , lo anterior es equivalente a copiar la tensión diferencial  $V_b$ , luego, si la otra entrada de Dif2 tiene un valor  $V_s$ , éste es desplazado y obtenido en el nodo de baja impedancia del mencionado par diferencial.

Consideraciones de apareamiento llevan a un diseño que trabaje en el régimen de inversión fuerte y con dimensiones no mínimas, a fin de minimizar efectos parásitos de 1° orden como ser la modulación de longitud de canal ( $\lambda$ ), y también para obtener una reducción en la variación porcentual en las copias de corriente, la cual está directamente relacionada con el factor de ganancia de los MOS ( $\beta$ ) y con su potencial umbral ( $V_T$ ). Luego, es condición necesaria que todos los transistores se hallen en saturación. Para que los pares diferenciales se hallen en esta condición se debe cumplir,

$$|V_b| \leq \sqrt{\frac{I}{K_1}} \quad (2-1)$$

Por lo que las tensiones de los mencionados MOSFET vendrán dadas por,

$$V_{GS1} = \sqrt{\frac{I_1}{K_1}} + V_T \quad V_{GS2} = \sqrt{\frac{I_2}{K_1}} + V_T = \sqrt{\frac{I - I_1}{K_1}} + V_T \quad (2-2)$$

Resolviendo el circuito se obtiene la tensión de modo común ( $V_c$ ) como,

$$V_c = -\frac{V_b}{2} - V_{SS} + V_T + \frac{1}{2} \sqrt{\frac{2I}{K_1} - V_b^2} \quad (2-3)$$

De la ecuación anterior se desprende que si  $V_b$  es pequeña, las variaciones de  $V_c$  también lo serán. Una mejora al circuito es el uso de fuentes y copias de corriente del tipo cascode (como en la Fig. 2-2), aunque podrían ser del tipo simple si se usan longitudes de canal largo.

Es de notar que para un dado  $V_b$ , si la relación  $I/K_1$  se mantiene constante, es ( $V_{GS1} - V_T$ ) también constante, como lo muestra (2-4), por lo que la transconductancia aumenta directamente con el factor de forma de los dispositivos; si la transconductancia aumenta, entonces la resistencia de pequeña señal del transistor/diodo disminuye, es decir que la corriente puede ser más fácilmente fijada en el mismo.

$$V_{GS1} - V_T = \frac{V_b}{2} + \frac{1}{2} \sqrt{\frac{2I}{K_1} - V_b^2} \quad (2-4)$$

Suponiendo una gran señal alterna de frecuencia elevada en  $V_s$ , con  $V_b$  fija, se puede observar que ocurre a la salida si se piensa que  $C_{GS} \gg C_{DB}$ , como es lo usual tener. El incremento rápido de tensión genera una fuente de corriente alterna paralela a  $I$ , de valor  $I'$  aproximadamente dado por,

$$I' = s C_{par} V_s \quad (2-5)$$

donde  $C_{par}$  es la capacidad parásita a tierra de la fuente de corriente  $I$ . La corriente  $I'$  modula en amplitud las tensiones  $V_{GS}$  de los transistores del par diferencial, sumándose entonces parte de esta señal a  $V_b$ , y produciendo distorsión a causa de la característica no lineal de los dispositivos. Si por el contrario, aparecen grandes variaciones de  $V_b$  con  $V_s$  fija, similares efectos ocurren, por lo que en síntesis, para las 2 señales variando a la vez, existen productos de intermodulación no deseados que deben ser minimizados.

Por medio de simulaciones, y comprobado experimentalmente, se encontró que un aumento de la corriente  $I$  hace que el circuito responda mejor, es decir que hace que aparezca menos señal modulada a la salida; la condición que se debe cumplir es  $I \gg I'$ , por lo que usando (2-5) se puede observar que se debe tratar de reducir  $C_{par}$  al mínimo, además, la mencionada ecuación puede proporcionar un límite estimativo de la máxima frecuencia de utilización para disminuir la distorsión antedicha.

## §2.2 Comparadores Pseudo-Analógicos

### INTRODUCCIÓN

El uso de técnicas pseudo-analógicas se ha extendido masivamente en la concepción de circuitos analógicos muestreados, por hacer uso de simple circuitería digital, la cual tiene como es sabido un muy alto nivel de integración.

Uno de los bloques no lineales fundamentales en el diseño analógico es el comparador, el cual tiene como función comparar 2 tensiones de entrada, dando a su salida un valor "lógico" para la comparación; en la generalidad de los casos y dependiendo de la situación de comparación, la salida tenderá a ir hacia uno de los potenciales de alimentación del circuito.

El paso siguiente a la operación de comparación es por lo general la retención del dato obtenido, por lo que es común tener en conjunto un comparador y un cerrojo en muchos circuitos de conversión de magnitudes analógicas a digitales. En esta sección se presenta una nueva arquitectura para estos conjuntos, la cual presenta fundamentalmente reducción de área.

### IDEAS BÁSICAS

La idea básica de un conjunto comparador-cerrojo pseudo-analógico [1] se muestra en la Fig. 2-3. En la misma se observa que el sistema trabaja con 2 fases de reloj no solapadas. Una de las fases ( $\phi_1$ ) sirve para polarizar al inversor digital como amplificador, poniéndolo en su zona lineal de trabajo, mientras que en la otra fase ( $\phi_2$ ) se procede a la comparación diferencial y a la amplificación de la señal resultante. El capacitor C fundamentalmente es usado para memorizar el valor de autopolarización, y en la elección de su valor se debe tener en cuenta disminuir al máximo la atenuación introducida por la conexión serie de él mismo y la capacitancia parásita de entrada en el inversor ( $C_s$ ). Separadamente, existe un biestable colocado a fin de retener el resultado de la comparación. Es condición necesaria, en este tipo de sistemas muestreados, que la frecuencia de reloj sea mucho mayor que la de las señales de entrada.

La fórmula que relaciona las tensiones de entrada ( $V_{in1}$  y  $V_{in2}$ ) y la salida del amplificador ( $V_o$ ), considerado la ganancia del inversor en su zona lineal igual a A, es:

$$V_o = \frac{-A C}{C + C_s} (V_{in2} - V_{in1}) \quad (2-6)$$

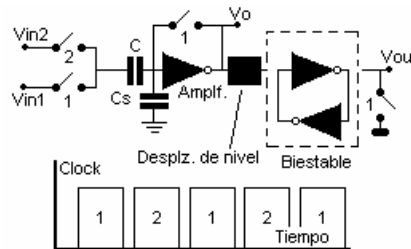
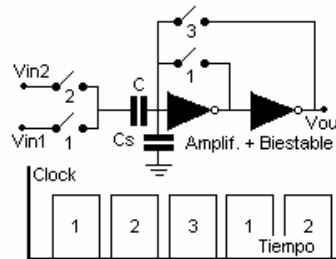


Fig. 2-3: Esquema tradicional del conjunto comparador-cerrojo, junto con su diagrama de tiempos.

**NUEVA CONCEPCIÓN**

En la nueva implementación se hace uso de una fase de reloj extra ( $\phi_3$ ). El principio de funcionamiento es similar al anterior, pero la principal diferencia radica en que ahora el primer inversor pasa a formar parte del biestable, conformado en conjunto con el segundo inversor digital; este cerrojo se activará en la mencionada nueva fase de reloj. La disminución de área es a simple vista notable, quizás se podría pensar en una disminución parcial de la misma debida al nuevo ruteamiento necesario, pero si se considera una tecnología de 2 metales, este inconveniente es mínimo; por el contrario, si solo se dispone de 1 metal, el polisilicio de compuerta pasaría a ser el elemento de interconexión, pero en este caso se debe pensar además en una disminución de la máxima frecuencia de operación debido a que este elemento presenta 3 ordenes de magnitud mayor resistencia por cuadro que el metal, además de tener mayor capacidad parásita hacia el sustrato. En la Fig. 2-4 se muestra el esquemático de la nueva implementación, junto con el diagrama de reloj de 3 fases no solapadas, mientras que en la Fig. 2-5, se presenta una microfotografía del conjunto, realizado en tecnología de 2 polisilicios-2 metales, y 2.4  $\mu\text{m}$  de dimensión mínima de polisilicio de compuerta.

Fig. 2-4: Nueva implementación del conjunto comparador-cerreo, junto con su diagrama de tiempos.



Lógica: compuertas de transmisión e inversores digitales

Capacitor de 2 polisilicios

Fig. 2-5: Microfotografía del conjunto comparador-cerreo, mostrando lo altamente compacto y modular del diseño.

Canales de ruteamiento de entradas, salida y relojes

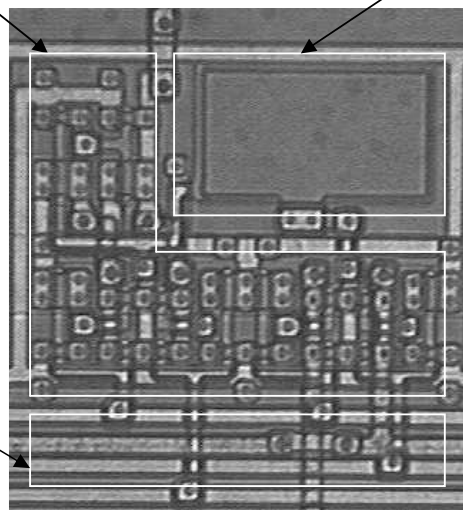
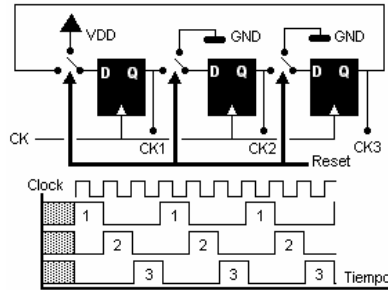


Fig. 2-6: Generador de las 3 fases de reloj no solapadas, necesarias para los comparadores pseudo-analógicos.



En la realización del circuito se tuvo en cuenta que el nodo más propenso a recibir ruido es la entrada del primer inversor, ya sea por ruido en el sustrato o por fenómenos de inyección de carga a través de las llaves conectadas al mismo. El primero de los problemas es parcialmente resuelto poniendo anillos de guarda para recolección de portadores minoritarios en las afueras del circuito, además de una alta cantidad de contactos de polarización de sustrato; en cuanto al segundo problema, se lo puede descomponer en 2 partes: una inyección de carga a través de acoplamiento capacitivo de las capacidades parásitas de los MOSFETs (conocido como *feedthrough*), y otra parte debida a la inyección de la carga remanente en el canal conductor de los transistores cuando éstos son apagados. Solo se pensó e implementó una compensación de primer orden para el primero de estos 2 problemas, dado que el segundo se torna despreciable frente a éste para la tecnología elegida (dimensiones de los transistores grandes) y para los errores acotados en la etapa de diseño, por lo tanto se usaron compuertas de transmisión en lugar de transistores simples.

El capacitor de acoplamiento y retención de polarización (Fig. 2-5) se construyó usando los 2 polisilicós disponibles en la tecnología, con un valor aproximado de 1pF.

En cuanto al reloj de 3 fases necesario, se implementó en forma integrada el esquemático mostrado en la Fig. 2-6, el cual utiliza simples *Flip-Flops D* conectados en anillo, con un esquema de *reset* en base a llaves externas a éstos. Los retardos propios de ruteamiento y de los dispositivos hacen que las salidas sean no solapadas.

---

## §3 Diseño de Amplificadores Operacionales CMOS

---

El uso de amplificadores operacionales integrados es algo más que común en los CIs actuales, sean microsistemas o sistemas de procesamiento de señal, pudiéndose encontrar varios de estos dispositivos dentro de una sola pastilla de silicio para realizar funciones en forma analógica. En este capítulo se presentan 2 secciones conteniendo diseños novedosos para tales amplificadores, teniendo como primordial objetivo la reducción de área o potencia, según sea el caso. Se muestran microfotografías de los trabajos realizados en tecnologías de bajo costo, como así también datos técnicos de los diseños.

En la sección §3.1 se presenta una nueva arquitectura para Amplificadores Operacionales de Transconductancia (OTA), basados en técnicas de polarización dinámica y trabajando en el régimen de inversión débil. Se dan a conocer 2 amplificadores, uno con salida simple y otro con salida diferencial, ambos basados en un mismo núcleo, por lo que también es posible plantear el diseño de los mismos con criterio modular. Las estructuras de PADs son tratadas, como así también aspectos adicionales de diseño.

En la sección §3.2 se presenta un nuevo tipo de OTA, con control lineal de la transconductancia por medio de una fuente de tensión externa, presentando además un elevado rango de entrada donde el dispositivo trabaja en forma lineal. Este nuevo dispositivo está basado en el uso de los desplazadores flotantes de nivel tratados en la sección §2.1.

---

## §3.1 Diseño de Amplificadores CMOS de Micropotencia usando el modelo continuo $g_m/I_D$

### INTRODUCCIÓN

La utilización y el diseño de amplificadores operacionales (OPAMPs) integrados es un tema muy importante en lo que respecta al procesamiento de señales analógicas, dado que es un bloque básico para concepciones circuitales de casi cualquier tipo. El poder integrar los mismos para formar parte de Microsistemas, filtros de Capacidades Conmutadas de elevado orden, etc, implica que en principio deben poseer área reducida y mínimo consumo de potencia. En esta sección son presentadas las consideraciones de diseño, las ecuaciones y los resultados medidos, para amplificadores operacionales de baja potencia del tipo OTA (*Operational Transconductance Amplifiers*). Estos diseños trabajan con la etapa diferencial de entrada en el régimen de inversión moderada, permitiendo entonces bajo consumo de potencia y máxima relación  $g_m/I_D$  [2] [3], lo que es equivalente a maximizar la relación ganancia/consumo. Ellos tienen un esquema de polarización dinámica adaptiva, que provee alta eficiencia entre la corriente de reposo y la máxima corriente disponible en los nodos de salida, es decir que las corrientes de polarización son bajas, y a medida que la entrada se incrementa el amplificador es capaz de suministrar una elevada corriente en su salida, permitiendo cargar en tiempos relativamente cortos grandes capacidades de carga. Los circuitos que se presentan son amplificadores de una sola etapa, teniendo compensación de frecuencia dada por su carga, presentando entonces una ventaja a la hora de esta tarea. Se ponen de manifiesto 2 diseños basados en un núcleo común, uno de salida simple (*single ended amplifier*) [29], y otro con salida diferencial (*full differential amplifier*).

### CONCEPTOS BÁSICOS

El núcleo de esta configuración está basado en el concepto de realimentación directa [4], pero adaptado para tener una topología similar a la de los amplificadores de realimentación diferencial [4] [5]. La diferencia principal con los diseños precedentes es que este nuevo esquema de amplificador tiene un solo par diferencial de entrada, dando entonces una reducción de la capacidad de entrada. Además se reducen los problemas de desapareamiento que surgen de asimetrías en el circuito.

El esquema de polarización dinámica empleado tiene la ventaja de un alto *slew rate*. La realimentación directa tiene como ventaja sobre la realimentación diferencial, para el mismo factor de realimentación, una reducción en el tamaño de los transistores que efectúan esta tarea, manteniendo entonces el CMRR bajo para frecuencias más altas que la primera, en virtud de que la capacidad asociada al nodo de tierra virtual del par diferencial de entrada es menor.



Fig. 3-1: Esquemático del núcleo de los amplificadores.

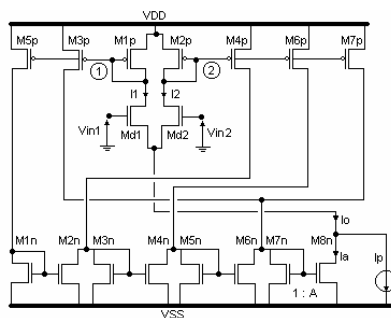
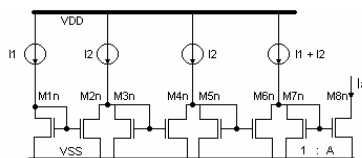


Fig. 3-2: Esquemático del circuito de realimentación.



**TABLA 3-I**  
**CORRIENTES EN EL CIRCUITO DE REALIMENTACIÓN**

$\Delta V_{in}$	$I_{DM1n}$	$I_{DM2n}$	$I_{DM3n}$	$I_{DM4n}$	$I_{DM5n}$	$I_{DM6n}$	$I_{DM7n}$	$I_{DM8n}$
$> 0$	$I_1$	$I_2$	0	0	$I_2$	$I_2$	$I_1$	$A I_1$
$< 0$	$I_1$	$I_1$	$I_2 - I_1$	$I_2 - I_1$	$I_1$	$I_1$	$I_2$	$A I_2$

El núcleo del amplificador es mostrado en la Fig. 3-1, en donde puede ser visto el esquema de realimentación directa. Cuando la entrada diferencial es diferente de cero, la realimentación de corriente que polariza el par diferencial es incrementada en la más grande de las corrientes diferenciales, multiplicada por el factor A, llamado el factor de realimentación de corriente. Esta operación es lograda con el circuito de la Figura 3-2, el cual actúa como un rectificador con entrada de voltaje y salida de corriente, realizando las relaciones dadas en la ecuación (3-1), y sumadas en la TABLA 3-I.

$$\begin{aligned} \Delta V_{in} &= V_{in1} - V_{in2} \\ \Delta V_{in} > 0 &\Rightarrow I_1 > I_2 \Rightarrow \text{Feedback} = A I_1 \\ \Delta V_{in} < 0 &\Rightarrow I_2 > I_1 \Rightarrow \text{Feedback} = A I_2 \end{aligned} \quad (3-1)$$

Cuando las 2 corrientes diferenciales son iguales y A es menor que 2, existe un valor bien conocido de  $I_o$ . Una expresión para esta corriente puede ser obtenida desde la Fig. 3-1, considerando la condición de balance,

$$I_o = I_p + I_{DM8n} \quad (3-2)$$

$$I_o = \lim_{n \rightarrow \infty} I_p \sum_0^n \left(\frac{A}{2}\right)^n = \frac{I_p}{1 - (A/2)} \quad ; \quad A < 2 \quad (3-3)$$

La ecuación (3-3) da el valor buscado de polarización, el cual relaciona  $I_p$  y el factor A. Para obtener las formulas que relacionan entrada y salida en estado no

balanceado se considerará  $\Delta V_{in}$  mayor que cero, significando  $I_1$  mayor que  $I_2$ . Sin pérdida de generalidad, las ecuaciones en inversión débil para dispositivos MOSFETs [3] dan las relaciones (3-4), las cuales son obtenidas para un par diferencial polarizado en esta condición:

$$I_1 = \frac{I_o}{1 + e^{-v}}; I_2 = \frac{I_o}{1 + e^v}; \frac{I_1}{I_2} = e^v; v = \frac{\Delta V_{in}}{\eta U_t} \quad (3-4)$$

donde  $I_o$  es,

$$I_o = A I_1 + I_p \quad (3-5)$$

combinando las ecuaciones anteriores (3-6) es obtenida,

$$I_1 = \frac{I_p e^v}{1 - (A - 1) e^v} \quad (3-6)$$

La corriente diferencial de salida ( $I_{out}$ ) está entonces dada por (3-7),

$$I_{out} = I_1 - I_2 = \frac{I_p (e^v - 1)}{1 - (A - 1) e^v} \quad (3-7)$$

Importantes conclusiones pueden ser obtenidas en consideración al factor de realimentación (A):

- Si  $A = 0$ , el amplificador está en una configuración OTA clásica, teniendo serias limitaciones de *slew rate* (en consideración al valor de su corriente de polarización)
- Si  $0 < A < 1$ , entonces el *slew rate* es mejorado, obteniendo una máxima corriente a la salida dada por (3-8)

$$I_{outMax} = \frac{I_p}{1 - A} \quad (3-8)$$

- Si  $1 < A < 2$ , existe un voltaje de entrada conocido para el que la corriente de salida tiende a infinito<sup>1</sup>, este valor es llamado el *voltaje de escape* ( $V_{esc}$ ) [4] y es,

$$V_{esc} = \eta U_t [ -\ln(A - 1) ] \quad (3-9)$$

El gráfico semi-logarítmico de  $I_{out}$  (normalizada a  $I_p$ ) *versus* el voltaje diferencial de entrada  $\Delta V_{in}$  (normalizado a  $\eta U_t$ ) para diferentes valores de A es presentado en la Fig. 3-3. Un gráfico semi-logarítmico del voltaje de escape  $V_{esc}$  (normalizado a  $\eta U_t$ ) *versus* el factor de realimentación de corriente A es mostrado en la Fig. 3-4. Con relación a estos gráficos y consideraciones previas puede ser elegido A, teniendo en cuenta no distorsionar señales pequeñas.

<sup>1</sup> Limitaciones físicas y el pasaje del par diferencial al régimen de inversión fuerte impiden esta condición.

Fig. 3-3:  $(I_{out}/I_p)$  vs.  $(\Delta V_{in}/\eta U_t)$ .  
Valores de A desde 0 hasta 1.5

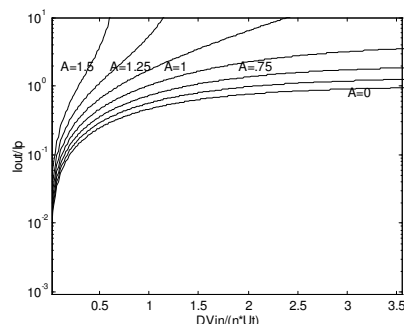
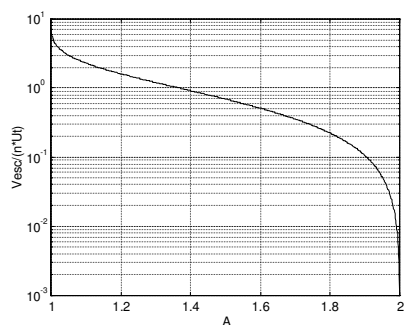


Fig. 3-4:  $(V_{esc}/\eta U_t)$  vs.  
factor de realimentación de  
corriente (A)



## EL NÚCLEO DEL CIRCUITO

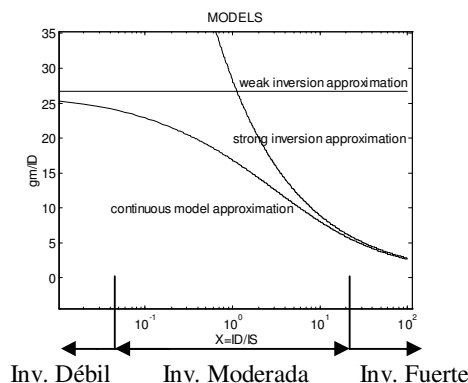
### A. Introducción:

Como fue mencionado antes, el par diferencial de entrada debe estar en el régimen de inversión moderada. Es conocido que en este régimen, también llamado de conducción subumbral, la transconductancia de los MOSFETs es directamente proporcional a la corriente de polarización aplicada, entonces si la corriente es incrementada, además de la ganancia, las dimensiones de los transistores crecerán drásticamente. Por otro lado, en este tipo de amplificadores polarizados dinámicamente, no tiene sentido hablar acerca de polos, diagramas de Bode, etc. Sin embargo, si el amplificador se halla en estado estacionario, y con una red de realimentación apropiada, estos parámetros de pequeña señal pueden ser considerados. Resumiendo, existe un compromiso entre el ancho de banda del amplificador y la transconductancia de los dispositivos de entrada, o en otras palabras, entre el máximo ancho de banda y la corriente de polarización de los mencionados dispositivos.

La ecuación que relaciona el ancho de banda en pequeña señal ( $GBW$ ), la transconductancia de los transistores de entrada ( $g_{m_i}$ ) y la capacidad de carga ( $C_L$ ) es (3-10). Es la misma ecuación que para cualquier amplificador de una sola etapa.

$$GBW = \frac{g_{m_i}}{C_L} \quad (3-10)$$

Fig. 3-5: Curvas asimptóticas en inversión fuerte, moderada, y modelo continuo  $g_m/I_D$  para MOSFETs *versus* corriente de drenador (normalizada a  $I_S$ )



Para todos los demás transistores, es elegido el régimen de inversión fuerte. En [5] se puede encontrar (3-11) que describe las variaciones en un espejo de corriente; estos errores surgen de desapareamientos en los potenciales de umbral de los diferentes MOSFETs ( $V_T$ ) y de diferencias en el  $\beta$  de los transistores,

$$\frac{\Delta I}{I} = \frac{\Delta \beta}{\beta} - \left( \frac{g_m}{I_D} \right) \Delta V_T \quad (3-11)$$

Se puede observar en la Fig. 3-5 que la inversión fuerte minimiza el termino ( $g_m/I_D$ ), dando una reducción en el error relativo de corriente.

#### B. Ecuaciones de Diseño:

De la ecuación (3-9), A puede ser obtenida por un dado  $V_{esc}$  como,

$$A = 1 + e^{-\frac{V_{esc}}{\eta U_i}} \quad (3-12)$$

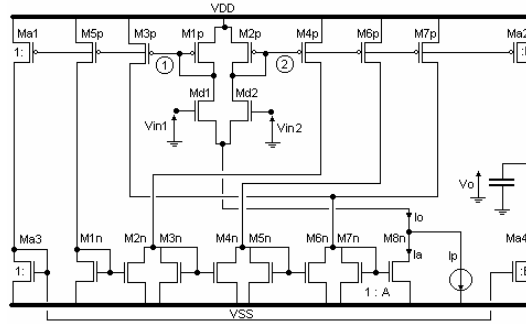
Con este valor de A, puede ser obtenida  $I_p$  para una dada  $I_o$  desde (3-3);  $I_o$  es obtenida de consideraciones de consumo de potencia,

$$I_p = I_o(1 - A/2) \quad (3-13)$$

El modelo continuo ( $g_m/I_D$ ) es mostrado en la Fig. 3-5, incluyendo las aproximaciones asimptóticas para inversión débil y fuerte. En el eje\_y están los valores de ( $g_m/I_D$ ), mientras que en el eje\_x son representados los valores de X, con X definida en (3-14),

$$X = \frac{I_D}{I_S} \quad (3-14)$$

Fig. 3-6: Esquemático del OTA de salida simple y etapa simple



Donde  $I_s$  es la *Corriente Específica*, obtenida como,

$$I_s = 2 \eta U_t^2 \beta; \quad \beta = \frac{K}{2}; \quad K = \mu C_{ox} \frac{W}{L} \quad (3-15)$$

El modelo continuo [3] está basado en la ecuación (3-16),

$$\frac{gm}{I_D} = \frac{1}{\eta U_t} \frac{(1 - e^{-\sqrt{x}})}{\sqrt{x}} \quad (3-16)$$

Considerando que en reposo todos los transistores tienen una corriente de drenador igual a  $I_o/2$ , entonces desde (3-16) y (3-15) y para cualquier dado X, es:

$$\left( \frac{W}{L} \right)_{n(p)} = \frac{I_o}{X 2 \eta K_{n(p)} U_t^2} \quad (3-17)$$

Desde la Fig. 3-5 y usando la aproximación continua (3-16) puede ser observado que para un valor X de aproximadamente 0.1, los modelos continuo y asintótico difieren solo en alrededor de un 10%, dando una muy buena aproximación a la inversión débil. Considerando los espejos de corriente en inversión fuerte como se estableció antes, para  $X > 10$  el modelo continuo es una excelente aproximación en esta zona de operación; eligiendo un *Gate Over Voltage* ( $GOV$  definido como  $GOV = V_{GS} - V_T$ ) de 0.2V para dar seguridad a este régimen de funcionamiento, pueden ser obtenidas dimensiones similares si se usa el modelo cuadrático clásico para MOSFETs [6].

### LOS OTA DE SALIDA SIMPLE Y SALIDA DIFERENCIAL

#### A. El Circuito del OTA de salida simple:

La Fig. 3-6 muestra el esquemático completo del circuito, basado en el núcleo previamente visto. En este circuito, la conversión de salida diferencial a salida simple es hecha por los dispositivos  $M_{a1} - M_{a4}$ , los cuales actúan como espejos de corriente con ganancia B:1. Debe ser notado que en caso de necesitarse mayor ganancia de corriente, el incremento del valor de B también

incrementa el valor de las capacitancias parásitas asociadas con los nodos de baja impedancia determinados por las cargas diferenciales (nodos ① y ②). Como en [4], una ganancia de corriente unitaria es usada por condiciones de estabilidad. La ganancia en pequeña señal del amplificador está dada en (3-18), donde  $g_{mi}$  es la tranconductancia de los transistores de entrada,  $r_o$  es la resistencia de salida presente en el nodo  $V_o$  y  $g_{di}$  es la conductancia de salida de los dispositivos.

$$A_v = g_{mi} B r_o \equiv g_{mi} r_o \quad g_{mi} = \frac{I_o}{2U_T \eta} \quad (3-18)$$

$$r_o = (g_{dM_{a2}} + g_{dM_{a4}})^{-1} \quad (3-19)$$

De (3-19) se puede observar que para aumentar  $r_o$  y por ende la ganancia, la longitud (L) de los dispositivos de salida se debe de incrementar ( $g_d \propto L$ ). Con las ecuaciones anteriores y con las del párrafo precedente, pueden ser calculadas todas las dimensiones de transistores del circuito. La última cosa necesaria es fijar un valor mínimo de capacidad de salida para asegurar la estabilidad del circuito.

#### B. El Circuito del OTA totalmente diferencial:

En este párrafo se tratará el diseño de un OTA *full differential*, basado en el mismo núcleo de entrada. El esquemático simplificado es mostrado en la Fig. 3-7, donde por razones de simplicidad solo se muestran las etapas de salida diferencial. En esta figura, los nodos ① y ② se corresponden con los nodos diferenciales de salida de la Fig. 3-1. Como se puede observar, existen 2 transistores trabajando en la región lineal ( $M_{c1}$  y  $M_{c2}$ ) los que realizan una realimentación de modo común para asegurar un valor bien establecido de voltaje común de salida

El análisis siguiente hace uso de la aproximación clásica para MOSFETs [6] en inversión fuerte (por razones de simplicidad), en lugar del modelo continuo antes descripto. Por la simetría intrínseca del circuito, solo un lado del circuito será usado para explicar su funcionalidad, como es mostrado en la Fig. 3-8. Como sea que el voltaje de salida de modo común (el cual es definido como  $V_{oc} = (V_{o1} + V_{o2})/2$ ) se incrementa, la resistencia de  $M_{c1}$  en paralelo con  $M_{c2}$  es reducida, esto causa que los voltajes  $V_{GS_{Ma4}}$  ( $V_{GS_{Mb3}}$ ) aumenten, porque el voltaje de puerta es fijo, y la corriente a través de estos dispositivos también lo es, entonces  $V_{DS_{Ma4}}$  ( $V_{DS_{Mb3}}$ ) se decrementa, obteniendo así una reducción de  $V_{oc}$ .

Los dispositivos  $M_{c1}$  ( $M_{c2}$ ) son polarizados en la región triódica ( $V_{DS} \ll V_{GS} - V_T$ ), mientras que los otros MOSFETs estarán en saturación. Si las dimensiones de  $M_{a4}$  son calculadas con las definiciones dadas en la sección precedente, entonces, basados en la Fig. 3-8 se tiene,

$$V_{GS_{Ma3}} = V_{GS_{Ma4}} + \frac{I_o}{2} 2R \quad (3-20)$$

Fig. 3-7: Esquemático simplificado de la etapa de salida para la configuración totalmente diferencial

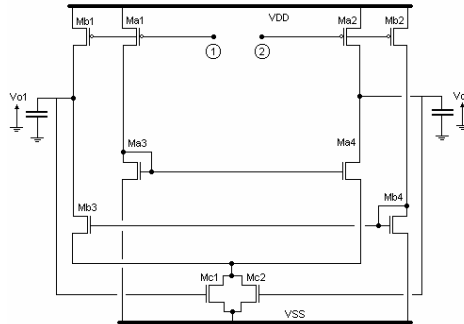
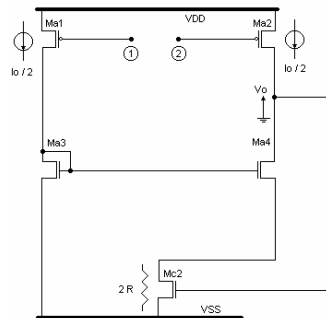


Fig. 3-8: Subcircuito de Modo Común para explicar el funcionamiento de la Fig. 3-7



donde R está dada por,

$$R = \frac{1}{\mu_n C_{ox} (V_{GS_{Mc1}} - V_T)} \quad (3-21)$$

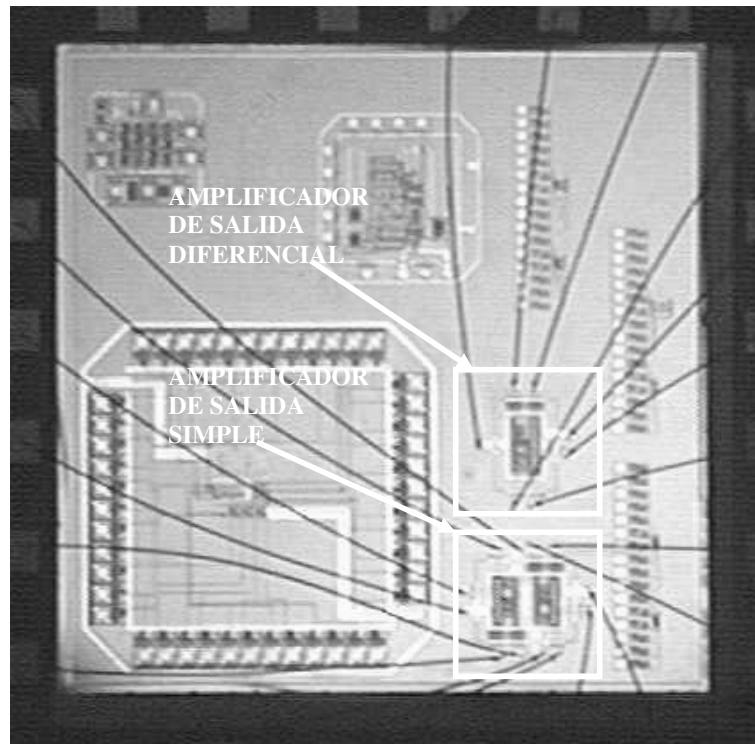
El valor de R es elegido en consideración a la caída de voltaje producida por este resistor equivalente, la cual debe ser pequeña por conveniencia; no debe ser olvidado que existen 2 resistencias en paralelo.

Si  $V_{oc}$  es elegido como 0V, entonces  $V_{SS} \cong V_{GS_{Mc2}}$ , y despreciando la variación  $\Delta V_T$  en  $M_{a4}$  debida a un potencial de substrato no nulo, se puede despejar un valor estimativo para R. El  $\Delta V_T$  es despreciable si  $V_{DS_{Mc2}}$  es elegido despreciable (en el orden de los mV.); los valores exactos son obtenidos después de unas pocas iteraciones.

### DISEÑOS Y MEDICIONES EXPERIMENTALES

Los prototipos fueron fabricados en una tecnología digital no costosa, de 1 metal y 2 polisilicios, con dimensión mínima de puerta de transistor de 2.5  $\mu\text{m}$ , siendo por lo tanto aptos para ser integrados en conjunto con sistemas digitales. Los circuitos fueron desarrollados usando un proyecto MultiCHIP, presentando entonces bajos costos por muestra. En la Fig. 3-9 se pueden observar los diseños, los cuales están puestos en el mismo dado de silicio que otros circuitos no cableados pertenecientes a otras universidades y empresas.

Fig. 3-9: Dado de silicio de un proyecto MultiCHIP, donde se pueden observar los 2 diseños integrados.



En referencia a las estructuras de entrada/salida (o PADs), fueron diseñados de forma tal que los PADs de entrada tienen protección diodo-resistor, mientras que los de salida solo presentan protección resistiva. En la Fig. 3-10 se pueden observar detalles constructivos de los mismos. Por seguridad, todos los transistores conectados a PADs de entrada/salida tiene doble anillo de guarda (el interno como conexión de sustrato, el externo como guarda verdadera).

Fig. 3-10: PADs construidos:  
 (a) alimentación  
 (b) con protección diodo-resistor  
 (c) con protección por resistor

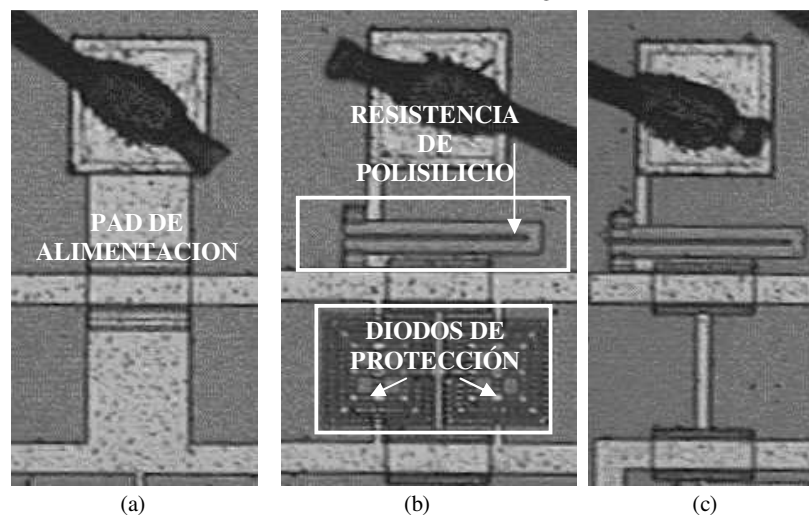
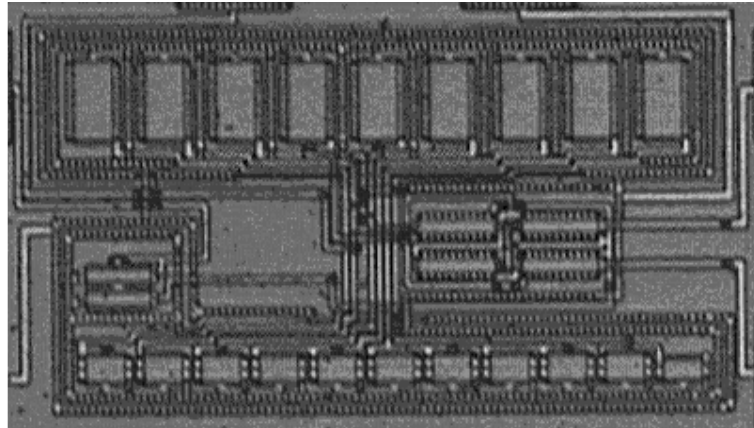




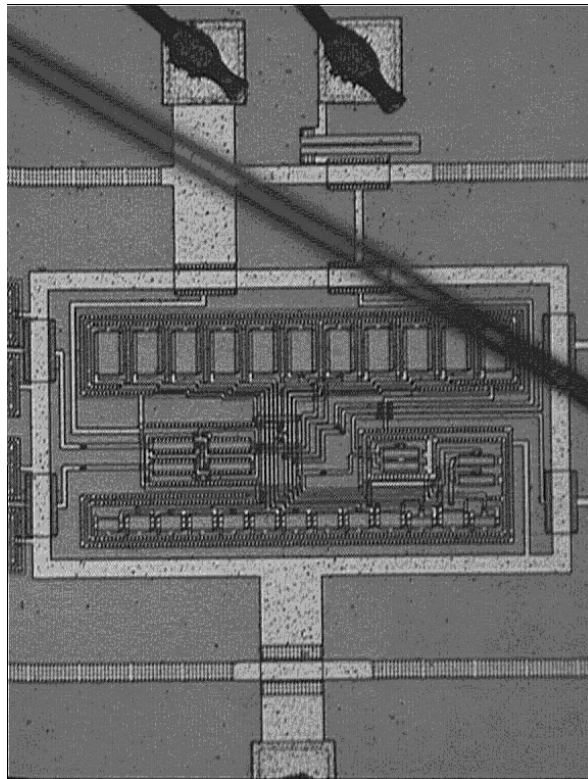
Fig.3- 11: Microfotografía (detalle) del OTA de salida simple.



El núcleo de los amplificadores para ambos circuitos fue diseñado con un factor de realimentación de corriente  $A=1.75$  ( $A < 2$  considerando tolerancias en la fabricación) y los 2 tipos de amplificadores fueron desarrollados para tener buena estabilidad aún con cargas capacitivas pequeñas (en el orden de pF).

En la Fig. 3-11 se muestra un detalle del OTA de salida simple, mientras que en la Fig. 3-12 se presenta el OTA totalmente diferencial. Observar que la construcción del núcleo es similar.

Fig.3- 12: Microfotografía del OTA totalmente diferencial.



En lo que respecta a técnicas de *LAYOUT* analógico, por razones de apareamiento todos los transistores de un dado tipo (NMOS o PMOS) tienen dimensiones similares, la misma orientación en el CHIP, y aproximadamente las mismas condiciones de contorno. En la TABLA 3-II y en la TABLA 3-III son dadas las dimensiones de los transistores para cada uno de los circuitos.

**TABLA 3-II**  
**TRANSISTORES EN EL CIRCUITO DE SALIDA SIMPLE**

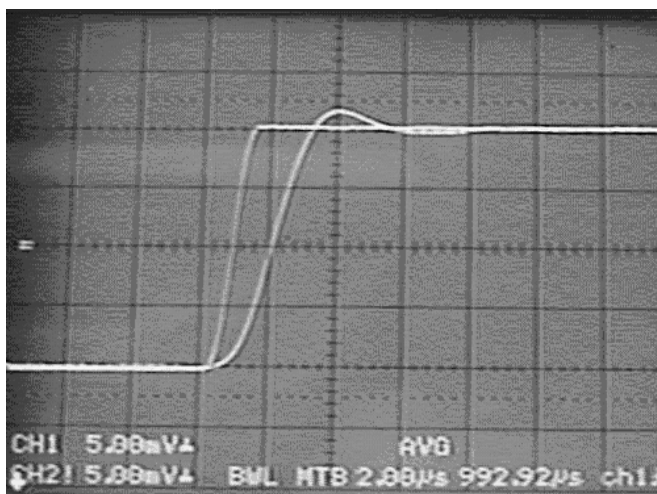
Transistores	Dimensiones (en $\mu\text{m}$ )
$M_{d1}, M_{d2}$	2 * 60/10
$M_{1n} - M_{7n}$	20/30
$M_{8n}$	15/30 + 20/30
$M_{a3}, M_{a4}$	20/30
$M_{1p} - M_{7p}$	60/30
$M_{a1}, M_{a2}$	60/30

**TABLA 3-III**  
**TRANSISTORES EN EL CIRCUITO TOTALMENTE DIFERENCIAL**

Transistores	Dimensiones (en $\mu\text{m}$ )
$M_{d1}, M_{d2}$	2 * 60/10
$M_{1n} - M_{7n}, M_{a4}, M_{b3}$	20/30
$M_{8n}$	15/30 + 20/30
$M_{a3}, M_{b4}$	11.75/30
$M_{1p} - M_{7p}$	60/30
$M_{a1}, M_{a2}, M_{b1}, M_{b2}$	60/30
$M_{c1}, M_{c2}$	10/50

En la Fig. 3-13, la respuesta del amplificador a un escalón de  $20\text{mV}_{pp}$  muestra al dispositivo trabajando en su zona lineal de funcionamiento como *buffer*.

Fig.3- 13: Respuesta temporal a un escalón de  $20\text{mV}_{pp}$ , para el amplificador de salida simple, donde se lo puede observar trabajando en su zona lineal.



**TABLA 3-IV**  
**CARACTERÍSTICAS MEDIDAS ( $I_0 = 0.5 \mu\text{A}$ )**

---

VDD = - VSS	2.5 V
Potencia	60 $\mu\text{W}$
Ganancia DC	> 60 dB
GBW (50 pF)	> 300 kHz
$V_{os}$	$\approx 4$ mV
$r_o$	$\approx 30$ M $\Omega$
CMRR (bajas frecuencias)	> 50 dB
PSRR $\pm$ (bajas frecuencias)	> 50 dB

---

El amplificador de salida simple tiene un PAD de entrada dedicado para cambiar la corriente de polarización  $I_p$  (y por lo tanto  $I_0$ ), con el fin de variar la transconductancia del dispositivo. Las características relevantes para este amplificador con  $I_0 = 0.5 \mu\text{A}$  son dadas en la TABLA 3-IV. Un dato adicional es que al área activa gastada en este diseño es de alrededor de  $0.06 \text{ mm}^2$ .

Las características eléctricas para el OTA de salida diferencial son similares, pero en éste la transconductancia no puede ser variada sin cambiar el potencial de modo común de salida.

## §3.2 Diseño de Amplificadores de Transconductancia (OTA) con Alto Rango de Entrada Lineal

### INTRODUCCIÓN

Un amplificador de transconductancia con alto rango de entrada lineal es un elemento clave para la realización de diferentes estructuras analógicas, especialmente en el área de los filtros continuos. Un aspecto adicional es que muchas veces, por razones de simpleza, es preferible que la variación de la transconductancia siga una relación lineal con una tensión de control. Por todo lo anterior es que a continuación será tratado el diseño de un nuevo OTA (*Operational Transconductance Amplifier*) [20], que presenta tales características, teniendo además una mejoría apreciable en lo que respecta al consumo de corriente (potencia) vs. el máximo rango de entrada lineal del dispositivo, en comparación con configuraciones diferenciales ordinarias.

El amplificador desarrollado es un amplificador de un solo polo (o comúnmente llamado "simple etapa"), teniendo la compensación en frecuencia dada por su capacidad de carga, en virtud de que el único nodo de alta impedancia del dispositivo es el de salida.

### PLANTEO DEL PROBLEMA

Es bien conocido que una configuración diferencial de transistores presenta un rango de tensiones de entrada donde la misma se comporta en forma lineal; este hecho ha sido ampliamente aprovechado en diversos circuitos lineales y no lineales, como ser etapas de entrada de amplificadores operacionales, multiplicadores analógicos, etc.

En una configuración Bipolar (BJT), el rango de entrada lineal está limitado a unos pocos  $U_T$  (potenciales equivalentes de temperatura:  $U_T = KT/q$ , con  $K$  la constante de Boltzman,  $T$  la temperatura absoluta y  $q$  la carga del electrón).

Una importante diferencia se presenta en configuraciones diferenciales MOS, Fig. 3-15, donde el rango de entrada lineal está menos limitado, siendo manejable por el diseñador por medio de la corriente de polarización ( $I$ ) del par acoplado en fuente, o por medio de las dimensiones de los dispositivos ( $W$  y  $L$ ). En esta configuración, para una THD  $< 0.2\%$  [7], se debe cumplir,

$$\Delta V < 0.3 \sqrt{\frac{I}{2K}} \quad \Delta V = V_1 - V_2 \quad (3-22)$$

Fig. 3-15: Par Diferencial MOSFET

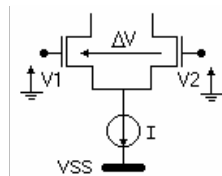


Fig. 3-16: Desplazador flotante de nivel con copia simple de corriente.

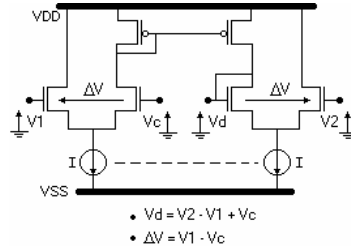
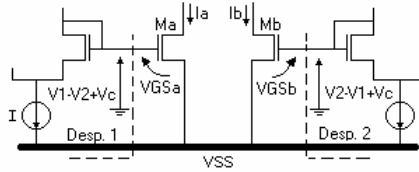


Fig. 3-17: Principio de funcionamiento: 2 desplazadores de nivel que polarizan por tensión a transistores iguales ( $M_a$  y  $M_b$ )



Se sabe que un par diferencial MOS se encuentra en saturación siempre y cuando se cumpla la siguiente relación,

$$\Delta V < \sqrt{\frac{I}{K}} \tag{3-23}$$

Por lo tanto, observando las ecuaciones (3-22) y (3-23), una mejora importante sería el tener un nuevo circuito cuya linealidad se cumpla en todo el rango de tensiones de entrada donde ambos dispositivos funcionen en saturación. Pensando en esto último y con ayuda de otras estructuras circuitales, a continuación se trata de compensar la no linealidad existente.

**PRINCIPIO DE FUNCIONAMIENTO**

En el siguiente diseño se hace uso del circuito desplazador flotante de nivel, el cual ya ha sido comentado en la sección §2.1, y cuyo esquemático simplificado es mostrado en la Fig. 3-16 para mayor claridad en la explicación. Se usan 2 de estos desplazadores, conectados con sus entradas en forma invertida, como lo indica la Fig. 3-17; cada uno de éstos está polarizando por tensión un transistor NMOS ( $M_a$  o  $M_b$  con  $M_a=M_b$ ), lo que permite plantear las siguientes ecuaciones que rigen el principio de funcionamiento.

Del esquemático es,

$$\begin{aligned} V_{GSa} &= V_{SS} + V_1 - V_2 + V_c \\ V_{GSb} &= V_{SS} + V_2 - V_1 + V_c \end{aligned} \tag{3-24}$$

De la ecuación de corriente de drenador de un transistor MOS en saturación, despreciando efectos de 2º orden [6],

$$\begin{aligned} I_{Da} &= K_a (V_{GSa} - V_T)^2 \\ I_{Db} &= K_b (V_{GSb} - V_T)^2 \end{aligned} \tag{3-25}$$

Teniendo en cuenta que,

$$K_a = K_b = K = \frac{\mu C_{ox}}{2} \left( \frac{W}{L} \right)_{a(b)} \quad (3-26)$$

Luego, combinando estas ecuaciones, los términos cuadráticos se cancelan, por lo que la diferencia de corrientes es,

$$\Delta I = I_{Da} - I_{Db} = 4K (V_1 - V_2)(V_{SS} - V_T + V_c) \quad (3-27)$$

En la ecuación (3-27) se observa la relación lineal entre la corriente diferencial de salida y la tensión diferencial de entrada, teniendo como parámetro de ajuste de la transconductancia al potencial de control  $V_c$ . La única condición de funcionamiento es que los pares diferenciales se encuentren en saturación, como se había predicho en un principio.

Si se hace variar  $V_c$  entre un máximo y un mínimo, se tiene un cociente de variaciones de corriente, que es equivalente a la relación de transconductancias máxima/mínima:

$$\frac{gm_{max}}{gm_{min}} = \frac{\Delta I_{max}}{\Delta I_{min}} = \left[ \frac{(V_{SS} - V_T) + V_{c_{max}}}{(V_{SS} - V_T) + V_{c_{min}}} \right] \quad (3-28)$$

Se puede observar que se necesitan 4 pares diferenciales para el nuevo circuito, por lo que a fin de comparar las bondades de esta nueva configuración frente al par diferencial común es que se usarán los cocientes linealidad/potencia de ambos circuitos pensando en que el consumo de potencia debe ser el mismo<sup>1</sup>:

$$\left( \frac{Lineal.}{Pot.} \right)_{par-dif} = \frac{0.3 \sqrt{\frac{4I}{2K}}}{4I(V_{DD} + V_{SS})} \quad (3-29_a)$$

$$\left( \frac{Lineal.}{Pot.} \right)_{nuevo} = \frac{\sqrt{\frac{I}{K}}}{4I(V_{DD} + V_{SS})} \quad (3-29_b)$$

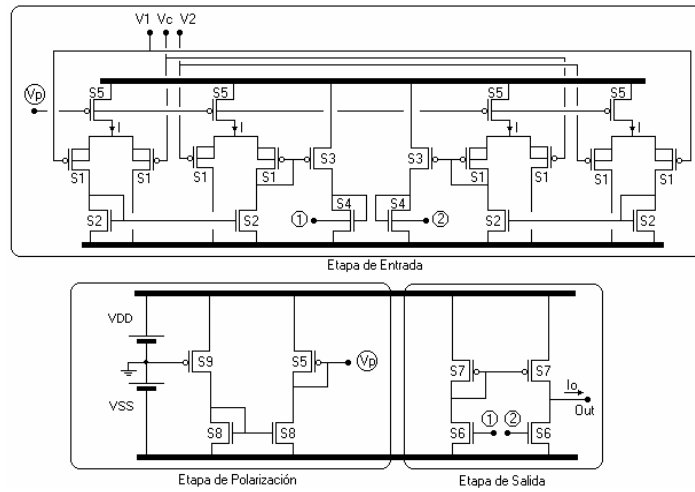
Haciendo el cociente entre (3-29\_b) y (3-29\_a), esta relación es de 2.35, es decir que para la misma potencia consumida, el rango lineal de entrada se ha incrementado en esa misma cantidad. Además de esta mejora, se tiene como ventaja adicional el manejo lineal de la transconductancia del amplificador. Como desventaja existe un incremento del área activa usada.

## EL CIRCUITO

En virtud de las consideraciones anteriores se ha desarrollado el circuito mostrado en la Fig. 3-18, donde por razones de comodidad se han separado las etapas de entrada, salida y del circuito de polarización.

<sup>1</sup> En el cálculo de potencia de la nueva configuración se han despreciado las corrientes de los transistores  $M_a$  y  $M_b$ .

Fig.3-18: Esquemático completo del circuito. En todos los transistores se expresa el factor de forma (S).



En la TABLA 3-V se expresan los valores de las dimensiones geométricas de los transistores o *factores de forma* ( $S_i$ ), mientras que en la TABLA 3-VI se dan datos técnicos del dispositivo, algunos de los cuales fueron fijados durante la etapa de diseño, y otros fueron comprobados mediante extensas simulaciones a partir de la extracción de dispositivos y componentes parásitos desde el *LAYOUT*.

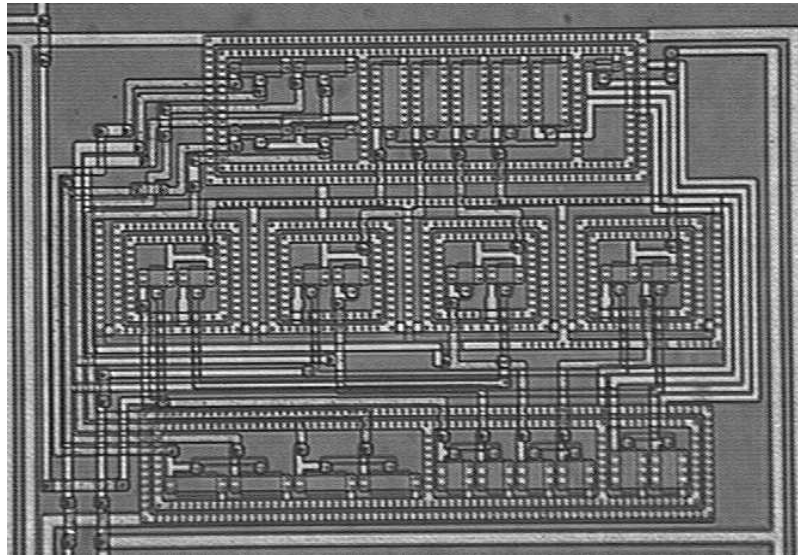
**TABLA 3-V**  
**FACTORES DE FORMA**

	$S_i$	W/L
$S_1$	1	10/10
$S_2$	1.72	17.2/10
$S_3$	0.206	5.2/25.2
$S_4$	0.365	9.2/25.2
$S_5$	3.88	38.8/10
$S_6$	0.365	9.2/25.2
$S_7$	0.143	3.6/25.2
$S_8$	2.52	23.2/10
$S_9$	0.36	3.6/10

**TABLA 3-VI**  
**DATOS TÉCNICOS**

$V_{DD} = -V_{SS}$	2.5V
Potencia	0.22 mW
Area	0.15 mm <sup>2</sup>
$V_1$	+/- 0.4V
$V_2$	+/- 0.4V
$V_C$	+/- 0.4V
$g_{m_{max}}/g_{m_0}/g_{m_{min}}$	7.3uS / 6.125uS / 5uS
A (DC)	47 dB (224 veces)
GBW ( $C_L=1$ pF.)	940 kHz (Margen de Fase = 64°)

Fig. 3-19: Microfotografía del OTA, mostrando el *LAYOUT* tipo *full custom* del circuito.



En la Fig. 3-19 se presenta una microfotografía del amplificador, donde se pueden ver algunos puntos de relevancia en el diseño geométrico del dispositivo, los cuales son:

- El prototipo ha sido diseñado en una tecnología analógica CMOS de pozo-N de  $2.4\ \mu\text{m}$ , doble polisilicio y doble metal; los pares diferenciales son PMOS y han sido colocados en pozos separados, eliminando de esta manera el *body-effect*. Presentan además anillos de guarda.
- Algunos transistores han sido sobredimensionados, dado que como se puede observar el circuito es típicamente un amplificador de un polo, es decir que presenta un solo nodo de alta impedancia (el nodo de salida), por lo que el incremento de algún factor  $S_i$  no impone una seria restricción en frecuencia, pero por otro lado ayuda a mejorar la linealidad.
- La longitud de canal ha sido elegida no mínima, disminuyendo el *factor de modulación de longitud de canal* ( $\lambda$ ) y además mejorando (disminuyendo) el valor de *offset* del circuito.
- Se han usado técnicas de *LAYOUT* analógico, presentando el microcircuito gran modularidad y siendo compacto.

Por lo tanto el desarrollo de este nuevo OTA (Amplificador Operacional de Transconductancia) presenta grandes mejoras de la relación linealidad/potencia en comparación a configuraciones diferenciales comunes; además permite el manejo lineal, por medio de tensión, de la transconductancia total. El funcionamiento del dispositivo ha sido comprobado al usarlo como bloque constitutivo del filtro desarrollado en la sección §5.2.



---

## §4 Reducción de Area en Circuitos de Capacidades Conmutadas

---

Los sistemas de capacidades conmutadas son altamente importantes en procesamiento de señales de baja frecuencia, por lo que en este capítulo se presentan 2 secciones dedicadas a la reducción de área y consumo de potencia de tales circuitos por medio de configuraciones novedosas, dándose a conocer los fundamentos matemáticos y las consideraciones de diseño. En ambas secciones se muestran ejemplos y resultados de simulación que corroboran, en una primera instancia, las ideas concebidas para las nuevas arquitecturas.

En la sección §4.1 se presenta una nueva forma de concepción para el diseño de filtros de capacidades conmutadas en forma exacta usando la transformación bilineal, y con una reducción de área/potencia debida a la multiplexación temporal de los amplificadores operacionales usados.

En la sección §4.2 se da a conocer un estudio de reducción de área en los filtros continuos de antialias y de suavizado para los sistemas de capacidades conmutadas, obteniéndose nuevas conclusiones para el principio de TCM o *multiplicación de constante de tiempo*.

## §4.1 Diseño de Filtros de Capacidades Conmutadas con Reducido Número de Amplificadores Operacionales

### INTRODUCCIÓN

Los sistemas de capacidades conmutadas son sistemas en donde la síntesis de un resistor se realiza por medio de la conmutación de un capacitor, dando una elevada reducción de área y siendo especialmente útiles en diseños de baja frecuencia, donde constantes de tiempo grandes son difíciles de ser integradas. Existe toda una colección de desarrollos para distintos sistemas analógicos usando estas técnicas, pero quizás el uso más importante se encuentra en el desarrollo de filtros. Es por eso que en esta sección se trata el diseño de filtros de capacidades conmutadas usando un nuevo tipo de implementación, la que proporciona una reducción del número de amplificadores operacionales (OPAMPs) usados para la síntesis de una dada transferencia. Se desarrolla el análisis para un filtro pasa-bajos, usando estructuras insensibles a capacidades parásitas, aunque el mismo puede ser extendido a diferentes configuraciones haciendo uso de conocidas transformaciones. En la bibliografía existente [14] se pueden encontrar circuitos que traten este tema, pero los mismos hacen uso de varias fases de reloj, o bien se basan en la transformación LDI, la cual presenta errores en la síntesis de inductancias, los que pueden ser estimados; con el fin de evitar los anteriores problemas se hace uso de la transformación bilineal, dado que con este tipo de transformación se preservan las características en frecuencia del filtro analógico prototipo que da origen al sistema de datos muestreados. La conocida transformación está dada por la ecuación (4-1),

$$s = \frac{2}{T} \frac{z-1}{z+1} \quad (4-1)$$

donde  $s$  es la frecuencia compleja y  $T$  es el período de muestreo. Como se observa es una relación entre la transformada  $Z$  y la transformada de Laplace. Algunas de sus características son:

- Es un "mapping" que conserva la estabilidad.
- El eje  $j\omega$  se corresponde con el círculo unitario.
- Preserva las formas tanto en la banda de paso como en la de rechazo.

Para mayor claridad en la explicación siguiente, se desarrollará un ejemplo haciendo uso de un filtro pasabajos elíptico de orden 3, pudiendo ser extendido el procedimiento a filtros de orden mayor. Luego esta misma configuración será usada para la síntesis de un filtro de Chebyshev del mismo orden sin cambio circuital alguno. Se partirá de esquemas convencionales, poniendo de manifiesto las modificaciones pertinentes para llegar a la nueva implementación [17].

Fig. 4-1: Filtro prototipo: pasabajos pasivo con doble terminación (baja sensibilidad)

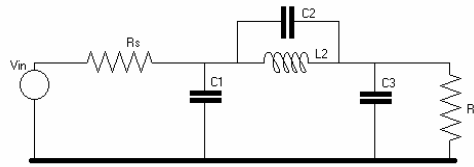


Fig. 4-2: Circuito mostrando la descomposición de la capacidad  $C_2$  para la síntesis exacta.

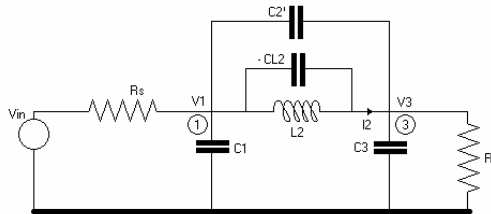
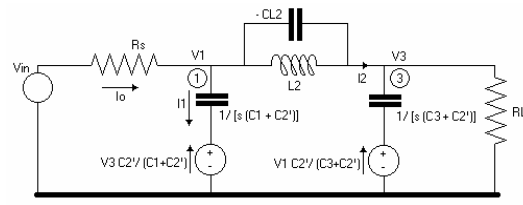


Fig. 4-3: Circuito equivalente al de la Fig. 4-2, usando fuentes controladas de tensión para la simplificación del diseño.



## DISEÑO

El diseño de filtros de este estilo se puede encontrar bien desarrollado en la literatura [10], por lo que solo se presentarán algunas consideraciones que son útiles para llegar al circuito final.

El prototipo del cual partimos es el de la Fig. 4-1, donde se puede ver una red pasiva con doble terminación, gozando entonces de baja sensibilidad frente a variaciones de componentes en la banda de paso.

El análisis de esta red comienza con la descomposición de la capacidad  $C_2$  en dos capacidades como sigue (Fig. 4-2):

$$C_2' \equiv C_2 + C_{L2} \quad (4-2_a)$$

$$-C_{L2} = \frac{-T^2}{4L_2} \quad (4-2_b)$$

Por medio de conocidas transformaciones circuitales se obtiene el circuito de la Fig. 4-3, el cual habilita la síntesis por medio de bloques integradores, usando fuentes controladas de tensión.

En base al circuito de la Fig. 4-3, es posible plantear las ecuaciones de estado del mismo, las que permiten obtener un diagrama en bloques del sistema como el mostrado en la Fig. 4-4, donde se hacen uso de integradores, sumadores y lazos de realimentación como bloques básicos de construcción.

Fig. 4-4: Diagrama en bloques que representa al filtro.

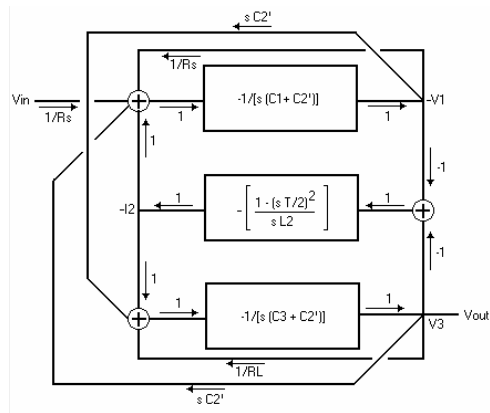
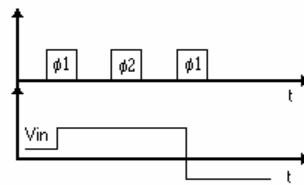


Fig. 4-5: Variación de  $V_{in}$  proveniente de un S&H, en  $\phi_1$  "alto."



**CIRCUITO TOTAL (CONVENCIONAL)**

En este tipo de circuitos se hará uso, como ya se comentó, de un reloj de 2 fases no solapadas, por lo que antes de continuar se debe hacer una importante consideración: la señal de entrada  $V_{in}$  proviene de un circuito de *Sample and Hold (S&H)*, el cual cambia con  $\phi_1$  alto, como se muestra en la Fig. 4-5.

El esquemático que contempla la construcción del diagrama en bloques de la Fig. 4-4 se presenta en la Fig. 4-6, mientras que en la Fig. 4-7 se puede observar el circuito simplificado, con la eliminación de llaves redundantes.

Fig. 4-6: Circuito total convencional.

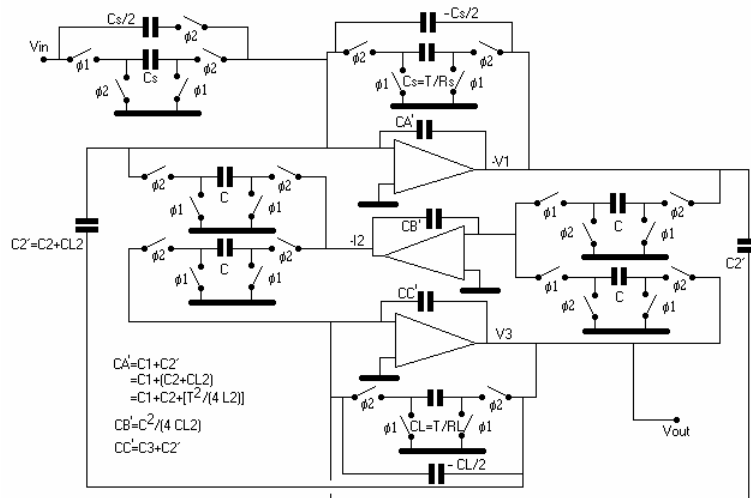


Fig. 4-7: Circuito convencional con eliminación de llaves redundantes.

Nota: Las llaves en serie con los capacitores  $C_2'$  no afectan el funcionamiento y serán útiles en la nueva implementación.

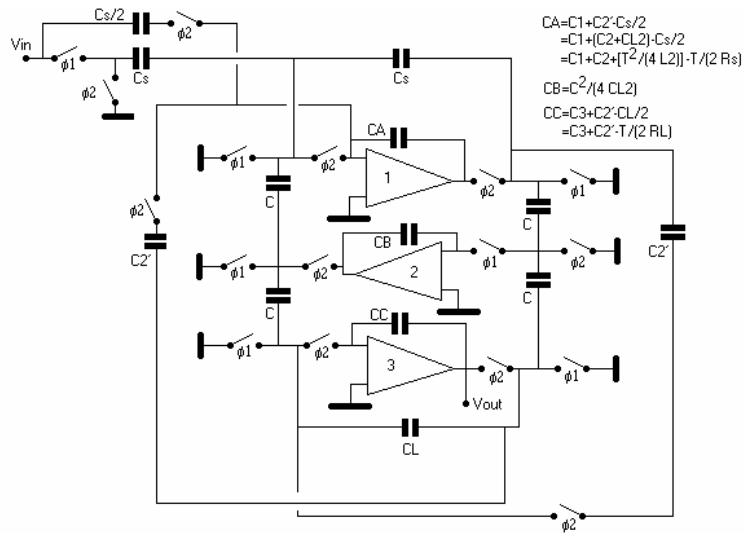
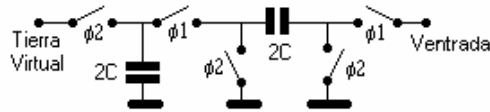


Fig. 4-8: Capacitor conmutado para la nueva implementación.



#### NUEVAS APROXIMACIONES

Con el fin de poder usar una menor cantidad de amplificadores operacionales, se hará uso de la multiplexación temporal de los que se usen; esto trae aparejado mayores consideraciones en el diseño de tales dispositivos, dado que estos deberán presentar un *slew rate* mayor que en el caso del diseño convencional, por lo que quizás la manera más conveniente de definir a estos amplificadores sea usando en los mismos técnicas de polarización dinámica (sección §3.1), a fin de reducir el consumo de potencia estática, pero teniendo posibilidad de cargar las capacidades puestas en juego en tiempos tolerables para la frecuencia de operación. En consideración a esta última podemos decir que a causa del uso de la transformación bilineal, los requerimientos de frecuencia de reloj se ven relajados, y los únicos inconvenientes para el uso de relojes de muy baja frecuencia son los impuestos por los filtros de antialias y de suavizado.

Pasando ahora a la nueva implementación que nos permita la multiplexación temporal antes dicha, se deben observar las salidas de los integradores de la Fig. 4-7, donde se ve que tanto las entradas como las salidas de los integradores 1 y 3 cambian en  $\phi_2$ , mientras que para el integrador 2 la salida cambia en  $\phi_2$  y la entrada en  $\phi_1$ . Esta es la clave para el desarrollo del circuito que sigue, y la idea es la de preguntarse ¿se puede obtener una capacidad conmutada con transferencia  $Cz^{-1/2}$  y que a su vez tenga como entrada una llave comandada en  $\phi_1$  y como salida una llave comandada en  $\phi_2$ , con el fin de no alterar el resto del circuito? La respuesta es sí; el circuito que cumple esto es una

adaptación del presentado en [9] y está representado esquemáticamente en la Fig. 4-8. Este circuito presenta además la ventaja de ser totalmente insensible a capacidades parásitas, cosa que no ocurriría si en lugar del mismo se hubiese puesto un S&H (llaveado en  $\phi_1$ ) a la salida del integrador 2; esta última es una opción que reduce complejidad, pero tiene en contra la introducción de errores a causa de las capacidades parásitas, aunque esto puede ser subsanado aumentando el valor de las capacidades adyacentes a estos nodos susceptibles, pero la nueva dificultad es el incremento de área gastada en el circuito. Usando entonces esta nueva concepción es que se plantea el circuito de la Fig. 4-9, donde ya se han simplificado las llaves redundantes con el fin de reducir la complejidad del circuito final y el área usada.

Un punto que había quedado pendiente (y que también puede observarse en la Fig. 4-7) es la inclusión de llaves conmutadas en  $\phi_2$ , en serie con los lazos continuos (con capacidad  $C_2$ ); esto no afecta al funcionamiento del circuito, dado que las realimentaciones que se producen por estos lazos se tornan efectivas en esa misma fase de reloj, además de que por otro lado ayudarán a la simplificación que viene a continuación para la obtención del circuito final.

En la Fig. 4-10 se presenta el circuito final con multiplexación de amplificadores operacionales; en el mismo se han multiplexado los integradores 2 y 3, dado que los mismos tienen entradas y salidas con distintas fases de reloj. En la figura se pueden ver también 2 condensadores ( $C_u$ ), los cuales están para asegurar realimentación en las zonas muertas entre fases (cuando es activa alguna fase sólo agregan carga capacitiva a la salida y a la entrada del amplificador multiplexado).

Fig. 4-9: Circuito con capacitores llaveados inversamente en la nueva forma (eliminación de llaves redundantes).

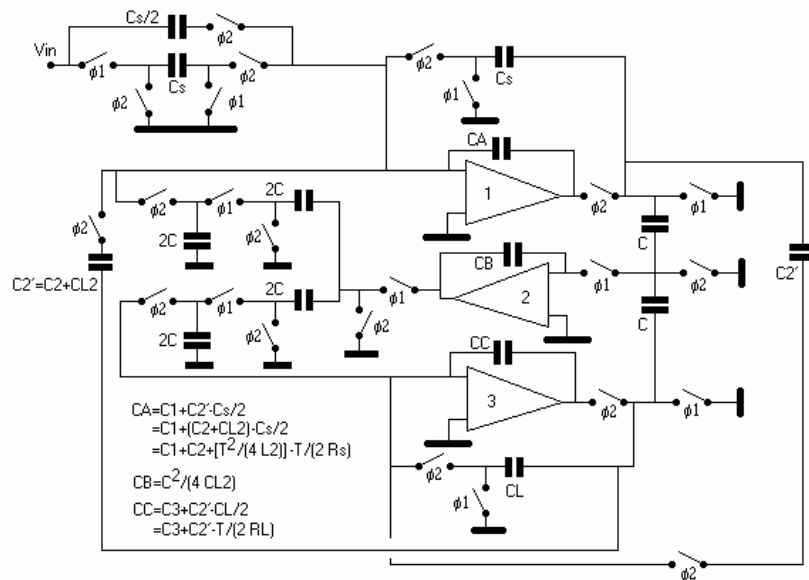
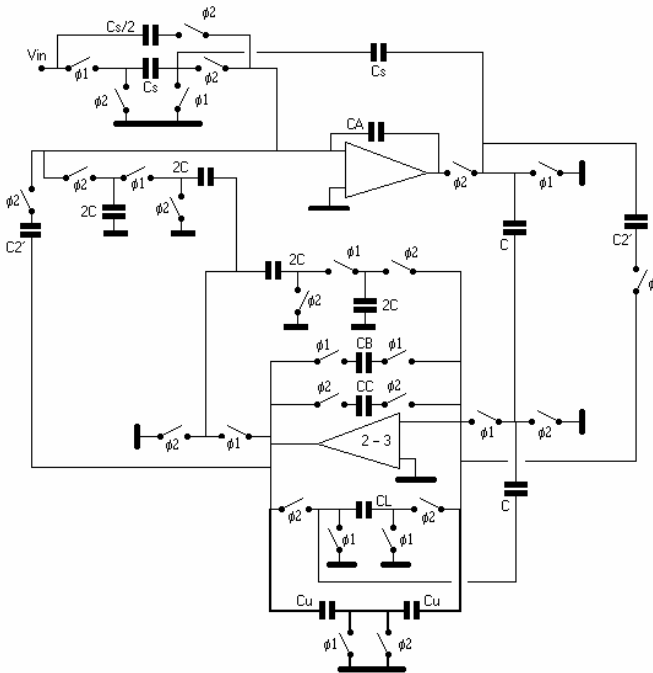


Fig. 4-10: Circuito con capacitores llaveados inversamente en la nueva forma y con multiplexación de amplificadores (llaves redundantes eliminadas).



#### EJEMPLO DE DISEÑO

Usando las ideas anteriores es que se diseñará un filtro pasabajos con la aproximación de Tchebisev a modo de ejemplo de uso de la técnica antes expuesta. El filtro cumplirá con las siguientes especificaciones:

- Orden del filtro: 3
- Ripple en banda de paso: 0.01 dB
- Banda de paso: 100 Hz. ( $f_{sc}$ )
- Frec. de muestreo (reloj): 6.4 KHz. ( $f_{ck}=1/T$ )

Los coeficientes de este filtro pueden obtenerse de tablas [10] [11] o pueden ser calculados [11]. Este filtro corresponde a la topología mostrada en la Fig. 4-1, con  $C_2=0$ . Los valores correspondientes (normalizados para una frecuencia de 1 rad/seg y  $R_S=R_L=1\Omega$ ) son (los valores primados corresponden a valores normalizados):

- $R_S'=R_L'=1\Omega$
- $C_1'=C_3'=0.62917991$
- $L_2'=0.970282455$

A continuación se debe cancelar el efecto de la no linealidad existente entre la frecuencia continua (la original de diseño del filtro) y la frecuencia que se obtiene con el mapeo usado [8]. Esta operación es conocida en la literatura sobre el tema como "PREWARPING".

$$\omega_{sc}' = \frac{2}{T} \tan\left(\frac{\omega_{sc} T}{2}\right) \quad (4-3)$$

Acto seguido se procede a la desnormalización de los valores de los elementos del filtro, en base a:

$$L = L' L_0 = L' \left( \frac{Z_0}{\omega_{sc}'} \right) \quad (4-4)$$

$$C = C' C_0 = C' \left( \frac{1}{Z_0 \omega_{sc}'} \right) \quad (4-5)$$

$$R = R' Z_0 \quad (4-6)$$

Siendo  $Z_0$  una impedancia arbitraria de desnormalización. Eligiendo  $C_0=1$  (para simplificar los cálculos), se tiene:

$$C_0 = 1; \quad Z_0 = \frac{1}{\omega_{sc}'}; \quad L_0 = \frac{1}{(\omega_{sc}')^2} \quad (4-7)$$

Por lo que ahora resultan los siguientes valores:

- $C_1=C_3= 0.62917991$
- $L_2= 2.5289615614 \text{ e-}6$
- $R_S=R_L= 1.5902709082 \text{ e-}3$

El paso siguiente es el cálculo de los capacitores del FCC:

$$C = C_{L2} = \frac{T^2}{4L_2} = 2.4873657725 \text{ e-}003$$

$$C_S = \frac{T}{R_S} = C_L = 9.8253699539 \text{ e-}002$$

$$\frac{C_S}{2} = 4.9126849769 \text{ e-}002$$

$$C_2' = C_2 + C_{L2} = C_{L2} \quad (C_2 = 0)$$

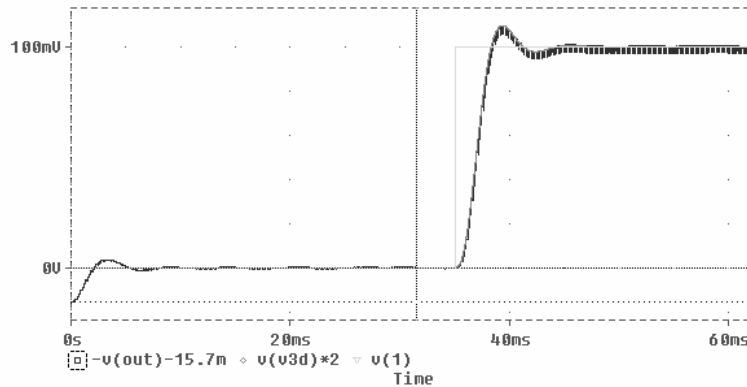
$$C_A = C_1 + C_2' - \frac{C_S}{2} = 5.82540426 \text{ e-}001$$

$$C_C = C_A \quad (C_1 = C_3; \quad C_S = C_L)$$

$$C_B = \frac{C^2}{4 C_{L2}} = \frac{C}{4} = 6.2184144314 \text{ e-}004$$



Fig. 4-11: Respuesta a un escalón de 100mV, comparada con la respuesta del filtro origen continuo.



Estos valores pueden ser luego escalados a fin de maximizar el rango dinámico y minimizar el área de silicio consumida:

- Del análisis de la red continua (Fig. 4-1), los valores máximos de  $V_1$ ,  $V_3$  e  $I_{L2}$  son respectivamente: 0.7653, 0.5 y 394, y son obtenidos con una simulación de AC, cerca de la banda de paso del filtro. Transformando el valor de corriente por el inductor a tensión, es decir, multiplicando por la resistencia aproximada  $R=I/C$ , se obtiene  $V_2$  máximo aproximadamente igual a 25. Acto seguido, con ayuda de las Fig. 4-6 y Fig. 4-10, se multiplican todos los valores de capacidad hasta ahora obtenidos por los valores pico recién calculados (esto se hace en cada conjunto de capacitores que estén conectados a la salida de un OPAMP). Esto se denomina escalado para maximizar rango dinámico (se ha asumido un pico común de 1V).
- A continuación se escala para minimizar la capacidad total del CHIP. Esto se hace multiplicando cada conjunto de capacitores conectados a la entrada de un OPAMP por la mínima capacidad realizable en la tecnología (elección en este caso de 0.1pF), y dividiéndolos a su vez por la mínima capacidad en cada uno de los mencionados conjuntos.

## RESULTADOS DE SIMULACIÓN

El nuevo circuito ha sido simulado, reemplazando a los OPAMPS por fuentes ideales controladas, y siendo las llaves realizadas con MOSFETs en los que no se tienen en cuenta las capacidades parásitas de drenador y fuente, obteniéndose excelentes resultados. Simulando con mayor realidad, ha sido observado que con relojes que presenten tiempos de subida y bajada cortos, y transistores modelizados completamente, existen problemas de inyección de carga, por lo que los mencionados tiempos deben ser más relajados que en el circuito convencional, caso contrario las transferencias sufren un escalado en amplitud. En la Fig. 4-11 se observa la salida del filtro (desafectada de su *offset* de continua) y comparada con la respuesta real (multiplicada por 2) de su equivalente continuo, frente a un escalón a su entrada. Los resultados concuerdan también perfectamente con su contraparte convencional (Fig. 4-7).

En conversación privada con el Dr. Gábor C. Temes<sup>1</sup> se ha discutido el uso de estructuras totalmente diferenciales y el uso de llaves complementarias, a fin de reducir al mínimo los errores de inyección de carga y de *offset*, más allá de lograr un circuito totalmente insensible a capacidades parásitas e inmune a efectos de modo común como ser el ruido en el sustrato.

El nuevo inconveniente es el incremento de área activa usada, pero en vista de la reducción antes obtenida, se cree que para filtros de elevado orden el área total pueda llegar a ser similar a la de un circuito convencional, pero presentando ahora las ventajas de las configuraciones diferenciales como se mencionó.

---

<sup>1</sup> Profesor de la *Oregon State University* (OR, USA). Especialista en diseño de circuitos integrados analógicos de capacidades conmutadas y filtros.

## §4.1 Reducción de Area para Filtros de Antialias y de Suavizado

### INTRODUCCIÓN

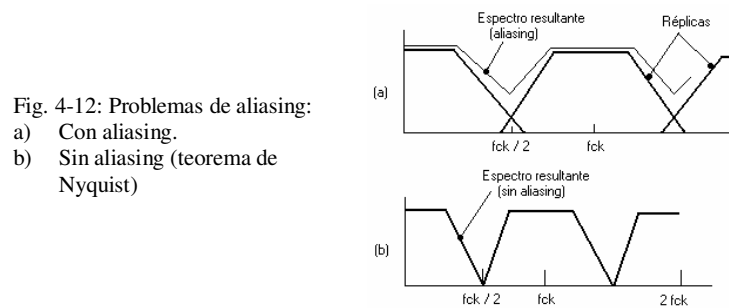
En esta sección se trata el problema de la síntesis de filtros continuos de antialias (FAA) y de suavizado (FS) para sistemas de capacidades conmutadas, con la inclusión de una técnica de reducción de área, la que facilita y además posibilita, la integración en silicio de estas estructuras aún para muy bajas frecuencias de operación.

El inconveniente de la generación de alias o aliasing es una cuestión totalmente inherente a los sistemas muestreados, tratándose de la generación de réplicas del espectro de la banda base en múltiplos enteros de la frecuencia de muestreo. El aliasing deteriora la señal de entrada, generando una distorsión no lineal cuyos efectos sólo pueden ser eliminados si se tiene en cuenta el problema desde un principio, esto es, colocando un filtro previo (FAA) tal que limite la frecuencia de la señal de entrada a fin de cumplir, en un principio, con el teorema de Nyquist. También son necesarios filtros para suavizar la salida (FS), la que tiene típicamente una naturaleza *Sample & Hold*, siendo por lo general construidos, por razones de simplicidad circuital, con las mismas características y estructuras que los de antialias.

Este tema se halla referenciado en la bibliografía conocida, pero en forma somera, por lo que se cree que la presentación de un método sistemático de diseño es por demás provechosa [21]. Se presenta también una extensión al principio TCM (Multiplicación de Constante de Tiempo), dando un ejemplo de síntesis con esta técnica.

En la Fig. 4-12(a) se muestra un caso de distorsión por aliasing, mientras que en la Fig. 4-12(b) se muestra el caso límite del cumplimiento del teorema de Nyquist, esto es, la frecuencia máxima de interés es la mitad de la frecuencia de muestreo. El filtro que limita la máxima frecuencia de la señal de entrada es un filtro continuo. Si se opta por construirlo dentro del mismo circuito integrado que contendrá al filtro de capacidades conmutadas, entonces se debe tratar de:

- Minimizar el área empleada, es por eso que por lo general los filtros antialias se realizan como filtros activos KRC de orden 2 o a lo sumo 3.



- Manejar frecuencias de corte no muy bajas, dado que los valores máximos de los componentes pasivos tienen límites prácticos que no pueden ser sobrepasados (límites de área consumida). Las resistencias pasivas se pueden hacer con una capa de polisilicio, la cual presenta una resistividad en el orden de los 50  $\Omega$ /cuadro; en algunas tecnologías analógicas se puede usar polisilicio de alto grado ohmico (HIPO), con aproximadamente 2 K $\Omega$ /cuadro. Las capacidades (en las tecnologías que lo permitan) se pueden hacer con la superposición de 2 capas polisilicio, presentando una capacidad por unidad de área de alrededor de 0.5 fF/ $\mu^2$ .

A fin de solventar los dos problemas anteriores, se podría caer en la tentación de poner una frecuencia de muestreo relativamente elevada, relajando entonces los requerimientos de área ocupada; esto en la realidad no se hace dado que:

- La dispersión de capacidades (razón entre la capacidad más grande y la más pequeña en un dado filtro de capacidades conmutadas) se eleva en demasía, dando lugar a errores de apareamiento.

$$\frac{C_{max}}{C_{min}} \cong \frac{1}{\omega_{sc}T}$$

T: período de muestreo;

$\omega_{sc}$ : frecuencia de corte del FCC

- Los requerimientos de ancho de banda de los amplificadores operacionales se vuelven difíciles de cumplir [5], [24].

$$GBW > 5 \left( \frac{2\pi}{T} \right)$$

GBW: frecuencia angular de ganancia unitaria del operacional.

Existe sin embargo una primer solución a fin de minimizar el orden y los requerimientos del filtro antialias (FAA). En la Fig. 4-13 se puede observar el esquema general de un sistema que contiene un filtro de capacidades conmutadas (FCC). Sin pérdida de generalidad en los resultados y para simplificar, se puede suponer que a la entrada del FCC (después del FAA) existe un muestreador, aunque por lo general hay un circuito de *Sample & Hold* (S&H).

Fig. 4-13: Esquema de un sistema de CC.

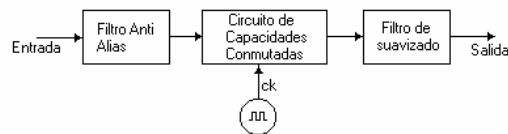
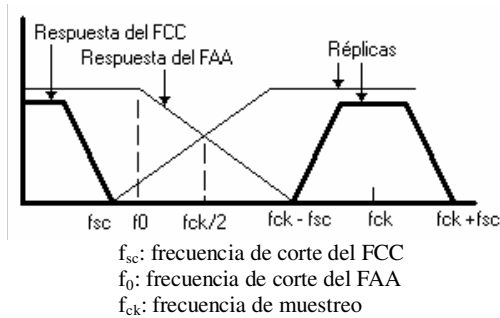


Fig. 4-14: Espectros resultantes de la Fig. 4-13.



En la Fig. 4-14 se muestran los espectros respectivos de la figura anterior, donde en lugar de colocar la frecuencia  $f_0$  del FAA en  $f_{ck}/2$  (como lo indica el teorema del muestreo), se ha puesto en  $f_{ck}-f_{sc}$ . Como el aliasing se produce en la banda de rechazo del FCC, este deja de tener importancia; por otro lado, como por lo general es  $f_{ck} \gg f_{sc}$ , se cumple que  $f_{ck}-f_{sc}$  es aproximadamente  $f_{ck}$ , por lo que se consigue casi doblar la frecuencia de  $-3\text{dB}$  del FAA, y por lo tanto disminuir sus requerimientos de área, orden y potencia.

Pasando ahora al filtro de suavizado (*smoothing filter*) se puede decir que la salida del FCC es del tipo *S&H*, por lo que se hace necesario un filtro reconstructor. Por lo general se hace con un filtro continuo igual que el FAA, dado que debe cumplir con las mismas especificaciones

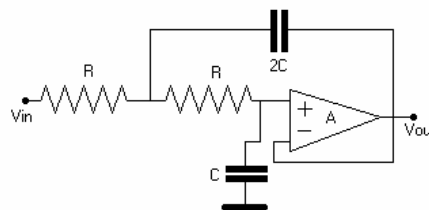
#### REALIZACIONES PRÁCTICAS

Un filtro de uso muy común, cuando la frecuencia de corte no debe de ser demasiado baja, es el de Sallen & Key [8], [11]. Este filtro forma parte de las realizaciones KRC [5] [12]. En la Fig. 4-15 se muestra su diagrama esquemático, siendo algunas de sus características principales:

- La impedancia DC de entrada es la del OPAMP (tiende a infinito para consideraciones prácticas).
- La ganancia DC es casi unitaria (depende solo de la ganancia del OPAMP)

$$G_{DC} = \frac{A}{A+1} \quad (4-8)$$

Fig. 4-15: Filtro de Sallen & Key.



- Presenta una respuesta Butterworth de orden 2, con:

$$\omega_0 = \frac{1}{\sqrt{2} RC} \tag{4-9}$$

- El factor Q del filtro es aproximadamente constante, dado que depende de razones de capacidades y de resistores mas que de sus valores absolutos.

**CONSIDERACIONES DE DISEÑO**

En la Fig. 4-16 se pueden observar las características de transferencia (módulo) de un filtro de orden 2 típico, usado para estos propósitos. En la figura también se muestran valores típicos de atenuación. La ganancia a  $f_{sc}$  se debe mas efectos de la distorsión de fase a esa dada frecuencia que a requerimientos de atenuación, mientras que la ganancia a  $f_{ck}-f_{sc}$  se debe fundamentalmente a la atenuación mínima que el filtro debe de tener para minimizar efectos de aliasing como ya se mencionó anteriormente.

En vista de la alta dispersión que existe en la fabricación de componentes pasivos integrados (TABLA 4-I), de los cuales depende la constante RC del filtro en cuestión, es que este último se calcula como sigue:

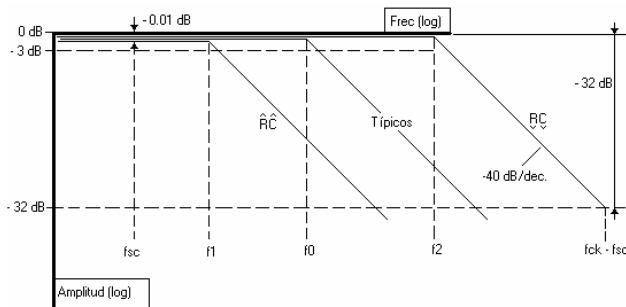
**TABLA 4-I**  
**APROXIMACIÓN PARA VARIACIONES DE R Y C**

Mínimo	Típico	Máximo
Rmin = R 0.8	R	Rmax = R 1.2
Cmin = C 0.8	C	Cmax = C 1.2

Los valores máximos de R y C se calculan en vista de la atenuación mínima. De [11] se tiene, para un filtro Butterworth:

$$f_x = f_c \left[ \frac{10^{\alpha/10} - 1}{10^{3/10} - 1} \right]^{1/2n} \tag{4-10}$$

Fig. 4-16: Filtro Butterworth de orden 2. Características de variación y valores pedidos.



$$\alpha = 10 \log \left[ \left( \frac{f_x}{f_c} \right)^{2n} \left( 10^{3/10} - 1 \right) + 1 \right] \quad (4-11)$$

donde:

- $f_x$ : frecuencia de interés en la cual se produce  $\alpha$ .
- $\alpha$ : atenuación deseada [dB].
- $n$ : orden del filtro (en este caso  $n=2$ ).
- $f_c$ : frecuencia de  $-3$  dB del filtro

por lo que se obtiene:

$$f_{sc} = f_1 \left[ \frac{10^{0.01/10} - 1}{10^{3/10} - 1} \right]^{1/4} \quad (4-12)$$

Se puede obtener el valor máximo de  $(RC)$  si se piensa que:

$$f_1 \propto \frac{1}{RC} \quad (4-13)$$

Con el valor del producto  $RC$  mínimo (considerando una dispersión típica de  $\pm 20\%$  como se ilustra en la TABLA 4-I) se puede calcular la  $f_{ck}$  para la atenuación máxima dada.

$$f_2 \propto \frac{1}{RC}; f_2 = f_1 \left( \frac{1.2}{0.8} \right)^2 = 2.25 f_1 \quad (4-14)$$

$$f_{ck} = f_2 \left[ \frac{10^{32/10} - 1}{10^{3/10} - 1} \right]^{1/4} + f_{sc} \quad (4-15)$$

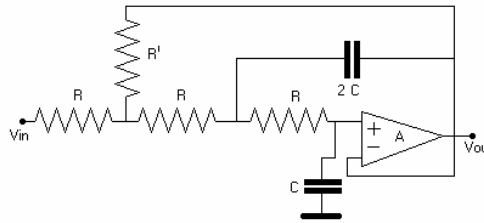
El filtro se diseña con los valores típicos:

$$f_0 = f_1 (1.2)^2 \quad (4-16)$$

Una vez obtenido el valor de  $f_{ck}$  se puede definir el ancho de banda de ganancia unitaria mínimo de los amplificadores operacionales.

Cuando la frecuencia de corte del FAA debe ser "baja" (en el orden del kHz.) esta configuración falla, dado que los valores de  $R$  y de  $C$  que se obtienen pueden llegar a ser irrealizables en forma práctica.

Fig. 4-17: Filtro para muy bajas frecuencias.



Otra realización dentro del mismo tipo es la mostrada en la Fig. 4-17 [13], [14]. Esta es conveniente para frecuencias de corte muy bajas, presentando algunos puntos de interés:

- La impedancia DC de entrada es:

$$Z_{in} = A R' \left( 1 + \frac{R}{A R'} \right) \quad (4-17)$$

Como se observa no es infinita y es manejable (relativamente) por el diseñador, a fin de hacerla tan grande como se pretenda.

- La ganancia DC es:

$$G_{DC} = \frac{A}{(A+1)} \frac{1}{\left( 1 + \left( \frac{R}{A R'} \right) \right)} \quad (4-18)$$

Aquí se ve que una elección grande de  $R/R'$  hace disminuir la ganancia de continua; esto puede ser tolerable si se tiene en cuenta con una amplificación posterior.

- Presenta una respuesta de orden 2, con:

$$\omega_0 = \frac{1}{\sqrt{2 + \frac{R}{R'}} \sqrt{2} R C} \quad (4-19)$$

La elección de  $R \gg R'$ , hace relajar los requerimientos de R y de C para una frecuencia de corte baja, además la relación  $R/R'$  goza de buen apareamiento, por lo que los errores absolutos en la frecuencia de corte y en Q son similares a los de la configuración Sallen & Key.

El obtener  $f_0$  es equivalente a la obtención del producto RC (típico) del filtro. El siguiente paso es el cálculo de los valores individuales tanto de C como de R; de [8] y [5] se tiene que aunque hacer una resistencia de Pozo N es mucho más económico desde el punto de vista del área gastada, es muchas veces preferible



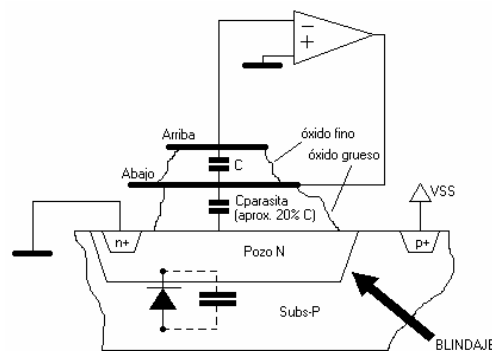
hacerla con alguno de los polisilicios, siendo las razones principales las siguientes:

- Aunque la resistividad por cuadro de los pozos está en el orden de 50 veces la de los polisilicios, las primeras no pueden ser blindadas y además presentan grandes coeficientes de voltaje, lo que causa distorsión de las señales.
- La densidad espectral de potencia de ruido térmico en un resistor es  $4kTR$ , donde  $k$  es la constante de Boltzmann y  $T$  es la temperatura absoluta, por lo tanto es preferible, a fin de reducir el ruido, aumentar los valores de  $C$  y disminuir los de  $R$ .

El ruido dominante, en la mayoría de los casos para estas estructuras conmutadas, es el que proviene de las fuentes de alimentación; éste se acopla a través de las capacidades parásitas. En el filtro antialias, si la mayor parte de este ruido cae por debajo de la mitad de la frecuencia de muestreo, el sistema muestreado (FCC) lo atenúa (lo filtra). Por otra parte, a la salida del filtro de suavizado no existe un filtrado posterior, por lo que el ruido sale netamente por la salida de interés. Por lo tanto, es altamente deseable el uso de blindajes a fin de disminuir el acoplamiento capacitivo del ruido de las alimentaciones. Las resistencias de polisilicio pueden ser aisladas del sustrato (el cual está conectado a una fuente de alimentación) por medio de un blindaje de Pozo como muestra la Fig. 4-18 (para el caso de una tecnología de Pozo N); esta misma técnica se puede aplicar en las capacidades. En tecnologías de doble polisilicio, se puede usar el superior para la conformación de las resistencias, y el más cercano al sustrato para el blindaje. El blindaje reduce los picos de conmutación que irían hacia el sustrato (los deriva a tierra); hace lo mismo con el ruido que viene por el sustrato desde  $V_{SS}$ .

Una consideración adicional para las capacidades es que, como se observa en la Fig. 4-18, la capacidad parásita está en el orden del 20% de la capacidad requerida, por lo que la parte inferior de un capacitor no debe ser nunca (conmutada o no) conectada a un terminal inversor de un OPAMP, dado que esa entrada es la que presenta mayor ganancia, y es por lo tanto la más sensible al ruido.

Fig. 4-18: Blindajes y Consideraciones para la construcción de capacidades.



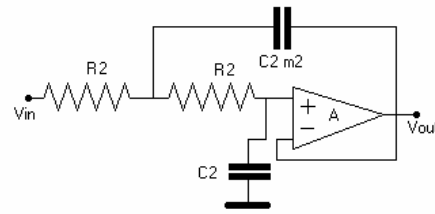
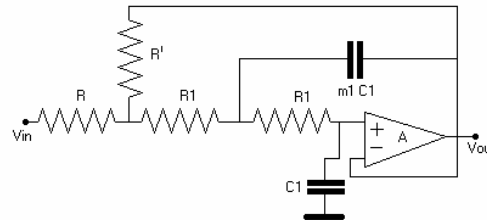


Fig. 4-19: (a) configuración S&K.  
(b) configuración TCM.

(a)



(b)

#### GENERALIZACIÓN DE DISEÑOS Y EL PROBLEMA DEL AREA

Las configuraciones de las Figuras 4-15 y 4-17 pueden ser generalizadas como lo ilustran las Figuras 4-19(a) y 4-19(b):

La Fig. 4-19(a) representa una configuración Sallen & Key (S&K) con un capacitor de realimentación de valor  $m_2 C_2$ . La Fig. 4-19(b) representa una configuración similar a la de la Fig. 4-17, pero con un capacitor de realimentación de valor  $m_1 C_1$ ; el principio de esta configuración, aunque es conocido hace años [14], parece haber sido redescubierto en la actualidad y se lo conoce como TCM (principio de multiplicación de constante de tiempo) [13]. Analizando los circuitos se tiene:

- Para la configuración S&K

$$\omega_0|_{S\&K} = \frac{1}{\sqrt{m_2 R_2 C_2}} \quad (4-20)$$

$$Q|_{S\&K} = \frac{\sqrt{m_2}}{2} \quad (4-21)$$

- Para la configuración TCM:

$$\omega_0|_{TCM} = \frac{1}{\sqrt{2 + \frac{R}{R'}} \sqrt{m_1 R_1 C_1}} \quad (4-22)$$

$$Q|_{TCM} = \frac{\sqrt{m_1}}{2\sqrt{2 + \frac{R}{R'}}} \quad (4-23)$$

De las ecuaciones (4-20)-(4-23), eligiendo  $m_2=2$  se obtiene la respuesta Butterworth que se ha comentado con anterioridad, pero valores distintos de  $m_2$  pueden dar lugar a polos reales o complejos conjugados, según se requiera. Si se supone la siguiente relación entre los valores de los componentes pasivos, con  $\gamma$  como constante de proporcionalidad,

$$(R_1 C_1) = (R_2 C_2) \gamma \quad (4-24)$$

entonces usando (4-24) e igualando (4-20) con (4-22) y (4-21) con (4-23), se obtiene,

$$m_2 = \gamma^2 m_1 \left(2 + \frac{R}{R'}\right) \quad (4-25)$$

$$m_1 = m_2 \left(2 + \frac{R}{R'}\right) \quad (4-26)$$

Combinando estas 2 últimas se tiene,

$$\gamma = \frac{1}{\left(2 + \frac{R}{R'}\right)} \quad (4-27)$$

De (4-27) se ve que si  $R/R' \gg 1$ , es  $\gamma \ll 1$ , es decir que  $(R_1 C_1) \ll (R_2 C_2)$  como era de esperar.

Para analizar que ocurre con el área utilizada en cada una de las implementaciones se supondrán iguales valores de área para las resistencias, dependiendo entonces las áreas totales de los valores de las capacidades  $C_1$  y  $C_2$ ,

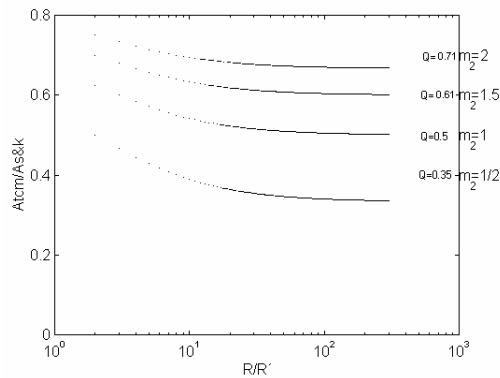
$$A_{S\&K} \propto C_{S\&K} = C_2 (m_2 + 1) \quad (4-28)$$

$$A_{TCM} \propto C_{TCM} = C_1 (m_1 + 1) \quad (4-29)$$

Combinando ecuaciones se obtiene la relación entre áreas como,

$$\frac{C_{TCM}}{C_{S\&K}} = \frac{1}{\left(2 + \frac{R}{R'}\right)} \frac{\left[m_2 \left(2 + \frac{R}{R'}\right) + 1\right]}{(m_2 + 1)} \quad (4-30)$$

Fig. 4-20: Relación de áreas.  
Para Q bajos, la relación entre áreas es tiende al valor de Q.



Observando (4-30) se puede ver que si  $m_2 \gg 1$  y además es  $m_2(2+R/R') \gg 1$ , entonces  $C_{TCM}/C_{S\&K}$  es aproximadamente la unidad, por lo que la única ganancia obtenida es nada más que complicación circuital.

En la Fig. 4-20 se representa la ecuación (4-30) para distintos valores de  $m_2$ ; se puede sacar como conclusión que la ganancia de área se hace efectiva para valores de Q pequeños (valores de  $m_2$  pequeños); para la configuración Butterworth ( $m_2=2$ ), se tiene una disminución de área de solo el 30% aproximadamente, dado que no se están teniendo en cuenta las resistencias extra que se necesitan en la configuración TCM. A medida que el Q del filtro disminuye, se puede observar también en la figura que su valor es aproximadamente el valor de la relación entre áreas.

El procedimiento de síntesis de las realizaciones TCM es distinto al de las realizaciones Butterworth. Se parte de suponer valores de Q menores que la unidad, donde la aproximación presenta grandes ventajas con respecto al área usada. Usando la atenuación en el borde de la banda de paso del filtro de CC, la cual está dada por el valor máximo del producto RC, se calculan distintos valores de  $\omega_1$  que cumplan con esta condición a partir de las siguientes ecuaciones:

$$T = \frac{\omega_1^2}{\omega_1^2 + s^2 + \frac{\omega_1}{Q}s} \quad (4-31\_a)$$

$$|T| = \frac{\omega_1^2}{\sqrt{(\omega_1^2 - \omega_c^2)^2 + \left(\frac{\omega_1}{Q}\omega_c\right)^2}} \quad (4-31\_b)$$

Una vez obtenida esta frecuencia, se calcula  $\omega_2$  a partir del valor RC mínimo:

$$\omega_2 = 2.25 \omega_1 \quad (4-32)$$

Fig. 4-21: Ejemplo de Filtro TCM.

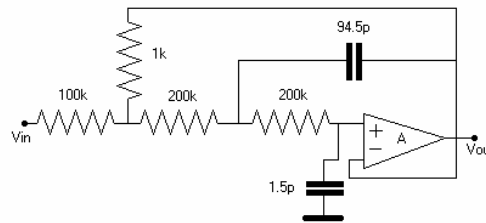
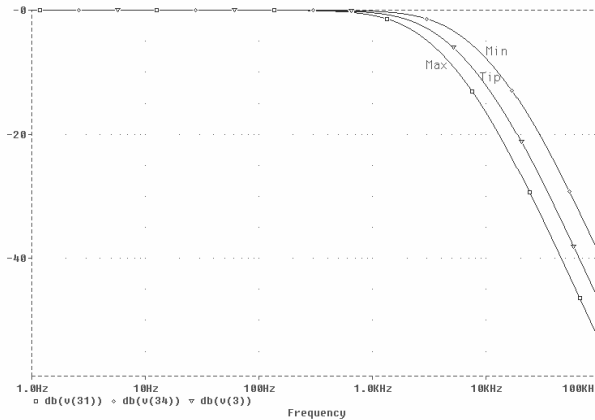


Fig. 4-22: Transferencias del ejemplo, para valores mínimos, típicos y máximos.



Luego se debe buscar el valor de  $Q$  que cumpla con la máxima atenuación en  $\omega_{CK}-\omega_{SC}$ , usando (4-31\_b) con  $\omega_2$  en lugar de  $\omega_1$ . El filtro se diseña con los valores típicos como en la ecuación (4-19).

#### EJEMPLO DE DISEÑO

Se pide diseñar un FAA que cumpla con:

- a)  $|T| = -0.01 \text{ dB} @ f_{sc}=100 \text{ Hz.}$
- b)  $|T| = -32 \text{ dB} @ f_{ck}-f_{sc}=60 \text{ KHz}$

Para un valor de  $Q = 0.393$  se obtienen las atenuaciones pedidas; en b) se usa una frecuencia 2.25 veces mayor que en a) para el cálculo de  $|T|$ , tal como indica (4-32). El valor de  $f_0$  calculado es 6.21 KHz. De (4-23) el valor de  $m_1$  es 63, por lo que usando  $R_1=200\text{K}$ , es  $C_1=1.5\text{pF}$  y  $m_1C_1=94.5\text{pF}$ ; el valor de  $R/R'$  usado es 100. El cociente de áreas entre las configuraciones TCM y S&K es 0.38!!♦

La Fig. 4-21 muestra el esquemático simplificado del filtro, mientras que en la Fig. 4-22 se muestran las simulaciones electricas en función de la frecuencia, para las funciones de transferencia obtenidas con los valores típicos, mínimos y máximos relacionados con la TABLA 4-I.

---

## §5 Circuitos de Aplicación

---

En este capítulo se presentan 3 nuevos circuitos que utilizan las estructuras descritas en capítulos anteriores. Se dan a conocer los aspectos más importantes de cada diseño, tanto a nivel circuital como constructivo. Puntos relevantes de las implementaciones son la reducción de área o la reducción de potencia consumida, según sea el caso. Todos los prototipos han sido construidos en tecnología analógica de bajo costo, provista con 2 niveles de metal y 2 de polisilicio.

En la sección §5.1 se presenta un nuevo tipo de multiplicador analógico CMOS de 4 cuadrantes, basado en técnicas de cancelación de términos cuadráticos. Se hace uso de los desplazadores flotantes de nivel presentados en la sección §2.1. Se dan a conocer también técnicas de caracterización y valores medidos de los prototipos.

En la sección §5.2 se puede encontrar la concepción de un nuevo filtro pasabajos OTA-C con control parcial de ganancia y frecuencia de corte por medio de tensión, para la gama de frecuencias de audio (DC~20kHz). En el mismo se han usado los amplificadores de transconductancia presentados en la sección §3.2. Se presentan las mediciones y datos del circuito construido.

En la sección §5.3 se tiene la realización de un nuevo convertor analógico/digital tipo *flash*, usando las técnicas pseudo-analógicas renovadas ya presentadas en la sección §2.2. Además, en el circuito se evita el uso de la cadena de resistencias necesaria para la generación de las referencias de tensión, reemplazándola por una cadena de desplazadores de nivel. Datos medidos corroboran la funcionalidad de la nueva arquitectura.

## §5.1 Multiplicador Analógico CMOS de 4 Cuadrantes

### INTRODUCCIÓN

Es bien conocido que un bloque no lineal clave en sistemas de procesamiento continuo de señales y de control es el multiplicador analógico, teniendo especial relevancia ya sea como elemento integrado dentro de un microsistema o como un circuito independiente. Generalmente tales dispositivos presentan diferentes requerimientos según sea la aplicación, como ser máximos rangos de voltaje de entrada y salida, máxima frecuencia de operación, distorsión y linealidad. Es por eso que en esta sección se dan las pautas de construcción para un multiplicador analógico de 4 cuadrantes construido en tecnología CMOS convencional, restringiendo su uso para frecuencias medias.

El desarrollo tiene como idea principal técnicas de substracción de corrientes, pensando en los dispositivos MOS trabajando en el régimen de inversión fuerte y en la zona de saturación, donde estos transistores presentan características de gran señal cuadráticas.

En los prototipos fabricados, mientras las entradas son simples la salida puede ser tanto simple como diferencial, aunque el circuito puede también admitir entradas totalmente diferenciales, haciéndolo por lo tanto, en principio, inmune a efectos de modo común.

### PRINCIPIO DE OPERACIÓN

La ecuación para la corriente de drenador de un transistor MOS en saturación está dada por (5-1); en la misma no se han tenido en cuenta los efectos de modulación de longitud de canal, mismos que serán comentados con posterioridad.

$$I_D = K(V_{GS} - V_T)^2 ; K = \frac{\mu C_{ox} W}{2 L} \quad (5-1)$$

Es posible plantear un multiplicador con tales transistores trabajando en gran señal si logramos cancelar términos cuadráticos y continuos por medio de sumas y restas de corrientes. La metodología de trabajo es en un principio suponer la ecuación de corriente ideal, ajustando luego las dimensiones efectivas de los dispositivos mediante simulaciones adecuadas.

Se parte de suponer la configuración mostrada en el esquemático simplificado de la Fig.5-1, donde todos los transistores son iguales (factor de transconductancia K).

Fig. 5-1: Esquema elemental de funcionamiento.

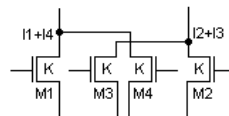


Fig. 5-2: Primera aproximación. Fuente  $V_b$  flotante e ideal.

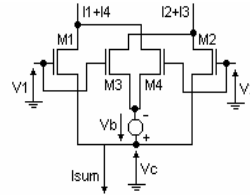
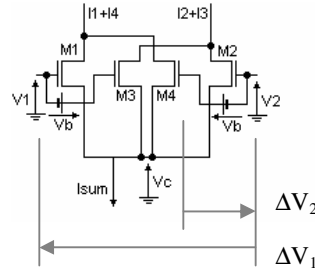


Fig. 5-3: Descomposición de la fuente  $V_b$  en 2 desplazadores de nivel.



De esta figura, considerando la ecuación (5-1) se tiene,

$$\begin{aligned} I_1 - I_2 &= K(V_{GS1} - V_{GS2})[V_{GS1} + V_{GS2} - 2V_T] \\ I_3 - I_4 &= K(V_{GS3} - V_{GS4})[V_{GS3} + V_{GS4} - 2V_T] \end{aligned} \quad (5-2)$$

Si es posible lograr que  $V_{GS1} - V_{GS2} = V_{GS3} - V_{GS4} = \Delta V_1$ , entonces se puede obtener  $V_{GS1} - V_{GS3} = V_{GS2} - V_{GS4} = \Delta V_2$ , por lo que ahora se puede plantear,

$$\begin{aligned} \Delta I &= (I_1 - I_2) - (I_3 - I_4) = (I_1 + I_4) - (I_2 + I_3) = \\ &= K(V_{GS1} - V_{GS2})(V_{GS1} - V_{GS3}) + (V_{GS2} - V_{GS4}) = \\ &= 2K(V_{GS1} - V_{GS2})(V_{GS1} - V_{GS3}) = 2K \Delta V_1 \Delta V_2 \end{aligned} \quad (5-3)$$

Una posible implementación puede ser como la ilustrada en la Fig. 5-2, donde  $I_{sum}$  es la suma de corrientes  $I_1 + I_2 + I_3 + I_4$  y  $V_c$  es un potencial de modo común (notar que  $-\Delta V_2 = V_b$ ). En esta configuración es posible observar el problema de necesitar una fuente de alimentación flotante ( $V_b$ ) difícil de realizar a razón de que la misma debe presentar características ideales y debe poder invertir su polaridad para la multiplicación en los 4 cuadrantes.

Un modo de resolver tal problema es descomponer  $V_b$  en 2 desplazadores de nivel como los ya explicados en sección §2.1, los cuales al no tener circulación de corriente a través de ellos pueden ser fácilmente implementados en tecnología CMOS considerando la alta impedancia de entrada de estos dispositivos. La nueva configuración es la de la Fig. 5-3. Es importante para no introducir errores, que ambos desplazadores sean idénticos, por lo que se requieren técnicas de *LAYOUT* analógico apropiadas.

Un problema adicional es que si el potencial  $V_c$  es fijo, entonces se tiene poca inmunidad frente a tensiones de modo común. Esto puede ser solucionado con el agregado de una fuente de corriente que polarice a los transistores en la zona de saturación, quedando entonces el circuito ilustrado por la Fig. 5-4.



Fig. 5-4: Inclusión de una fuente de corriente de polarización, para disminuir errores de modo común.

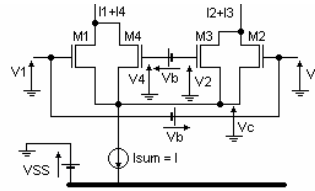
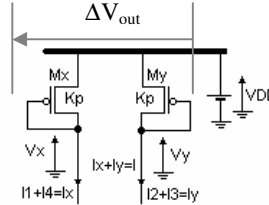


Fig. 5-5: Cargas activas que reemplazaran a resistencias de carga.



Operando algebraicamente en este último circuito, y considerando las ecuaciones anteriores, se puede demostrar que,

$$\left. \begin{aligned} I_1 + I_4 &= \frac{I}{2} + K \Delta V_1 \Delta V_2 \\ I_2 + I_3 &= \frac{I}{2} - K \Delta V_1 \Delta V_2 \end{aligned} \right\} \Delta I = -2K \Delta V_1 \Delta V_2 \quad (5-4)$$

Si se suponen iguales valores máximos de entrada ( $\Delta V_{1max} = \Delta V_{2max} = \Delta V_{max}$ ), entonces es posible obtener,

$$\frac{I}{K} > 6 \Delta V_{max}^2; \quad \Delta I < 2K \Delta V_{max}^2 \Rightarrow \Delta I < \frac{I}{3} \quad (5-5)$$

En base a esta última e importante conclusión se tiene que si se colocan como carga 2 transistores PMOS (con factor  $K_p$ ) en conexión diodo, la diferencia de tensiones a la salida presenta una ecuación similar a la de un par diferencial, y como la diferencia de corrientes que circulan es menor que 1/3 de la corriente total  $I$ , dicha diferencia de tensión será directamente proporcional a la diferencia de corrientes, como surge de la Fig.5-5 y las ecuaciones (5-6).

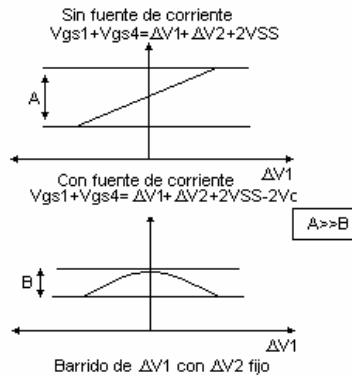
$$V_x - V_y = |V_{GSy}| - |V_{GSx}| = \Delta V_{out}$$

$$|I_x| = K_p (|V_{GSx}| - |V_{Tp}|)^2 \quad |I_y| = K_p (|V_{GSy}| - |V_{Tp}|)^2 \quad (5-6)$$

$$\sqrt{K_p} (|V_{GSy}| - |V_{GSx}|) = \sqrt{|I_x|} - \sqrt{|I_y|}$$

$$\Delta I \cong K_p \Delta V_{out} \sqrt{\frac{2I}{K_p}} \Rightarrow \Delta V_{out} < \sqrt{\frac{I}{18K_p}}$$

Fig. 5-6: Esquema de variación de tensiones de modo común para las configuraciones propuestas.



En lo que respecta a las corrientes es posible encontrar otra expresión que pone de manifiesto los efectos de la tensión de modo común (Fig.5-6) y que demuestra que el tener una fuente de corriente mejora enormemente las características de inmunidad del diseño,

$$\begin{aligned}
 I_1 + I_4 &= K \{ [(V_{GS1} + V_{GS4}) - V_T]^2 + V_T^2 - 2V_{GS1}V_{GS4} \} \\
 I_2 + I_3 &= K \{ [(V_{GS2} + V_{GS3}) - V_T]^2 + V_T^2 - 2V_{GS2}V_{GS3} \} \\
 V_{GS1} + V_{GS4} &= V_{GS2} + V_{GS3} = 2V_T + \sqrt{\frac{I}{K} - (\Delta V_1^2 + \Delta V_2^2)}
 \end{aligned}
 \tag{5-7}$$

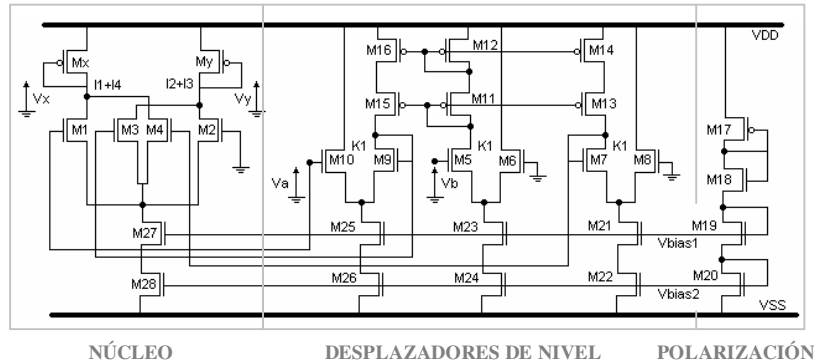
Es de notar que con fuente de corriente,  $V_{GS1}+V_{GS4}$  es menor, presenta menos variaciones y además es simétrica en comparación a la otra configuración (el *body effect* de los MOS con polarización de sustrato no nula desplaza levemente la curva hacia un lado). Un valor alto de la relación  $I/K$  mejora esta dependencia no lineal (disminuye), como surge de (5-7).

### DISEÑO

En esta sección se consideran algunos aspectos constructivos para el diseño integrado del circuito a nivel de *LAYOUT* [3] y a nivel de dimensionado [22].

- Todos los MOSFET se suponen en saturación, por lo que es válida la ecuación (5-1). A fin de cumplir esto es necesario un dimensionado adecuado.
- Despreciar el *body effect* a fin de simplificar los cálculos es una buena elección como punto de partida. El mismo debe ser tenido en cuenta en la etapa de simulación a fin de cumplir especificaciones eléctricas. Una consideración en lo que respecta al parámetro de modulación de longitud del canal es que la linealidad decrece cuando las longitudes de canal de los transistores que conforman los pares diferenciales de los desplazadores de nivel ( $M_5-M_{10}$ ) y de los transistores que conforman las restas de corriente ( $M_1-M_4$ ) son pequeñas, razón por la cual se debe incrementar el largo del canal de tales transistores.

Fig. 5-7: Esquemático final del circuito multiplicador de 4 cuadrantes.



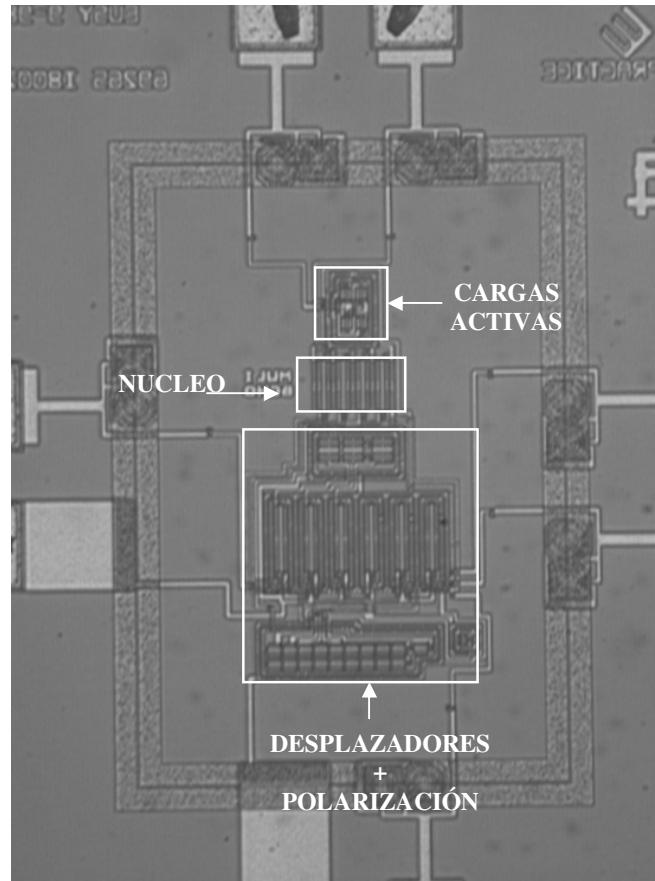
**TABLA 5-I**  
**DIMENSIONES DE TRANSISTORES**

Transistores	Razones (W/L)	Razones (S)
M <sub>1</sub> – M <sub>4</sub>	76 / 6	13.33
M <sub>5</sub> – M <sub>10</sub>	100 / 6	16.66
M <sub>11</sub> – M <sub>16</sub>	30 / 2.8	10.71
M <sub>17</sub>	8 / 2.8	2.86
M <sub>18</sub> – M <sub>26</sub>	20 / 6	3.33
M <sub>27</sub> – M <sub>28</sub>	5 * 20 / 6	16.66
M <sub>x</sub> – M <sub>y</sub>	2 * 18 / 2.8	12.86

- Una posible mejora de lo anterior podría ser el uso de pares diferenciales PMOS en pozos independientes, pero si no es necesaria una linealidad excesiva, esto puede ser obviado en vistas de conseguir una reducción de área activa usada.
- Para las copias de corriente de los desplazadores de nivel se usan configuraciones *cascode*, en virtud de su elevada impedancia de salida
- El hacer los transistores de entrada de dimensiones no mínimas, mas allá de las razones antedichas, mejora (disminuye) el nivel de ruido total del dispositivo.
- Los transistores conectados a PADS de entrada/salida deben tener doble anillo de guarda para protección contra *latch-up* (efecto cerrojo).
- Cuando sean usados PADS provistos por el fabricante en forma de *standard cells*, las conexiones de los anillos de alimentación de PADS no deben interrumpirse.

El circuito esquemático completo mostrado en la Fig. 5-7 fue desarrollado en tecnología analógica CMOS de 2 metales - 2 polisilicios y 2.4µm de mínima dimensión de longitud de transistor, aunque por sus características puede ser construido en cualquier tecnología digital no costosa. Se realizó un dispositivo de entradas simples, por lo que  $\Delta V_1 = V_a$  y  $\Delta V_2 = V_b$  como se observa en la figura. La TABLA 5-I muestra las dimensiones reales de los transistores, dado que esta tecnología, por haber sufrido un avance, presenta reducción fotolitográfica desde un proceso anterior, y los valores dibujados se ven afectados (multiplicados) por un coeficiente de 0.8. En la Fig. 5-8 se muestra una microfotografía del CHIP con detalles de sus partes constitutivas.

Fig. 5-8: Microfotografía del CHIP mostrando sus partes constitutivas.



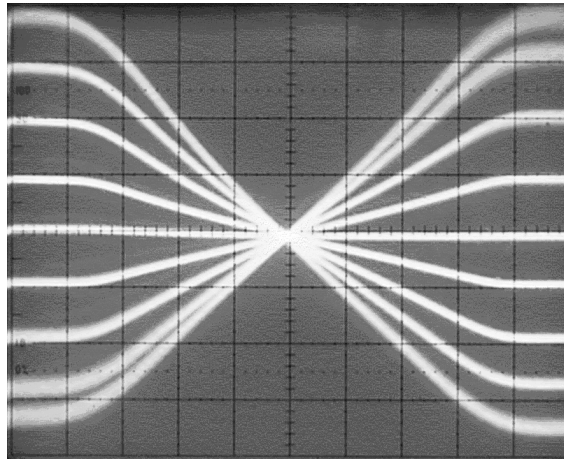
#### CARACTERIZACION

Un aspecto importante en la concepción de cualquier circuito es la caracterización u obtención de resultados experimentales que validen las características eléctricas de diseño, previamente obtenidas en etapas de simulación con dispositivos extraídos desde el *LAYOUT*. En este circuito son importantes la linealidad, la distorsión armónica, la máxima frecuencia de operación y parámetros eléctricos como ser el consumo de potencia [19].

A fin de obtener la linealidad del dispositivo se realizó el siguiente procedimiento: se dejó fija la entrada  $V_b$  a  $\frac{1}{2}$  del fondo de escala ( $0.25V_{DC}$  en este diseño) y se aplicó una onda triangular de 3 kHz a la entrada  $V_a$  con la misma amplitud de pico (la entrada  $V_a$  es la más sensible en lo que respecta a su respuesta en frecuencia y entonces es la que da las peores condiciones de funcionamiento). En la salida se obtuvo una onda triangular producto de la multiplicación de las entradas, la que fue restada de una onda triangular de la misma amplitud de pico, obteniéndose la diferencia y calculándose el error de linealidad máximo como el máximo valor de la diferencia sobre el valor máximo de la salida [7] [15]. El resultado obtenido fue menor que 2.5%.

Fig. 5-9: Características de transferencia DC.  
 $V_a$  varía entre  $(-0.5V, 0.5V)$ , con saltos en  $V_b$  de  $0.125V$

Nota: las indeterminaciones observadas en los trazos máximos son propias del sistema de medida.



En la Fig. 5-9 se observan las características de transferencia DC entre los valores máximos y mínimos de las entradas, obtenidas con un barrido de  $V_a$  entre  $(-0.5V, +0.5V)$  y saltos de  $V_b$  de  $0.125V$ , por medio de un trazador de curvas conectado a un osciloscopio. Observar que para valores de tensión de entrada cercanos a los límites máximos de diseño, el efecto substrato toma considerable importancia, desplazando las curvas y produciendo distorsión.

El procedimiento para obtener la distorsión armónica total fue aplicar en la entrada  $V_b$   $1/2$  del fondo de escala, mientras que por las mismas razones que las expuestas anteriormente en consideración a la linealidad, se aplicó en  $V_a$  una señal senoidal de  $1$  kHz y de la misma amplitud pico, observándose el contenido armónico en la salida por medio de un analizador de distorsión.

Además fue posible observar la salida por medio de un analizador de espectro, como se puede apreciar en la Fig. 5-10, donde la entrada  $V_b$  es igual a  $0.25V_{DC}$  y  $V_a$  es una señal senoidal de  $0.5V_{pp}$  @  $8.5MHz$ . Se obtuvieron todos los armónicos a más de  $35dB$  por debajo de la fundamental. La respuesta temporal de la salida para estas mismas señales se muestra en la Fig. 5-11.

Fig. 5-10: Espectro de frecuencias  
 $(V_a=0.25V @ 8.5 MHz, V_b=0.25V_{DC})$

Todos los armónicos a más de  $30dB$  por debajo de la fundamental.

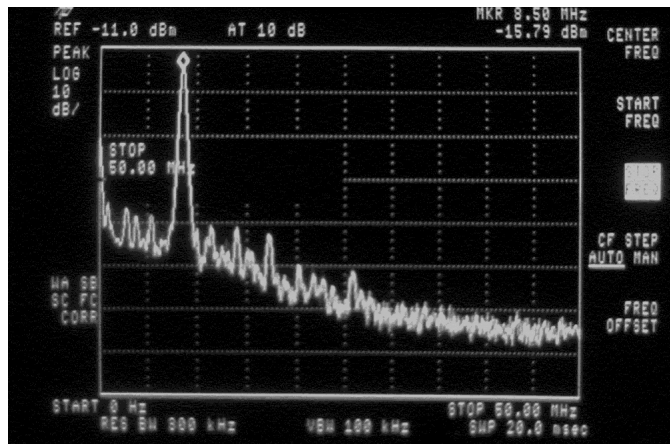
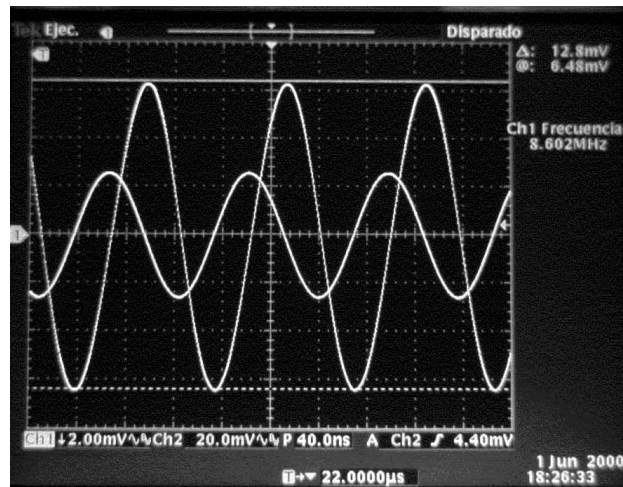


Fig.5-11: Respuesta temporal para las mismas señales que la figura anterior.



**TABLA 5-II**  
**MEDICIONES EXPERIMENTALES**

Alimentación	$\pm 5 \text{ V}$ ( $V_{DD} = -V_{SS}$ )
Potencia	9 mW.
BW (-3 dB)	> 5 MHz ( $C_L = 50 \text{ pF}$ )
Linealidad	< 2.5 % @ 3 kHz, ½ Fondo de escala ( $0.5 V_{pp}$ )
THD	< 1 % @ 1 kHz, ½ Fondo de escala ( $0.5 V_{pp}$ )
Area Usada	$\cong 0.18 \text{ mm}^2$ .
$V_a = V_b = V_{out\_dif}$	(Máximos valores de Entrada y Salida) $\pm 0.5 \text{ V}$

En todas las medidas se utilizó un *buffer*, a fin de incrementar el ancho de banda del circuito. Un resumen de las características eléctricas medidas y datos del diseño, se muestra en la TABLA 5-II.

## §5.2 Diseño de Filtros Pasabajos OTA-C Controlables por Tensión

### INTRODUCCIÓN

La obtención de un filtro con alta linealidad es muchas veces un tema importante en la síntesis de microsistemas analógicos de comunicaciones y audio. En la presente sección se pone de manifiesto el diseño *full-custom* de un filtro OTA-C (Transconductor-Capacitor) especialmente dedicado a la última gama de frecuencias (DC~20kHz), de una manera sencilla y modular [16], basado en el amplificador de transconductancia con alta relación de linealidad-potencia explicado en la sección §3.2.

La cantidad de transistores de dimensiones no mínimas integrados excede la centena, mientras que la capacidad total puesta en juego está en el orden de los 100 pF, ocupando alrededor de la mitad del área activa del núcleo del CHIP, el cual presenta un área total de aproximadamente 1 mm<sup>2</sup> y un consumo estático de potencia en el orden de 1 mW.

Técnicas cuidadosas de *LAYOUT* analógico han sido empleadas en el desarrollo, donde también han sido diseñadas las estructuras de entrada-salida (PADs). El circuito ha sido fabricado en una tecnología analógica de 2.4µm, con 2 polisilicios y 2 metales.

### PLANTEO DEL PROBLEMA

El esquema simplificado del cual se parte es presentado en la Fig. 5-12, donde se puede observar la cascada de 2 integradores iguales con pérdidas, lo que conlleva a un sistema de orden 2, o lo que es lo mismo, con atenuación de 40 dB/decada. Al ser ambas etapas similares el diseño integrado se modulariza, por lo que se simplifica considerablemente. Existen también 2 tensiones de control independientes, con las cuales es posible manejar parcialmente la ganancia o la frecuencia de corte del filtro, siendo particularmente una necesidad de diseño además de una ventaja. El problema antedicho surge puesto que este tipo de circuitos se basa fundamentalmente en los valores absolutos de componentes (en este caso capacitores y transconductores), en lugar de basarse en relaciones como lo indica un buen diseño analógico. Esta técnica puede presentar por lo tanto errores en el orden del 20% con respecto a los parámetros de diseño, de ahí la importancia de poseer variables de control para la calibración del filtro, y el porqué de hacer simulaciones intensivas con los 3 juegos de valores dados por el proveedor de la tecnología de fabricación (mínimo, típico y máximo).

Fig. 5-12: Esquema simplificado del filtro continuo desarrollado.

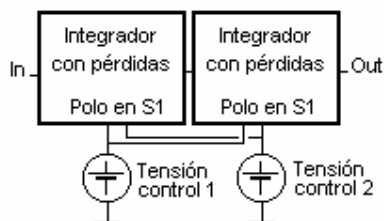
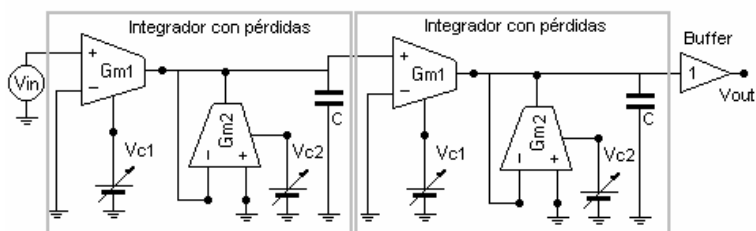


Fig. 5-13: Circuito esquemático simplificado.



Para el desarrollo se parte de un filtro continuo RC, realizando su equivalente en forma continua OTA-C, donde las resistencias serán sintetizadas por medio de OTAs realimentados y la constante de tiempo de cada integrador estará dada por el valor de dicha resistencia y el valor de un capacitor de integración. Es de notar que constantes de tiempo altas, equivalentes a frecuencias de corte bajas, necesitan grandes valores RC, de donde, a fin de minimizar área en el microcircuito se hace necesario el uso de transconductores especialmente diseñados a tal fin. Como límite integrable de capacidad se usa comúnmente un valor de aproximadamente 50pF~100 pF.

#### EL CIRCUITO

Como se observa en la Fig. 5-13, existen 2 transconductores y un capacitor por cada celda. Los transconductores ya han sido explicados, y son controlados por medio de 2 tensiones diferentes, mientras que los capacitores son integrados en el CHIP. Las tensiones de control presentes dependen del tipo de transconductor utilizado; en este diseño varían entre  $\pm 0.4V$ , dando una variación de transconductancia que oscila entre 7.3uS y 5uS, con valor nominal de 6.125uS ( $V_c=0$ ). Lo anterior equivale, en el caso de las resistencias sintetizadas, a valores entre 137k $\Omega$  y 200k $\Omega$ , con un valor nominal de 163 k $\Omega$ .

Es condición necesaria que el ancho de banda de los OTA sea mucho mayor que la frecuencia de corte del filtro. Bajo esas condiciones, la respuesta frecuencial de los integradores con pérdidas estará dada por,

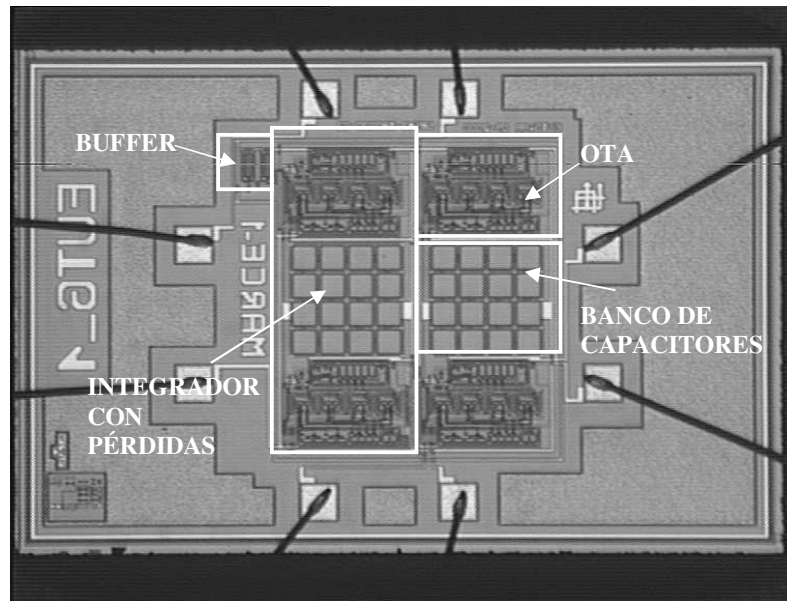
$$\left. \frac{V_{out}}{V_{in}} \right|_{\text{integrador con pérdidas}} = \frac{g_{m1}}{g_{m2}} \frac{1}{1 + \frac{sC}{g_{m2}}} \quad (5-8)$$

La ganancia puede ser modificada con  $g_{m1}$ , dependiente de la *tensión de control 1*, y con  $g_{m2}$ , la cual varía con la *tensión de control 2* y además maneja la constante de tiempo de la etapa.

En la Fig. 5-14 se presenta la microfotografía correspondiente al circuito total. Se puede observar que el circuito integrado puede ser dividido en 2 mitades simétricas, donde cada una de las mismas es uno de los integradores con pérdidas. Las capacidades usadas en cada etapa son de aproximadamente 47 pF, y son realizadas con la superposición de las 2 capas de polisilicio disponibles en esta tecnología analógica. Los bancos capacitivos son réplicas de un capacitor de valor unitario, conformando matrices de 4 x 4 unidades conectadas en paralelo.



Fig. 5-14: Microfotografía del Circuito Integrado, mostrando algunas de sus partes constitutivas.



Aunque no existe necesidad de apareamiento de componentes, si existe la necesidad de proteger al circuito frente a corrientes parásitas por el sustrato las cuales pueden dar lugar a *latch-up*, por lo que se hace necesario el colocar una elevada cantidad de contactos de polarización cada una determinada distancia máxima estipulada por la tecnología, de ahí que para poder insertar estos contactos deba partirse la estructura capacitiva.

Basados en la alta impedancia de los OTA diseñados es que la cascada de las 2 etapas es posible, por lo que la transferencia total es la multiplicación de la de cada uno de los integradores, como se muestra en (5-9)<sup>1</sup>:

$$\frac{V_{out}}{V_{in}} = \left[ \frac{g_{m1}}{g_{m21}} \frac{1}{1 + \frac{sC}{g_{m21}}} \right] \left[ \frac{g_{m2}}{g_{m22}} \frac{1}{1 + \frac{sC}{g_{m22}}} \right] \quad (5-9)$$

A la salida del CHIP se colocó un *buffer*, el cual es un amplificador no inversor realizado con 2 PMOS iguales de razones 100/5, y con polarización externa al circuito integrado. La idea de colocarlo es la de separar el capacitor de integración de la 2ª etapa de cualquier capacidad parásita, de PAD o de carga, con el fin de no influenciar la transferencia.

## RESULTADOS EXPERIMENTALES

En esta sección se presentan los resultados experimentales medidos del filtro, los que concuerdan muy bien con los resultados de simulación, corroborando el funcionamiento del circuito integrado.

<sup>1</sup> Los subíndices 1 y 2 se tienen por el integrador 1 o 2

En la Fig. 5-15 se presenta la característica del filtro para gran señal, luego de haber ajustado la ganancia y desactivado el valor de tensión continua de la etapa de salida, pudiéndose observar un rango lineal de entrada en el orden de los 2V. La Fig. 5-16 muestra el espectro de salida para una señal de (0.3V<sub>DC</sub>+0.6V<sub>pp</sub> @ 10kHz), donde es posible ver el bajo contenido armónico del circuito, teniendo el 2° y 3° armónico a más de 40 dB por debajo de la fundamental.

Fig. 5-15: Transferencia DC del filtro (salida desactivada del valor de continua del *buffer*)

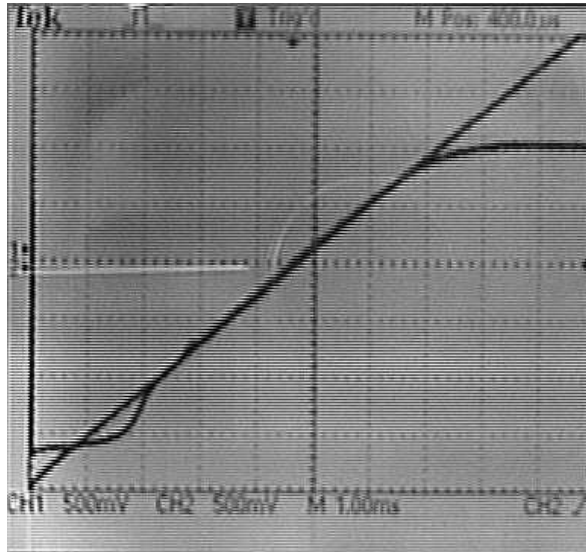


Fig. 5-16: Espectro de salida para una señal de entrada de 0.3V<sub>DC</sub>+sin(0.6V<sub>pp</sub> @ 10kHz)

2° armónico 45 dB debajo de la fundamental, 3° armónico 46 dB por debajo.

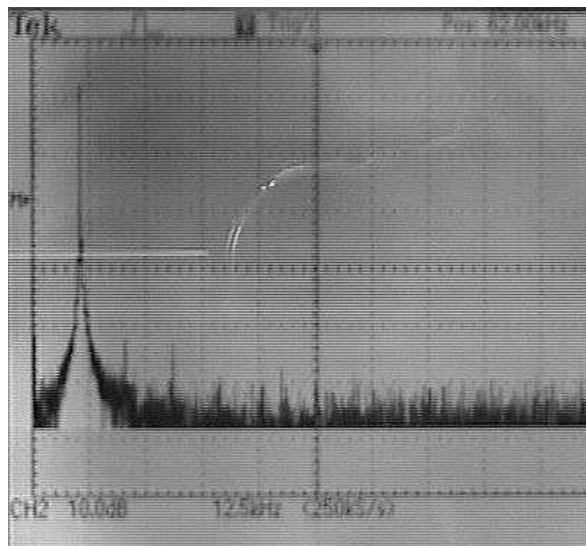


Fig. 5-17: Respuesta AC para una señal de frecuencia variable,  $-0.3V$  de *offset* y  $0.6V_{pp}$  de amplitud, variando ambas tensiones de control a la vez (variación de frecuencia de corte)

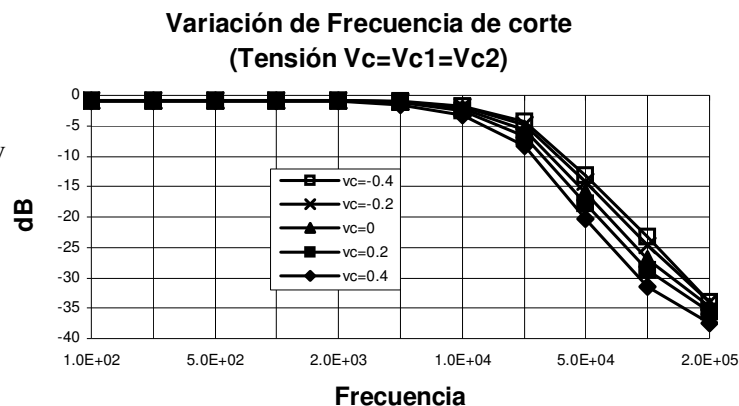
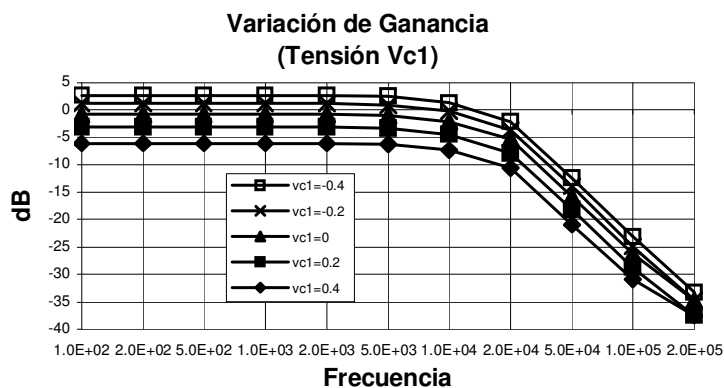


Fig. 5-18: Respuesta AC para una señal de frecuencia variable,  $-0.3V$  de *offset* y  $0.6V_{pp}$  de amplitud, variando la tensión de control 1 (variación de ganancia)



Variando ambas tensiones de control en forma conjunta, la Fig. 5-17 demuestra el cambio que aparece en la frecuencia de corte, observándose una variación de aproximadamente una octava, entre los 10kHz y los 20kHz. Variando la *tensión de control 1* se obtienen las curvas de la Fig. 5-18 (variación de la ganancia), donde se presenta un ajuste aproximado de 8dB. En todos los casos, las tensiones de control variaron entre  $\pm 0.4V$ .

## §5.3 Conversores A/D tipo *Flash*, sin Cadena de Resistencias

### INTRODUCCIÓN

El masivo uso de sistemas digitales trae aparejado tácitamente la conversión de señales del mundo externo, por lo general de carácter continuo tanto en amplitud como en el tiempo, al dominio de los datos muestreados, es por eso que se hace necesario el disponer de sistemas que realicen la mencionada conversión muchas veces de manera rápida. Por otro lado, lo primordial en los nuevos diseños de electrónica integrada es la reducción ya sea de área o de potencia consumida en el Circuito Integrado. Pensando en estos puntos de vista es que en esta sección se presentará una nueva concepción para un ADC tipo *Flash*, de 3 bits, donde se hacen uso de técnicas pseudo-analógicas, combinándolas con nuevas configuraciones que utilizan los desplazadores flotantes de nivel en lugar de una cadena de resistencias [18]; ambos subcircuitos ya han sido presentados en las secciones §2.1 y §2.2.

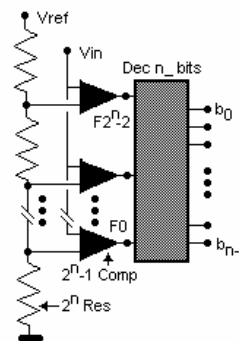
### IDEAS BÁSICAS

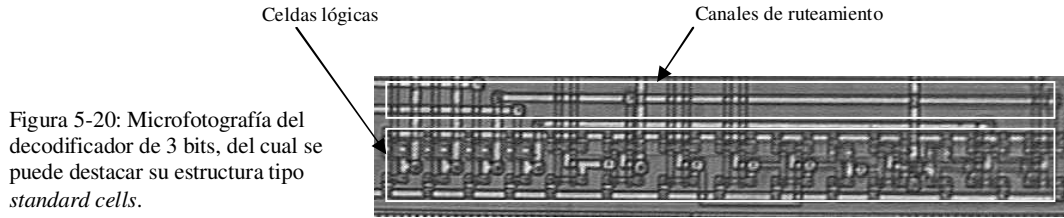
Partiendo del diagrama esquemático de un ADC tipo *Flash*, mostrado en la Fig. 5-19, es que se irán comentando las nuevas ideas. En esta clase de conversores, para una conversión a  $n$  bits se requieren  $2^n - 1$  comparadores,  $2^n$  resistencias y un decodificador (que además retenga los datos de las comparaciones anteriores) para obtener la salida digital deseada.

#### A. Los Comparadores:

Para 3 bits, los 7 comparadores usados son los mismos que han sido referenciados en la sección §2.2 junto con la generación de relojes internos del CHIP, derivados éstos de una referencia temporal externa, la cual puede ser un oscilador a cristal, o como en el caso de las pruebas realizadas en el CHIP fabricado, un vector generado por medio de un analizador lógico.

Figura 5-19: Esquema simplificado de un conversor A/D tipo *Flash* de  $n$  bits.





**B. El Decodificador:**

El decodificador, para el convertor de 3 bits, debe responder a los valores presentes en la TABLA 5-III; en esta tabla  $F_i$  y  $b_i$  son los representados en la Fig. 5-19. Su síntesis está dada por la ecuación (5-10),

**TABLA 5-III – DECODIFICADOR DE 3 BITS**

$F_6$	$F_5$	$F_4$	$F_3$	$F_2$	$F_1$	$F_0$	$b_2$	$b_1$	$b_0$
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0
0	0	0	0	1	1	1	0	1	1
0	0	0	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

$$\begin{aligned}
 b_2 &= F_3 \\
 b_1 &= \left( F_1 \& \bar{F}_3 \right) + F_5 \\
 b_0 &= \left( F_0 \& \bar{F}_1 \right) + \left( F_2 \& \bar{F}_3 \right) + \left( F_4 \& \bar{F}_5 \right) + F_6
 \end{aligned}
 \tag{5-10}$$

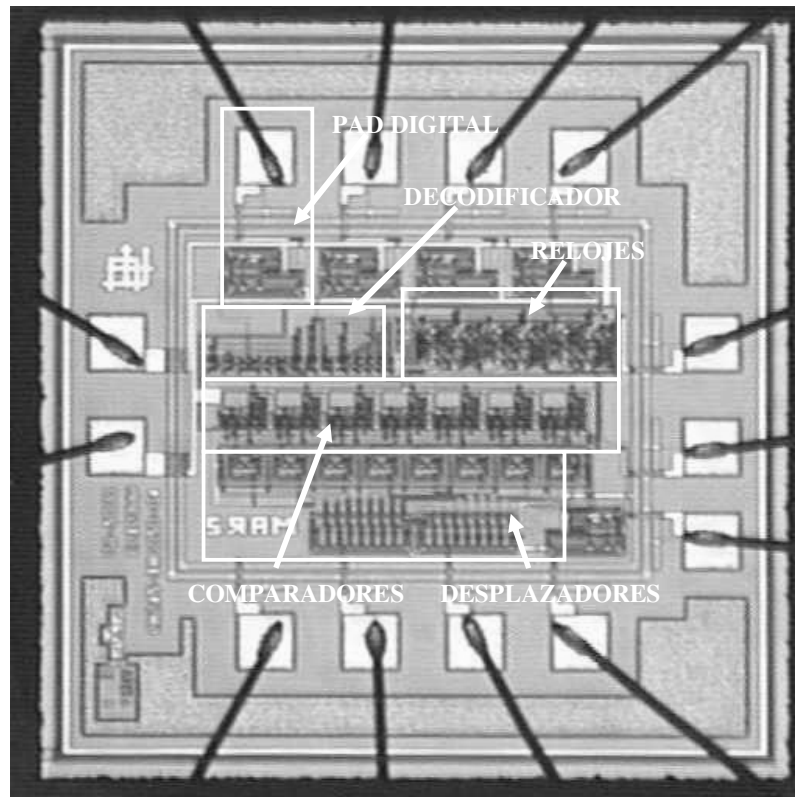
Este subcircuito digital se ha implementado usando un conjunto de celdas digitales estándar diseñadas a tal fin, las cuales conforman parte de una pequeña biblioteca realizada en tecnología MTC20. Una microfotografía de este diseño se puede observar en la Fig. 5-20, donde también se puede apreciar la estructura de diseño modular o de *standard cells* [27] [26].

**C. La cadena de Desplazadores de Nivel**

Como se puede observar en la Fig. 5-19, este tipo de convertidores depende de un divisor resistivo conformado por una cadena de resistencias puestas a un potencial de referencia ( $V_{ref}$ ). En esta nueva implementación se hizo uso de los desplazadores diferenciales de nivel citados en la sección §2.1, conectados en cadena, como lo ilustra la Fig. 5.21.



Figura 5-22: Microfotografía del circuito completo, detallando las distintas partes constitutivas del mismo.



- El *LAYOUT* ha sido desarrollado íntegramente con un *software* de libre distribución (*LASI*), para el que se han escrito las reglas de diseño necesarias para la comprobación *DRC* (*Design Rule Checker*).

#### MEDICIONES EXPERIMENTALES

Con el fin de validar el circuito, una serie de mediciones fueron realizadas con el mismo, haciendo uso de una *máquina de test* (o *analizador lógico*) y circuitería discreta extra [28].

En los experimentos fue usada una diferencia de tensión  $V_{DD}-G_{ND}$  provista por una alimentación simple de 5V. Se usó un reloj de 2.5 MHz, y el paso ( $\Delta$ ) fue fijado en 100 mV. Como señal de entrada se utilizó un *diente de sierra* de 20 kHz, 2.8V<sub>pp</sub>, y con un *offset* de 2V. La Fig. 5-23 muestra los datos obtenidos con un analizador lógico para estos valores. Es de notar que las frecuencias de la señal de entrada y del reloj fueron incrementadas hasta 100 kHz y 10 MHz respectivamente, sin ningún tipo de problema. La corriente estática fue fijada en alrededor de 250  $\mu$ A, esto fue hecho con resistores externos al CHIP y no existe problema en bajar aún mas este consumo, teniendo en cuenta que existirá una disminución de la frecuencia de operación en el circuito.

Fig. 5-23: Salida del Analizador Lógico. La señal de entrada es un diente de sierra de 20kHz.

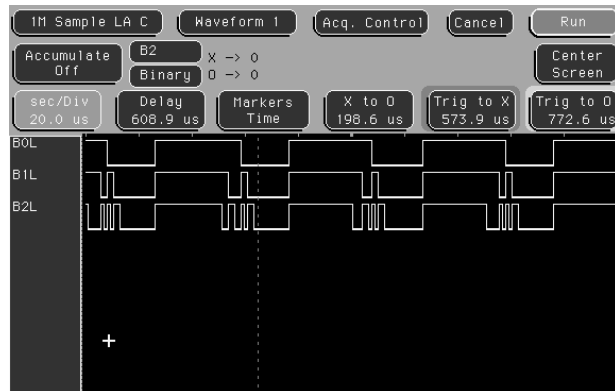
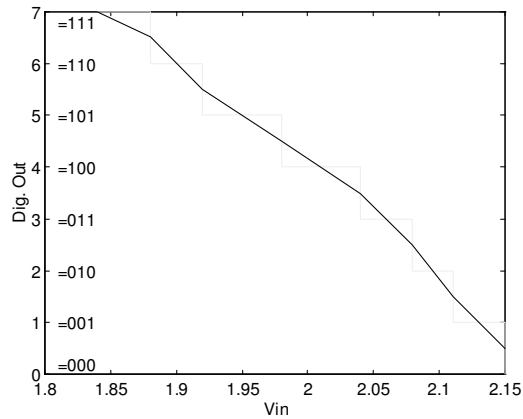


Fig. 5.24: Transferencia del Conversor Analógico/Digital, mostrando la no linealidad existente.



La Fig. 5-24 muestra la transferencia del ADC. Debe ser notado que existe una no linealidad intrínseca debida al desapareamiento de transistores en los desplazadores flotantes de nivel, y debida también a procesos de inyección de carga de las llaves de los comparadores dinámicos. También es observado que el *offset* de los desplazadores reduce los pasos  $\Delta$ .

De lo anterior se desprende que nuevas técnicas de diseño pseudo-analógico junto con nuevas ideas de circuitos analógicos brindan una arquitectura para la concepción de ADCs con reducción de área y potencia, habiendo probado la misma ser funcional. El trabajo futuro es extender el número de bits de conversión, mejorar la linealidad, y aumentar la frecuencia de operación de este circuito.



---

## §6. Conclusiones

---

El diseño de Circuito Integrados analógicos es de por si un tema de creciente importancia y gran actualidad a diferencia de lo que comúnmente se cree, estando presente en todos los desarrollos integrados actuales de una u otra forma, ya sea en estructuras analógicas puras o en etapas previas y posteriores a una conversión digital, donde aún en este último tipo de síntesis se tiene también como substrato el conocimiento de dispositivos analógicos para la modelización e implementación de arquitecturas complejas.

Las ventajas que presenta este tipo de diseño no están particularmente en su simpleza al nivel de cálculos y consideraciones, dado que aún para el desarrollo mas pequeño existen por lo general más variables que ecuaciones, estando éstas fuertemente interrelacionadas casi siempre en forma no lineal. La pregunta entonces es ¿porqué seguir con esta metodología?, y la respuesta se basa simplemente en que el mundo en si mismo es analógico, siendo las magnitudes continuas en los espacios y en el tiempo, por lo que se hace imperioso el conocimiento de esta rama de la ingeniería. Otra posible pregunta puede ser ¿colocando dispositivos (convertidores) que "lleven y traigan" los datos del mundo externo al mundo digital, porque no simplificar la tarea de esta manera?, esto en realidad es la tendencia actual, pero existen 2 principales razones de seguir con el estudio detallado en temas analógicos: la primera es que los sistemas de conversión actúan como interfaces entre los 2 mundos antedichos, por lo que obligatoriamente deben de tener "partes continuas" que deben ser estudiadas e implementadas en forma cada vez mas precisa; la segunda razón es que gran cantidad de veces las arquitecturas analógicas dan los requerimientos de precisión y/o velocidad vs. potencia necesarios sin tener que complicar el proceso por los pasajes analógico/digital y digital/analógico antes mencionados. Un último punto de consideración es que existen casos en los que las estructuras analógicas son imprescindibles, como ser en algunos sistemas de comunicaciones de alta frecuencia, acondicionamiento de señales provenientes de sensores, etc.

En el presente trabajo se trató el tema del diseño analógico con una orientación a los microsistemas. Aunque en estos sistemas pueden convivir señales de casi cualquier especie, se orientó el tema fundamentalmente al área de micropotencia y especialmente se apuntó a la franja de trabajo que cubre frecuencias medias y bajas. Las razones fundamentales son que se pensó desde un principio en sistemas implantables o que puedan ser alimentados remotamente sin baterías. En vista de lo anterior es que se hace necesario el conocimiento a fondo de los dispositivos trabajando en regímenes de operación que por lo general no son tenidos en cuenta en otros tipos de diseño. Previo al desarrollo que se presenta se tenía una formación primigenia en temas de síntesis de CIs analógicos y digitales, por lo que en las secciones/capítulos de este escrito no se tratan temas elementales sino que se dan a conocer estructuras novedosas que solucionan problemas específicos, con una manera de síntesis del tipo *bottom-up*, es decir, partiendo de estructuras elementales pero complejas se crece en las construcciones usando como bloques base a circuitos anteriores.

---

Siempre que se pudo se realizó la integración en silicio de las estructuras, para posteriormente implementar los pertinentes sistemas de medición que corroboraran las nuevas ideas por medio de datos experimentales. En otros casos sólo se realizaron simulaciones a conciencia que pusieran de manifiesto las ventajas de los nuevos esquemas circuitales, realizando consultas con especialistas internacionales en el tema y dándose además a conocer aspectos técnicos y fundamentos específicos para la construcción de tales estructuras en forma integrada.

En una forma un poco más detallada, las novedades que se ponen de manifiesto en este trabajo se resumen a continuación:

Como bloques llave para las construcciones se presenta en la sección §2.1 un nuevo tipo de desplazador de nivel del tipo flotante, basado en pares diferenciales MOS, el cual puede trabajar con tensiones "desplazadas" y "para desplazar" en los 4 cuadrantes, mientras que en la sección §2.2 se puede encontrar una nueva implementación integrada para reducción de área y potencia en bloques del tipo comparador-cerrojo pseudo-analógicos.

Un paso siguiente en complejidad es la realización de amplificadores integrados, por lo que en la sección §3.1 se trata el tema de una nueva arquitectura para Amplificadores Operacionales de Transconductancia (OTA) los que están basados en técnicas de polarización dinámica y trabajan en el régimen de inversión débil. Se muestran las implementaciones para 2 amplificadores, presentando uno salida simple y el otro salida diferencial; ambos responden a un núcleo común por lo que son viables para un diseño modular. Las estructuras de PADs son tratadas como así también aspectos adicionales de diseño. En la sección §3.2 se da a conocer otro nuevo tipo de OTA, el cual tiene control lineal de su transconductancia y presenta además un elevado rango de entrada donde el dispositivo trabaja en forma lineal. Este circuito está basado en el uso de los desplazadores flotantes de nivel ya mencionados.

Como los sistemas de capacidades conmutadas son altamente importantes en procesamiento de señales de baja frecuencia, también se presentan 2 secciones dedicadas a la reducción de área y consumo de potencia de tales circuitos por medio de configuraciones novedosas. En la sección §4.1 se muestra una nueva forma de concepción para el diseño de filtros de capacidades conmutadas en forma exacta, con una reducción de área/potencia debida a la multiplexación temporal de amplificadores operacionales. En la sección §4.2 se da a conocer un estudio de reducción de área en los filtros continuos de antialias y de suavizado, obteniéndose nuevas conclusiones para el principio de TCM o *multiplicación de constante de tiempo*.

Teniendo como base a los anteriores diseños es que en el último capítulo se presentan 3 nuevos circuitos de aplicación que usan tales estructuras integradas, mostrándose los aspectos más importantes a nivel circuital y constructivo para cada uno. En todas las realizaciones aparecen la reducción de área y/o potencia consumida según sea el caso. Los prototipos de estas configuraciones novedosas han sido construidos en tecnología analógica de bajo costo, provista con 2 metales y 2 polisilicios. En la sección §5.1 se trata un nuevo tipo de multiplicador analógico de 4 cuadrantes, basado en técnicas de cancelación de términos cuadráticos, haciendo uso de los desplazadores flotantes de nivel presentados en la sección §2.1. Se dan a conocer también técnicas de caracterización y valores medidos de los prototipos. En la sección §5.2 se puede encontrar la concepción de un nuevo filtro pasabajos OTA-C para la gama de frecuencias de audio, presentando control parcial de ganancia y frecuencia de

---

corte. En el mismo se usan los amplificadores de transconductancia presentados en la sección §3.2. Se muestran las mediciones y datos del circuito construido En la sección §5.3 se presenta la realización de un nuevo conversor analógico/digital tipo *flash* usando las técnicas pseudo-analógicas renovadas ya presentadas en la sección §2.2. Además, en el circuito se evita el uso de la cadena de resistencias necesaria, reemplazándola por una cadena de los ya mencionados desplazadores de nivel. Datos medidos corroboran la funcionalidad de la nueva arquitectura, como así también muestran elementos a mejorar en implementaciones futuras de conversión.

Resumiendo, se lograron novedosos desarrollos de sistemas analógicos integrados para bajas y medias frecuencias, con bajo consumo de potencia y área, todo con una orientación a los microsistemas. Se adquirió una sólida formación en lo que respecta al diseño de circuitos integrados además de una vasta experiencia; ambos puntos son de fundamental importancia en esta materia, dado que un Ingeniero que trabaje en esta disciplina está destinado a dar soluciones económicas e innovadoras pero con la restricción de cortos tiempos de diseño y puesta a punto. Un tema importante con relación a lo último es que el diseño analógico no es único, existiendo todos los días nuevas formas de realizar el mismo procesamiento electrónico de una manera mejor, por lo que las arquitecturas dependen sensiblemente del método de síntesis usado y éste a su vez depende de las restricciones impuestas por el problema a solucionar. Lo que se quiere decir con lo anterior es que este estudio no termina aquí, sino que esto es solo el comienzo para profundizar en un tema que evoluciona continuamente, por lo que el trabajo futuro es perfeccionar y ahondar cada vez más en el tema del diseño analógico, incorporando, y por que no generando, nuevos desarrollos que apunten a otras estructuras bajo esta temática.

---

## §Apéndice 1. Símbolos Utilizados

$\Delta$ : tensión de paso  
 $\alpha$ : factor de atenuación  
 $\beta$ : ganancia del dispositivo MOS  
 $\phi_i$ : fase  $i$  de reloj  
 $\eta$ : pendiente de conducción sub-umbral  
 $\lambda$ : factor de modulación de longitud de canal  
 $\mu_{n(p)}$ : movilidad de electrones (huecos)  
 $\omega_i$ : frecuencia angular  $i$ -ésima  
 $\omega_0$ : frecuencia angular de corte (-3 dB)  
 $A$ : ganancia de baja frecuencia  
 $C_{gs}$ : capacidad puerta-fuente  
 $C_{gd}$ : capacidad puerta-drenador  
 $CMRR$ : relación de rechazo de modo común  
 $C_{db}$ : capacidad drenador-substrato  
 $C_{sb}$ : capacidad fuente-substrato  
 $C_L$ : capacidad de carga  
 $C_{ox}$ : capacidad de óxido de puerta por unidad de área  
 $f_{ck}$ : frecuencia de reloj  
 $GBW$ : ancho de banda de ganancia unitaria  
 $g_{di}$ : conductancia de salida del  $i$ -ésimo dispositivo  
 $g_{mi}$ : transconductancia del  $i$ -ésimo dispositivo  
 $G_{ND}$ : tierra del circuito  
 $I_D$ : corriente de drenador  
 $I_S$ : corriente específica  
 $K$ : factor de transconductancia del dispositivo MOS ( $K = \mu C_{ox} S / 2$ )  
 $L$ : Longitud efectiva del dispositivo MOS  
 $M_i$ : MOSFET  $i$ -ésimo  
 $n$ : número de bits  
 $PSRR$ : relación de rechazo de alimentación  
 $r_o$ : resistencia de salida  
 $S$ : factor de forma del dispositivo ( $S = W/L$ )  
 $T$ : periodo de reloj ( $1/f_{ck}$ )  
 $THD$ : distorsión armónica total  
 $U_T$ : potencial equivalente de la temperatura  
 $V_{DD}$ : alimentación positiva del circuito  
 $V_{DS}$ : tensión drenador-fuente  
 $V_{esc}$ : tensión de escape  
 $V_{GS}$ : tensión puerta-fuente  
 $V_{SS}$ : alimentación negativa del circuito  
 $V_T$ : tensión umbral del dispositivo MOS  
 $W$ : Ancho efectivo del dispositivo MOS  
 $Z_{in}$ : impedancia de entrada

## §Apéndice 2. Consideraciones de Diseño y Geométricas (*LAYOUT*)

### INTRODUCCIÓN

El desarrollo de circuitos integrados analógicos de precisión requiere de técnicas de diseño elaboradas, a fin de minimizar errores propios del proceso de fabricación y de las características no ideales de los dispositivos.

Desde el punto de vista constructivo de los circuitos existen 2 errores fundamentales, siendo uno el sistemático, que puede ser evaluado y minimizado durante el proceso de diseño, y el otro, del tipo aleatorio, el cual solo puede ser minimizado bajo ciertas consideraciones, estando relacionado con las tolerancias intrínsecas propias de los procesos de fabricación. Existe un componente extra de ruido, que también debe ser tenido en cuenta.

Un buen diseño analógico exige que se trabaje con relaciones de parámetros, los cuales luego de un "buen *LAYOUT*" pueden presentar errores relativos tan pequeños como de 0.1%. Por otra parte, el trabajar con valores absolutos de componentes puede dar lugar a errores absolutos que oscilen entre un 10% y un 30% del valor nominal, razón por la cual, los circuitos que trabajen en esta última manera deben poseer variables para su calibración.

### ERRORES DE DISEÑO

A fin de minimizar errores, las dimensiones en diseños analógicos no deben ser mínimas. A continuación se dan a conocer algunos aspectos importantes relacionados con consideraciones eléctricas en relación a esto.

#### A.1 Longitud y ancho de canal

De la longitud efectiva del canal de un transistor depende casi fundamentalmente si el componente se comporta en una manera más o menos ideal en saturación. Existe un parámetro que modeliza el llamado *efecto de modulación de longitud de canal* ( $\lambda$ ) y que responde aproximadamente a [3],

$$\lambda = \frac{K\lambda}{L \sqrt{N}} \quad (\text{A-1})$$

donde  $K\lambda$  es una constante de proporcionalidad,  $L$  es la longitud efectiva y  $N$  es el nivel de dopaje del material base. En vista de esto, es que el uso de dispositivos "largos" mejora (disminuye) este parámetro. En una tecnología de pozo-N, los PMOS presentan ventajas frente a los NMOS, en virtud del mayor dopaje de substrato local.

Por otro lado, la disminución de canal produce una disminución del potencial umbral ( $V_T$ ) en una forma cúbica inversa de  $L$ , mientras que la disminución del ancho del canal produce un aumento del potencial umbral ( $V_T$ ), en una forma inversamente proporcional a  $W$ .

### B.1 Consideraciones de Ruido

El ruido resistivo o térmico en el canal, modelizado como una fuente de corriente, al ser referido a la entrada (puerta del dispositivo), pasa a ser una tensión con un valor cuadrático medio inversamente proporcional a la transconductancia y directamente proporcional a la temperatura absoluta. El aumentar la relación (W/L) equivale a un aumento de la transconductancia del transistor, reduciendo por ende este tipo de ruido.

La tensión de ruido 1/f o ruido *flicker* a la entrada es inversamente proporcional al área del transistor, siendo en forma aproximada,

$$V_{n_{1/f}}^2 = \frac{K_{1/f}}{WLC_{ox}} \frac{1}{f} \quad (A-2)$$

donde  $K_{1/f}$  [V<sup>2</sup> F] es una constante de proporcionalidad dependiente del proceso tecnológico, presentando valores 2 a 3 órdenes de magnitud menores para PMOS que para NMOS. En vista de lo anterior es que en etapas de ganancia de bajo ruido los transistores de entrada deben de ser PMOS.

Como conclusión se puede decir que el hacer transistores de grandes dimensiones, en forma intuitiva, provee una independencia relativa de parámetros físicos-eléctricos, dado que se ven minimizados efectos de 2º orden a la par que disminuye el ruido propio de los dispositivos.

### ERRORES DE FABRICACIÓN

Errores típicos de fabricación surgen fundamentalmente de la anisotropía<sup>1</sup> del sustrato sobre el cual se desarrollan los dispositivos, además de gradientes en los procesos de difusión y oxidación, que pueden ser considerados en una aproximación de 1º orden como lineales con la longitud.

A continuación se enumeran ciertas técnicas de minimización de errores, mostrando estructuras geométricas capaces de lograrlo.

#### A.2 Substrato anisotrópico

La circulación de corriente por el sustrato no es igual en todas direcciones, esto es, el sustrato presenta una resistividad diferente dependiendo de la orientación del dispositivo. En la Fig. A-1 se muestra una posible manera de solucionar el problema para 2 transistores acoplados en fuente (parte de un par diferencial). La circulación de corriente por los 2 dispositivos es en el mismo sentido.

Otra manera, un poco más complicada, y que puede ser usada también para estructuras de componentes pasivos, es la técnica centroide común como la mostrada en la Fig. A-2, en la cual se observa la descomposición en 2 mitades para cada dispositivo alrededor del centroide de la estructura. Considerando una dependencia lineal con la distancia de los procesos físicos de fabricación, por ejemplo el crecimiento del óxido de puerta como ejemplifica la figura, esta configuración produce una cancelación de 1º orden en los ejes de simetría.

<sup>1</sup> Material anisotrópico es aquel que presenta distintas características en diferentes direcciones.

Fig. A-1: Forma geométrica de un par diferencial para minimizar efectos de sustrato anisotrópico.

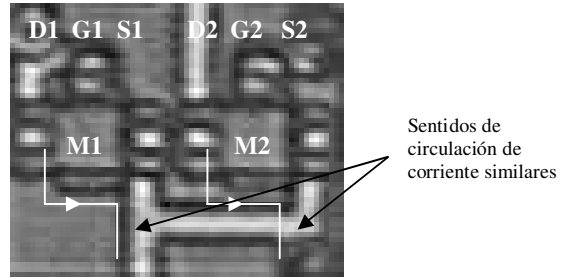
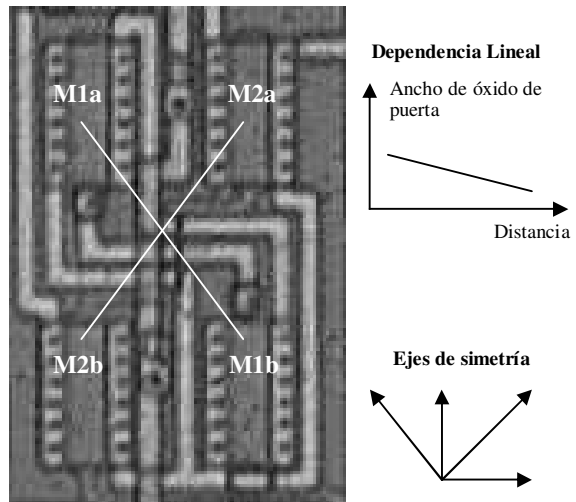


Fig. A-2: Forma geométrica centroide común para un par diferencial bien apareado. Descomposición en 2 pares de transistores.



### B.2 Mínima distancia

Debe se tenido en cuenta, como ya se ha mencionado, que existen gradientes en los proceso de fabricación, por lo que para minimizar desapareamientos se debe cumplir la regla de la mínima distancia. La Fig. A-3 muestra un ejemplo de una fuente de corriente múltiple con esta técnica.

Fig. A-3: Apareamiento usando la regla de mínima distancia entre componentes. Ejemplo para copias de fuentes de corriente

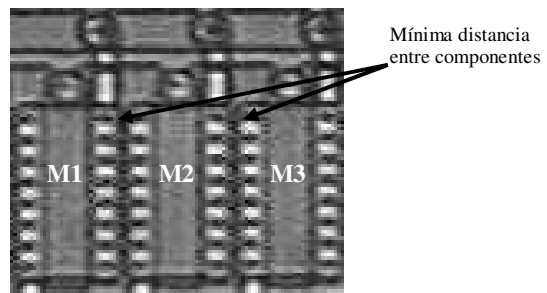


Fig. A-4: Apareamiento en base a réplicas de elementos unitarios. También se observa geometría centroide común

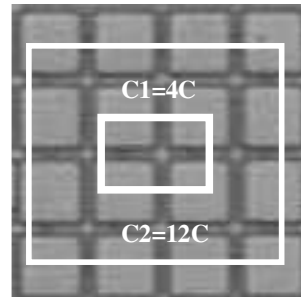
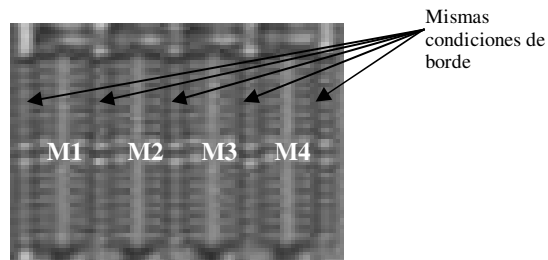


Fig. A-5: Apareamiento de transistores con la regla de las mismas estructuras de borde.



### C.2 Acoplamiento paralelo

Siempre se debe tratar de que los dispositivos tengan las mismas dimensiones, por el hecho de cancelación parcial de efectos de borde, por lo que para conformar una gran estructura que deba estar apareada con una pequeña estructura, es conveniente realizar réplicas de la última a fin de conformar la primera. Existen desarrollos matemáticos [3] que sirven para dar una cancelación parcial a este efecto. En la Fig. A-4 se muestra el apareamiento de 2 capacitores, en base a la conexión paralelo de estructuras unitarias (también se observan técnicas de centroide común).

### D.2 Mismas condiciones de borde

Es necesario que los dispositivos a ser apareados tengan los mismos "vecinos" o las mismas condiciones de borde. Esto es a fin de que los procesos de remoción de material actúen por igual en cada estructura. En la Fig. A-5 se observa un ejemplo de esto para 4 transistores NMOS. También pueden ser usados dispositivos falsos (*dummy devices*), los que no tienen conexión eléctrica alguna, y solo están puestos para cumplir con estas consideraciones.

## CONSIDERACIONES EXTRA

Gran parte de las consideraciones vistas son de carácter empírico, existiendo muchas más para la disminución de efectos parásitos en las estructuras MOS, algunas de las cuales solo son comentadas a continuación:

- Los transistores MOS deben tener la mayor cantidad posible de contactos en las difusiones de drenador y fuente, con el fin de minimizar la resistencia.



- Para la conformación de resistencias integradas se deben tener en cuenta efectos de borde. Para el apareamiento de las mismas valen las consideraciones de dimensiones no mínimas como las ya vistas, pudiéndose usar estructuras en forma de "serpiente".
- El fenómeno conocido como *latch-up* o efecto cerrojo puede ser evitado colocando gran cantidad de contactos de polarización de sustrato. Esto está definido por lo general en el conjunto de reglas de diseño provistas por el fabricante.
- Para separar estructuras digitales y analógicas en CIs mixtos, existen estudios sobre las distancias mínimas con las que se deben separar tales circuitos, además se hace necesario el uso de anillos de guarda para la recolección de portadores minoritarios, minimizando las corrientes de ruido por el sustrato. Esto último también ayuda a minimizar el efecto cerrojo.

---

## § Referencias Bibliográficas

---

- [1] M. R. Haskard & I. C. May, *Analog VLSI Design nMOS and CMOS*, Prentice Hall, 1988.
- [2] P. Jespers, "Tutorial on MOSFET Modeling for Low Power Design", Proceedings of the X SBMicro, Volume II, pgs. 63-67, Agosto 1995.
- [3] Notas del curso *Diseño de Circuitos Integrados Analógicos* (IV Workshop IBERCHIP), Mar del Plata-Argentina, Marzo de 1998.
- [4] Marc G. Degrauwe, Jozef Rijmenants, Eric Vittoz & Hugo J. De Man "Adaptive Biasing CMOS Amplifiers," *IEEE J. Solid State Circuits*, vol. SC-17, pgs. 522-528, Junio 1982.
- [5] Y. Tsividis & P. Antognetti, editors, *Design of MOS VLSI Circuits for Telecommunications*, Prentice-Hall, 1985.
- [6] Paul R. Gray & Robert G. Meyer, *Analysis and Design of Analog Integrated Circuits*, Prentice-Hall, 1993.
- [7] David C. Soo & Robert G. Meyer, "A Four-Quadrant NMOS Analog Multiplier", *IEEE J. Solid State Circuits*, vol. SC-17, pgs. 1174-1178, Diciembre 1982.
- [8] R. Gregorian & G. Temes, *Analog MOS Integrated Circuits for Signal Processing*, John Wiley & Sons, 1986.
- [9] K. R. Laker, P. E. Fleischer & A. Ganesan, "Parasitic Insensitive, Biphase Switched Capacitor Filters Realized with one Operational Amplifier Per Pole Pair", en *MOS Switched Capacitor Filters: Analysis and Design*, IEEE Press, 1984.
- [10] D. Christiansen, *Electronics Engineers Handbook*, McGraw Hill, 1996.
- [11] Wai-Kai Chen, *The Circuits and Filters Handbook*, IEEE Press, 1995.
- [12] F. Wojslaw & E. A. Moustakas, *Operational Amplifiers*, John Wiley & Sons, 1986.
- [13] K. Casper, D. J. Comer & D. T. Comer, "An Integrable 60 Hz. Notch Filter", *IEEE Transactions on Circuits & Systems*, Enero 1999.
- [14] G. S. Moschitz, edited by, *MOS Switched Capacitor Filters: Analysis and Design*, IEEE Press, 1984.
- [15] Shuo-Yuan Hsiao & Chung-Yu Wu, "A Parallel Structure for CMOS Four-Quadrant Analog Multipliers and Its Applications to a 2-GHz RF Downconversion Mixer", *IEEE J. Solid -State Circuits*, vol. 33, pgs. 859-869, Junio 1998.
- [16] J. L. Ceballos, A. A. Quijano, "Diseño de un Filtro Pasa Bajos OTA-C con Alta Linealidad", Memorias VII Workshop IBERCHIP, Montevideo-Uruguay, memorias electrónicas, Marzo 2001.
- [17] J. L. Ceballos, A. A. Quijano, "Diseño Exacto de Filtros de Capacidades Conmutadas con Reducido Número de Amplificadores Operacionales", Memorias VII Workshop IBERCHIP, Montevideo-Uruguay, memorias electrónicas, Marzo 2001.
- [18] J. L. Ceballos, A. A. Quijano, "Nuevo Conversor A/D de 3 Bits tipo Flash, usando Técnicas Pseudo Analógicas y sin Cadena de Resistencias", Memorias VII Workshop IBERCHIP, Montevideo-Uruguay, memorias electrónicas, Marzo 2001.
- [19] J. L. Ceballos, "A CMOS Four Quadrant Analog Multiplier", *First IEEE South American Workshop On Circuits And Systems*, pgs. 98-100, Noviembre 2000.

- 
- [20] J. L. Ceballos, A. A. Quijano, H. Villgarcia, "Diseño de Amplificadores de Transconductancia (OTA) con Alta Linealidad", *Anais VI Workshop IBERCHIP, San Pablo-Brasil*, pgs. 64-69, Marzo 2000.
- [21] J. L. Ceballos, A. A. Quijano, H. Villgarcia, "Filtros de Anti-Alias y de Suavizado para Sistemas de Capacidades Conmutadas", *Anais VI Workshop IBERCHIP, San Pablo-Brasil*, pgs. 334-342, Marzo 2000.
- [22] J. L. Ceballos, A. A. Quijano, H. Villgarcia, "Multiplicador Analógico CMOS de 4 cuadrantes", *Memorias V Workshop IBERCHIP, Lima-Perú*, pgs. 163-171, Marzo 1999.
- [23] J. L. Ceballos, Informe de Beca para la Academia Nacional de Ciencias, Agosto 1999.
- [24] J. L. Ceballos, H. Villgarcia, "Consideraciones de Diseño de un OPAMP para circuitos SC", *Memorias IV Workshop IBERCHIP, Mar del Plata-Argentina*, pgs. 58-66, Marzo 1998.
- [25] J. L. Ceballos, M. Guerrero, H. Zepeda, R. Aparicio, S. Finco, "Proyecto Gate Array: Diseño de PADS configurables con tecnología CNM25", *Memorias IV Workshop IBERCHIP, Mar del Plata-Argentina*, pgs. 82-90, Marzo 1998.
- [26] R. Aparicio, J. L. Ceballos, M. Guerrero, H. Zepeda, L. Carro, M. Johann, A. Pedroza, S. Finco, "GAAL - Gate Array configurado por un nivel de metal utilizando una tecnología de 2.5 micra del CNM", *Memorias IV Workshop IBERCHIP, Mar del Plata-Argentina*, pgs. 261-267, Marzo 1998.
- [27] D. Gil, A. Guilarte, J. L. Ceballos, H. Villagarcía, Diseño Full Custom de Celdas, *Memorias IV Workshop IBERCHIP, Mar del Plata-Argentina*, pgs. 427-428, Marzo 1998.
- [28] J. L. Ceballos, "A New 3 bits ADC, using Renovated Pseudo Analog Techniques, and Without Resistor Chain", en consideración para publicación en *IEEE Transactions on Circuits & Systems, Part II*.
- [29] J. L. Ceballos, "Gm/Id Design of Micropower CMOS Amplifiers", en consideración para publicación en *IEEE Transactions on Circuits & Systems, Part II*.
-