

DISEÑO Y CONSTRUCCIÓN DE UN BANCO DE SUPERCAPACITORES

P. Fornaro¹, J. I. Talpone², J. Moré³, D.Riva.

Instituto de investigaciones en Electrónica, Control y Procesamiento de Señales (LEICI); Conicet.
 La Plata (1900), Buenos Aires. TEL: 2214259306. Fax: s/n. email: leici@ing.unlp.edu.ar

Recibido 06/08/16, aceptado 05/10/16

RESUMEN: En el presente informe se detallan el diseño y la construcción de un banco de supercapacitores (SC) junto con las simulaciones realizadas durante el proceso de diseño y las mediciones realizadas una vez construido. El mismo fue confeccionado con 20 elementos de 400 [F] nominales, combinados de forma de lograr una tensión nominal de 27 [V] y una capacidad nominal de 80 [F]. Se desarrollan todos los fundamentos teóricos básicos sobre supercapacitores y sistemas de balanceo para comprender su funcionamiento. El banco construido incorpora un novedoso método de balanceo de tensiones de celda basado en transistores mosfet, elemental para el funcionamiento del mismo al resguardar tanto la salud del usuario como de los SC. Además posee un sensor de corriente, sensores de temperatura y un amplificador de tensión aislado.

Palabras clave: Supercapacitores, método de balanceo, sistemas híbridos, energías renovables.

INTRODUCCIÓN

En los últimos años, los SC han surgido como una alternativa o complemento importante para otros dispositivos de producción o almacenamiento de energía eléctrica, como las pilas de combustible o las baterías (1). Sin embargo, a diferencia de estas últimas, los SC (también llamados condensadores electroquímicos, o supercondensadores) son una fuente limpia de almacenamiento, y pueden entregar y almacenar energía de forma prácticamente instantánea, con una vida útil mucho mayor que la de las baterías y celdas de combustible (2) (3) (4). Esto último los convierte en elementos que permitirían elevar no sólo la eficiencia del conjunto, sino también la vida útil y la versatilidad del mismo.

Existen principalmente dos formas de almacenamiento de cargas y tres tipos de SC según el tipo de almacenamiento y los materiales que los compongan. Estos son: SC de doble capa electrostática (ESDL por sus siglas en inglés (11)) basados en estructuras de carbono; SC de pseudocapacidad o pseudo-supercapacitores basados en polímeros u óxidos de metales de transición; y finalmente SC híbridos que combinan los materiales de los dos tipos mencionados anteriormente con el objetivo de obtener las mejores propiedades de cada uno de ellos (10). Se construye un banco de supercapacitores formado por 20 elementos, de forma de alcanzar una tensión nominal de funcionamiento del banco de 27 [V]. Este valor de tensión no es arbitrario, sino que se consigue a partir de colocar en serie 10 SC del modelo que se posee, el cual es “Powerstore XV Series” de 400 [F] y 2.7 [V] nominales (12). Este modelo de SC es de doble capa de carbono, con electrolito de aerogel de base acuosa. La forma en que los SC fueron ordenados puede verse en la **Figura 1**.

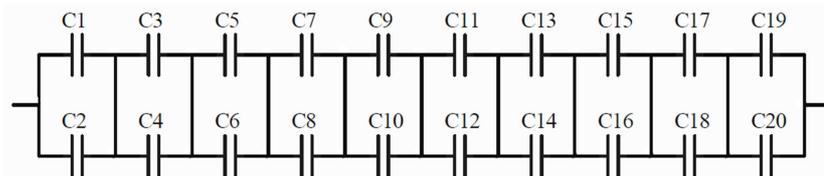


Figura 1. Disposición de los SC en el banco construido.

¹ Becario de entrenamiento de la CIC (Comisión de investigaciones científicas de la Pcia. de Bs. As.)

² Becario Doctoral CONICET.

³ Investigador asistente CONICET.

Los SC suelen agruparse en serie para elevar la tensión de trabajo de todo el sistema, para que de esta manera puedan ser empleados en sistemas de potencia, dado que las tensiones nominales de trabajo de los mismos son muy bajas (alrededor de 3 [V]). Por otro lado se incluyen capacitores en paralelo para incrementar la energía almacenable en el banco. Como consecuencia de las tolerancias que aparecen durante el proceso de fabricación, es que surgen desbalances entre los SC, algunos de los cuales pudieran ser destructivos para los mismos. Es imprescindible por lo tanto incorporar un método de balanceo para las celdas del banco, con el objetivo de mantener estable la tensión de trabajo de los SC y resguardar tanto la salud de los mismos así como la integridad del usuario.

DESARROLLO.

Con el objeto de evaluar el funcionamiento de diversos métodos de balanceo se realiza el diseño de los mismos utilizando un modelo equivalente para los SC como el que puede apreciarse en la **Figura 2**.

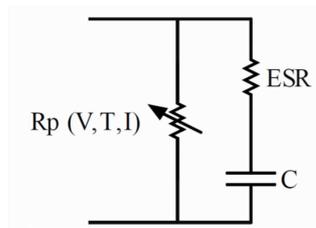


Figura 2. Modelo equivalente de un supercapacitor.

En este modelo se desprecian en primer lugar todos los efectos de alta frecuencia, debido a que en principio la aplicación en la cual serán empleados es de continua, por lo cual se emplea una única capacidad (C) y una única resistencia serie (Rs o ESR). En segundo lugar todos los fenómenos que contribuyen con la auto-descarga de los SC son asociados con una única resistencia en paralelo (Rp), la cual es variable y función de todos los parámetros que contribuyen a cambiar su valor (Tensión, corriente, temperatura, tiempo) (5) (6). Este modelo empleado nos permite llevar a cabo considerables simplificaciones en el análisis necesario para la construcción del banco de SC, el cual es desarrollado a continuación.

Para diseñar un método de balanceo que mantenga las tensiones de las celdas de SC en la tensión nominal, lo primero que se realiza es un experimento de Montecarlo para estimar la probabilidad de fallo del sistema, es decir la probabilidad de que algún SC se destruya por superar la tensión máxima de funcionamiento. En la **Figura 3** pueden verse los resultados obtenidos del experimento, con tiradas aleatorias de 100000 bancos de supercapacitores. A partir de suponer una distribución uniforme para los datos brindados por el fabricante de los SC que se poseen, el experimento de Montecarlo indica que existe un 2.47 % de probabilidad de que alguno de los SC del arreglo supere los 2.85 [V] que destruyen a los mismos.

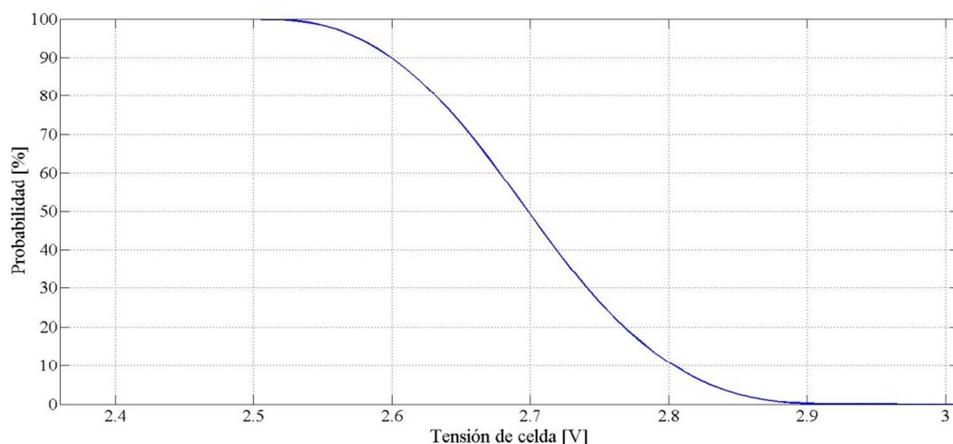


Figura 3. Resultados del experimento de Montecarlo.

Es necesario comprender que cualquier sistema de balanceo que implemente resistencias controladas (por cualquiera sea el método de control) para descargar las celdas de SC, y que sea relativamente eficiente, no podrá balancear el banco de forma instantánea, por lo que no será posible evitar de manera inmediata los sobrepicos de tensión que pudieran presentarse y que serían en algunos casos destructivos para los SC. *Esto quiere decir, que para métodos lentos de balanceo, la probabilidad de ruptura es la misma.* Esto puede verse a partir de un análisis sencillo de las constantes de tiempo del sistema y que es desarrollado a continuación. Si suponemos despreciable la resistencia de auto-descarga del SC, entonces nuestro modelo sencillo de una sola celda cargado mediante una fuente ideal de corriente queda como el de la **Figura 4**. R2 representa la resistencia del sistema de balanceo y a partir de utilizar un modelo de estados podemos hallar la corriente de descarga que puede verse en la Ecuación 1.

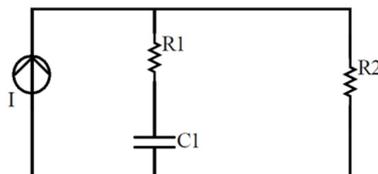


Figura 4. Esquemático de sólo una celda con su sistema de balanceo.

$$I_{desc} = \frac{x_{c1}(t)}{R_1 + R_2} + \frac{IR_1}{R_1 + R_2} \quad (1)$$

Si se desea que el método de balanceo evite que el SC continúe cargándose una vez que ha sido detectada una sobretensión, entonces la resistencia R2 debe ser tal que $I_{desc} = I$, es decir: $R_2 = \frac{x_{c1}}{I}$. A modo de ejemplo de lo que esto implica, para cargar al banco con la corriente nominal de 26 [A] la resistencia de balanceo debe ser del orden de 0.1 [Ω] y disipar alrededor de 70 [W]. Además de ser sumamente complejo desde la implementación, esto implica energía disipada en las resistencias de balanceo, cuando la energía entregada al banco de SC debería ser almacenada para que el sistema sea lo más eficiente posible. Es por esto que existe una relación de compromiso entre el tiempo de balanceo y la eficiencia del sistema. Es decir: resistencias de mayor valor serán más eficientes pero balancearán el banco en menos tiempo.

Existe otro fenómeno, determinado por la naturaleza del sistema y que para el caso de sistemas de almacenamiento de energía es importante tener en cuenta. Supongamos que se parte del estado estacionario con las celdas balanceadas: entonces no se presentarán sobrepicos en las celdas al cargar y descargar sucesivas veces el banco, incluso aunque el sistema de balanceo no se encuentre en funcionamiento, siempre que dicho sistema no actúe para tensiones debajo de la nominal. Esto es debido a que por un lado, en la naturaleza de los propios SC se encuentra una resistencia de pérdidas, (la cual si bien es de valor desconocido, variable y dependiente de la forma de carga, el estado de carga y la temperatura) la misma tiende a balancear el banco aunque su constante de tiempo sea sumamente lenta; y por otro con la naturaleza de la evolución del sistema a partir de un estado de equilibrio.

En definitiva, se debe diseñar un sistema que sea lo más eficiente posible teniendo en cuenta que los sobrepicos son inevitables para cualquier sistema que emplee resistencias de descarga en paralelo y que garantice que una vez balanceado el sistema no existan sobrepicos durante los sucesivos ciclos de carga-descarga.

SISTEMA DE BALANCEO EMPLEANDO TRANSISTORES MOSFET.

Para construir el banco se empleó un sistema de balanceo que utiliza transistores mosfet autopolarizados. Pueden colocarse uno o varios juegos de transistores en paralelo con cada celda. A partir de este tipo de conexión (que puede verse en la **Figura 5**) es que los transistores presentarán una resistencia variable y la corriente que circule a través de estos es la que tenderá a balancear los SC. El valor de la resistencia que presenten los transistores empleados dependerá de las propiedades del

mismo, pero en principio poseen la curva de una exponencial decreciente. De esta forma al incrementarse la tensión en bornes de los transistores, su resistencia disminuye exponencialmente. Cuando existan sobrepicos en alguna de las celdas, la corriente drenada a través de las llaves de dicha celda se incrementa.

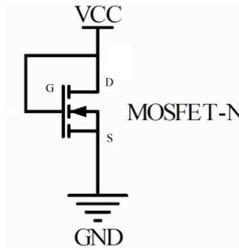


Figura 5. Modo de conexión de los transistores.

Colocar una resistencia variable controlada por tensión genera un sistema no lineal desde el punto de vista del análisis, lo que se ve fácilmente en el modelo de estados del sistema en la ecuación 2.

$$\dot{x}_i = \frac{U - \sum_{j=1}^N x_j \frac{Rp_j(v_j)}{Rp_j(v_j) + ESR} - \frac{ESR}{Rp_i(v_i)} x_i \sum_{j=1}^N \frac{1}{1 + \frac{ESR}{Rp_j(v_j)}}}{C_i ESR \left(1 + \frac{ESR}{Rp_i(v_i)}\right) \sum_{j=1}^N \frac{1}{1 + \frac{ESR}{Rp_j(v_j)}}} \quad (2)$$

Los parámetros de la ecuación 2 pueden verse en el esquemático de la conexión entre las llaves y los SC en la **Figura 6**, donde las llaves mosfet son representadas en conjunto con la resistencia de pérdidas de los supercapacitores como una única resistencia variable.

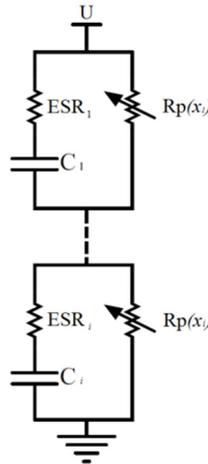


Figura 6. Esquemático de conexión entre las llaves y los supercapacitores.

A partir de un estudio del rendimiento al colocar múltiples juegos de llaves en paralelo con cada celda de SC, es que puede elegirse el modelo de transistor mosfet para que el diseño sea lo más eficiente posible y que permita al mismo tiempo drenar la suficiente corriente cuando aparezcan sobrepicos en los SC. Este método presenta numerosas ventajas frente a otros métodos de balanceo. En primer lugar, es sumamente sencillo de implementar por lo que es ventajoso respecto a métodos que emplean amplificadores operacionales o diferentes circuitos de disparo. Para tensiones menores a la tensión de diseño es sumamente eficiente, ya que por su bajo consumo de corriente no balancea lo SC. Finalmente, dado que el modelo equivalente es el de una resistencia variable, es que es lento para balancear las celdas dados los órdenes de magnitud de resistencias empleadas. Sin embargo, debido a que las resistencias son variables, es que en definitiva la velocidad de este sistema es mucho mayor

que la de cualquier sistema que utilice resistencias de valor fijo, sobre todo por ejemplo los ecualizadores con resistencias. Todo dependerá del fin para el cual el sistema sea utilizado: Si deseamos un sistema que almacene energía, entonces en este contexto podemos relegar la velocidad de balanceo en pos de un sistema más eficiente; por el contrario quizás poder almacenar energía más rápidamente sea una prioridad, y será en este sentido más importante tener un sistema que responda balanceando las celdas con mayor velocidad, pero menor eficiencia.

SIMULACIONES.

Tomando como punto de partida el modelo de estados de tensión o de corriente, podemos obtener la respuesta del banco ante distintos tipos de excitaciones. En la **Figura 7** puede observarse en líneas continuas la respuesta de 7 celdas a un escalón de tensión nominal de 27 [V] y en líneas discontinuas la respuesta lineal del balanceo pasivo, con resistencias de 340 [Ω]. Puede notarse al comparar los resultados de estos dos tipos de balanceo, que el método de balanceo con transistores es 27 veces más eficiente que un sistema que emplee resistencias pasivas con el valor de resistencias indicado (dado que los transistores empleados poseen en promedio un valor de resistencia de 9000 [Ω] en 2.7 [V]) y balancea aproximadamente en el mismo intervalo de tiempo. Por otro lado al comparar ambas se nota debido al entrecruzamiento de las respuestas temporales y a la diversidad de respuestas, la no linealidad del método basado en transistores Mosfet.

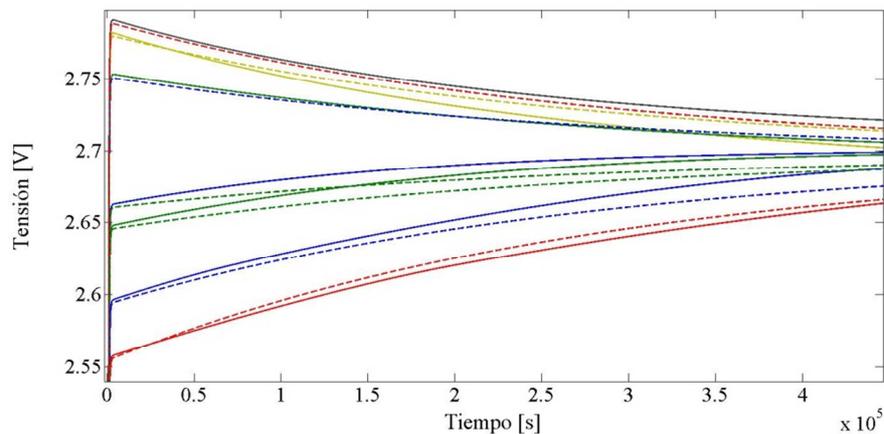


Figura 7. Evolución temporal del balanceo ante un escalón de 27 [V].

La simulación más relevante para este método de balanceo elegido para el diseño y la construcción del banco de SC, es la que se enseña en la **Figura 8**, donde queda demostrado que una vez alcanzado el estado de balanceo, someter al banco a sucesivos escalones de carga-descarga, no exige al sistema, sino que por el contrario, los desbalances aparecen en la tensión a la cual el banco tiende a descargarse.

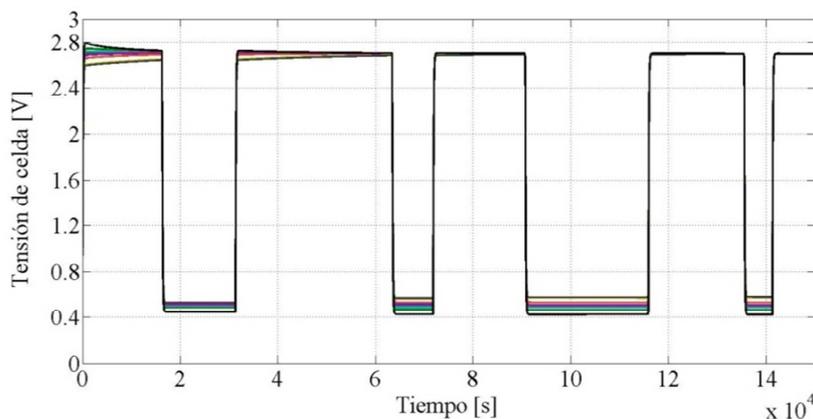


Figura 8. Respuesta del sistema a múltiples escalones de tensión.

Este método sólo es necesario durante el encendido del banco para cuidar que los SC no se destruyan, pero luego en funcionamiento, dado que no es necesario controlar sobrepicos, consume baja corriente, y permite mantener estable la tensión de cada SC. Un detalle no menor en el análisis del funcionamiento del banco es el siguiente: cuando el banco funciona con corrientes elevadas, donde se entrega la energía disponible de manera prácticamente instantánea, es indistinto si el mismo se carga o descarga a corrientes constantes o a tensiones constantes. En otros casos interesa que la potencia entregada sea constante y luego es indistinta la forma en la cual el banco se recarga, pero en cualquiera de los casos mencionados las no-linealidades del método de balanceo no intervienen, dada la lenta respuesta temporal de los mismos en comparación con la velocidad a la cual el banco entrega potencia. En estas circunstancias es que la simulación realizada es válida para cualquiera de las situaciones anteriores, dado que se estaría comportando como un sistema lineal.

CONSTRUCCIÓN DEL BANCO.

Puede visualizarse en la **Figura 9** el banco construido y en la **Figura 10** el PCB diseñado. A partir de los resultados de las simulaciones y de un análisis de las hojas de datos de una serie de transistores mosfet ALD (específicamente diseñados con el fin de ser empleados en bancos de SC (15) (16)), se eligen las llaves apropiadas para este banco en particular (ALD910024). Luego se diseña el PCB para montar los 20 SC acorde a la **Figura 1**. Dados que los niveles de corriente nominales son de 440 [A] máximos durante un segundo y 52 [A] nominales de corriente continua, es que se diseña con un espesor de las pistas de cobre de 105 [μm] para toda la placa acorde a la norma internacional IPC2221A.

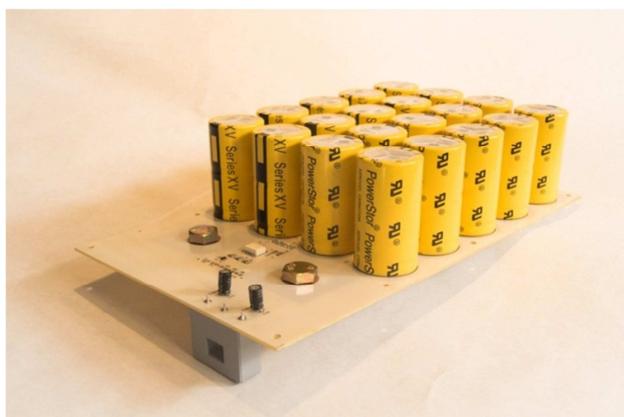


Figura 9. Banco de SC elaborado.

Las llaves de ALD empleadas son de la serie ALD9100xx. Las mismas tienen una variación de la resistencia de salida de tipo exponencial y luego presentan una saturación, la que se corresponde con una corriente máxima de balanceo de 1 [mA]. Esto nos indica que la corriente máxima que cada llave puede extraer de los SC es precisamente de 1 [mA]. El tipo de encapsulado elegido, posee dos llaves incorporadas. De esta forma se opta por colocar un encapsulado por cada par de SC, lo que es lo mismo, una llave por cada supercapacitor. El banco es complementado con un sensor de tensión aislado, un sensor de corriente de efecto hall y dos sensores de temperatura colocados en los intersticios de los SC. De esta forma se tendrán a disposición fácilmente dichos valores para incluir un módulo de protección general del mismo. Los modelos de los elementos indicados pueden verse en la Tabla 1.

Sensor de tensión	HCPL-788J
Sensor de efecto hall	CSNF161
Sensores de temperatura	LM35DZ

Tabla 1. Modelos de sensores incorporados en el banco de SC.

La electrónica utilizada para lograr un óptimo funcionamiento de todos los sensores, se incluyó en la misma placa en la que se montaron los SC, y se colocaron además pines de salida y entrada para alimentar toda la instrumentación y a la vez disponer de las mediciones realizadas fácilmente. Todos los elementos son dispuestos en el PCB de forma de lograr un diseño compacto y de fácil acceso a todos los puntos de salida. Al construir el PCB se tomaron algunas consideraciones importantes para optimizar el desempeño del banco. Por ejemplo:

- Optimización de los caminos de las pistas de cobre en el PCB.
- Verificación de todas las conexiones eléctricas.
- Colocación de agujeros pasantes para un correcto montaje de la placa.
- Colocación de agujeros para el posterior montaje de una protección de acrílico.
- Optimización de los pads de soldadura.
- Cuidados de seguridad durante todo el proceso de construcción y soldadura (14) (17).

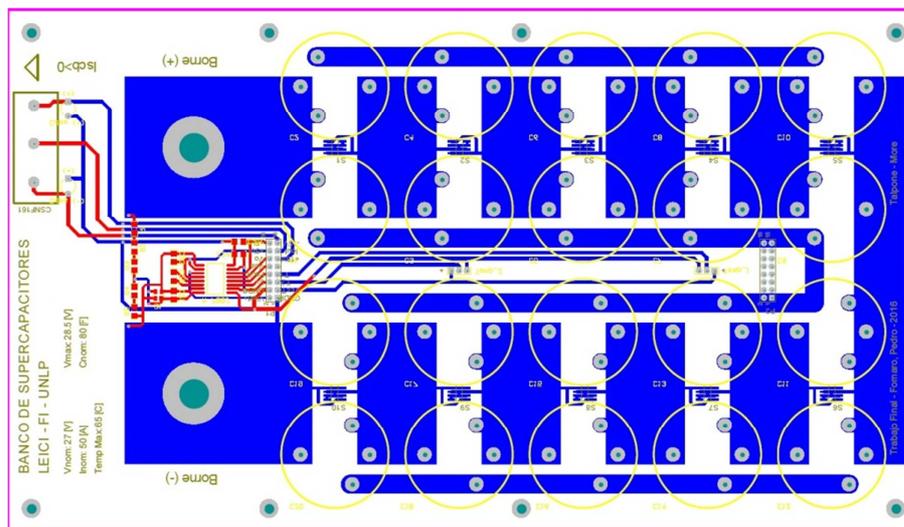


Figura 10. PCB del banco construido.

MEDICIONES.

Luego de haber construido el banco se procedió a realizar las mediciones que lo caracterizan. Lo primero que es necesario notar es que el agrupamiento de SC en la configuración de un banco puede ser caracterizado como un supercapacitor equivalente, cuyos parámetros característicos son igualmente extrapolables. Así es que para caracterizar el banco construido se obtendrán mediciones de una resistencia serie equivalente, una capacidad del banco y una resistencia de auto-descarga. El esquema de conexión utilizado para realizar todas las mediciones puede verse en la **Figura 11**.

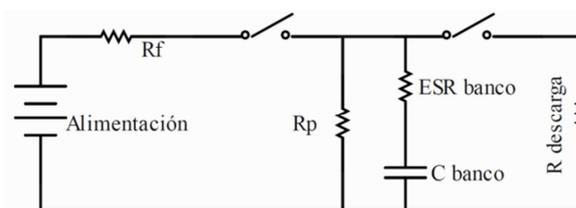


Figura 11. Esquema de conexión para las mediciones.

Instrumental empleado.

- Fuente de alimentación. HP 6010 DC power supply.

La misma puede ser utilizada como una fuente que entregue corriente constante o tensión constante, según sea el caso requerido, lo que la hace muy versátil para las mediciones realizadas. La misma se coloca en serie con una resistencia externa a modo de prevención.

- Osciloscopio. Agilent DSO-X 2024A.

Se emplean puntas de medición x10, con distintas bases de tiempo para lograr una medición óptima, y se extraen los datos mediante un puerto de salida del osciloscopio.

- Resistencia de descarga.

La resistencia de descarga es variable, con un máximo de 10 [Ω] y a través de ella pueden circular hasta 8 [A]. Cada vez que el banco es llevado a un estado de tensión elevado se descarga por esta resistencia.

- Multímetro digital. Fluke 112.

El mismo es utilizado mayormente para poseer referencias aproximadas del valor de tensión del banco, pero también para tomar medidas de las tensiones de celda.

Medición de la capacidad del banco mediante el método indirecto de las constantes de tiempo.

El procedimiento consta de colocar una resistencia externa de valor conocido, de manera de poder despreñar los efectos que tienen que ver con las resistencias parásitas al medir la constante de tiempo de descarga del banco, dada por la ecuación 3.

$$\zeta_{desc} = C_{banco} * (R_{descarga} // R_{pérdidas} + ESR) \cong C_{banco} * R_{descarga} \quad (3)$$

A partir de estimar (conociendo los datos de los fabricantes de SC) que la resistencias serie y de pérdidas del banco deberían rondar las decenas de mili Ohm y decenas de kilo Ohm respectivamente, es que se utiliza como resistencia de descarga una de 8.6 [Ω]. Los resultados obtenidos pueden verse para diferentes instantes de medición en la Tabla 2.

Tensión [V]	Tiempo [s]	Capacidad [F]
23.16	0	-
22	33	74.7
21	67	79.6
20	103	81.6
19	140	82.2
18	180	83
17	221	83.1
16	266	83.6
15	312	83.5
14	361	83.4
13	414	83.4
12	470	83.1
11	531	82.9
10	597	82.7
9	668	82.1
8	748	81.8

Tabla 2. Valores de capacidad medidos.

Los efectos de disminución de la capacidad en los primeros instantes de medición, tienen que ver con un incremento que existe en la corriente de fuga debido principalmente al reacomodamiento interno de cargas inmediatamente después que el banco haya sido cargado (7) (8) (9). La ecuación utilizada para obtener los valores de capacidad se extrae de suponer un sistema de primer orden dado por un capacitor en paralelo con una resistencia, la cual representa la misma simplificación realizada para la aproximación de la constante de tiempo. Promediando los valores se obtiene una capacidad del banco de 82.5 [F].

$$C \cong - \frac{t}{\ln \frac{V_f}{V_i} * R_{externa}} \quad (4)$$

Medición de la resistencia serie (ESR) mediante el método de corriente constante.

Cuando se carga o descarga el banco con corriente constante, la evolución de la tensión en el tiempo se corresponde con la ecuación de una recta. Esto último es válido siempre que puedan despreciarse los efectos de auto-descarga, que derivan una porción de la corriente. Además, en el instante en el cual se aplica el escalón de corriente podrá visualizarse un escalón de tensión debido a la caída de tensión en la resistencia serie. De esta forma empleando un osciloscopio acoplado en alterna, puede medirse la resistencia serie que presenta el banco tomando en cuenta el escalón de tensión generado en el instante en el que la corriente es aplicada o cortada. En repetidos ensayos y con diferentes corrientes de carga, se encuentra el mismo valor de ESR, de 19 [mΩ] aproximadamente, y la misma es independiente del estado de carga del banco. El valor de ESR se obtiene simplemente como en la ecuación 5, donde los valores para ΔV son obtenidos en las mediciones y el valor de I proporcionado por la fuente utilizada. El resultado obtenido es sumamente coherente considerando que el valor teórico para la ESR es de 16 [mΩ], al cual es necesario sumarle la resistencia de las pistas de cobre y las resistencias de las soldaduras.

$$ESR = \frac{\Delta V}{I} = \frac{154 [mV]}{8 [A]} = 19.25 [m\Omega] \quad (5)$$

Medición de la resistencia de pérdidas (Rp).

Para realizar esta medición se carga el banco hasta 25 [V] con una corriente constante de 8 [A] y luego se desconecta. Posteriormente se mide su tensión en bornes cada determinados lapsos de tiempo. Los valores de tensión e intervalos de tiempo utilizados se enseñan en la Tabla 3, a partir de cuyos valores se obtiene una resistencia de pérdidas suponiendo instante a instante, que el sistema puede ser modelado como una resistencia lineal. Los valores de Rp de la Tabla 3 se obtienen a partir de la ecuación 6, suponiendo el valor de capacidad de 82.5 [F].

$$R_p \cong - \frac{t}{\ln \frac{V_f}{V_i} * C_{banco}} \quad (6)$$

La curva teórica que ajusta el comportamiento de los electrodos de los SC está dada por la ecuación 7. La misma es la superposición de dos componentes, uno resistivo puro y otro (la porción logarítmica) de carácter electroquímico. Esta última porción es conocida como ecuación de Tafel (13). Todos los parámetros de la ecuación completa pueden ser ajustados numéricamente, pero serán función de la corriente de carga, el estado de carga del banco, la temperatura y el tiempo. Es por esto que no tiene mayor sentido determinarlos de forma precisa, sino más bien obtener una aproximación de los niveles de energía factibles de ser disipados en la resistencia de fuga. Por otro lado para poder realizar un ajuste numérico, deben colocarse en paralelo resistencias de valor fijo que delimiten el rango de valores posibles para la constante 'b'. La resistencia empleada para las mediciones fue de 10 [KΩ], y se encuentra desafectada de los valores de la tabla 3. En esta última se enseña un valor de Rp obtenido entre el primer instante de medición y el siguiente, el cual nos puede dar una idea de la energía que se disipa en el banco transcurrido un determinado lapso de tiempo, y es de hecho la forma en la que el fabricante brinda esta información. También se enseña otro valor de Rp (Rpn) el cual es dinámico, y es obtenido entre dos instantes sucesivos de medición. Este valor de resistencia se acerca al valor de una resistencia pura, es decir, sin componentes de no-linealidad a medida que se hace despreciable la contribución del término logarítmico, ya que sabemos que además los términos no lineales son función del tiempo y disminuyen a medida que también lo hace la interacción entre los iones de los SC.

$$V(t) = a * e^{-\frac{t}{b}} - c * \ln(d + e * t) + f \quad (7)$$

Tiempo [s]	Tensión [V]	Rp [Ω]	Rpn [Ω]
0	25.04	-	499,3
600	24.66	499,35	
1260	24.37	596,70	967,5
1920	24.15	687,30	
4200	23.64	969,84	
5820	23.39	1154,37	2265,4
7260	23.21	1311,70	
8520	23.07	1442,04	3376,8
10260	22.91	1626,42	
12240	22.74	1820,19	4754,4
335940	13.1	16920,07	
339180	13.03	16982,54	27452,6
342180	12.97	17397,26	
345600	12.9	17144,41	32738,5
349500	12.83	17287,36	
352080	12.77	17305,25	32738,5

Tabla 3. Valores de Resistencia de pérdidas.

Verificación del funcionamiento del sistema de balanceo.

Debido a que no se disponen suficientes elementos de medición para censar la tensión por celda, es que sólo se miden los desbalances a lo largo del tiempo mientras el banco se carga lentamente. El procedimiento de carga utilizado es el siguiente:

1. Se carga el banco con corrientes constantes hasta que en alguna de las celdas se detecta una tensión cercana al valor nominal.
2. Se limita la corriente de carga a valores más bajos, que no permitan que continúe en una sobre elevación. Luego se incrementa la tensión del banco siempre con valores menores que el nominal, cercanos a los 26 [V], y se espera que las celdas tiendan a balancearse.
3. Se incrementa nuevamente la tensión aplicada hasta llegar a los 27 [V] nominales limitando al mismo tiempo la corriente aplicada, para reducir las sobretensiones de las celdas de menor capacidad.
4. Se miden las tensiones de celda.

Acorde al procedimiento indicado se relevan las tensiones de celda a lo largo de instantes no definidos de tiempo, sólo con el objeto de corroborar el funcionamiento del mismo. Los resultados obtenidos pueden verse en la **Figura 12**.

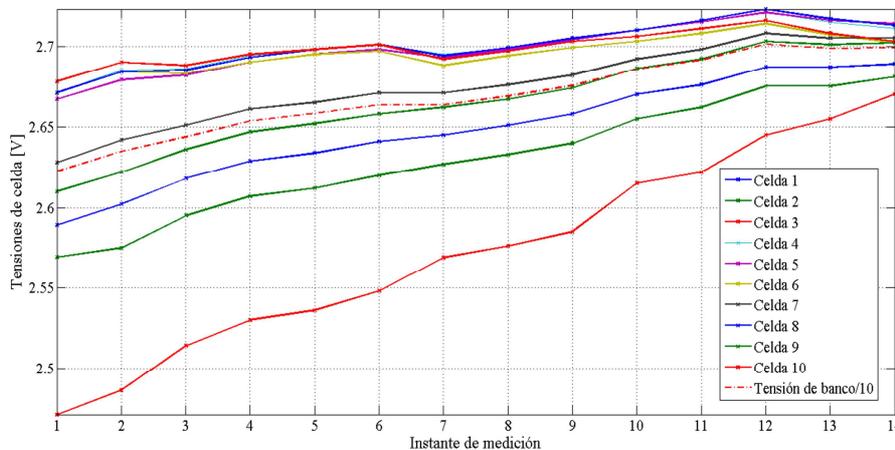


Figura 12. Tensiones de celda medidas.

CONCLUSIONES.

El trabajo realizado posee tres etapas. En la primera fue necesario estudiar la tecnología de los supercapacitores, estructura interna, modelos y otros fundamentos necesarios para llevar a cabo la segunda etapa, donde se diseña un método apto de balanceo para las celdas del banco. Por último se construye el banco, y se llevan a cabo mediciones con el efecto de corroborar el estudio previamente realizado.

Se colocaron además sensores de temperatura, tensión y corriente, los cuales poseen salidas disponibles para verificar el correcto funcionamiento del banco. Por esto último tendrá que proveerse la alimentación para todo el instrumental montado, aunque esto no es esencial para el correcto funcionamiento del sistema de balanceo elegido, ya que los transistores mosfets son autopolarizados y sólo dependen de la tensión de los SC. Las conexiones físicas de los mismos (los bornes) estarán disponibles para obtener medidas que permitirán evaluar el funcionamiento de las celdas.

A partir de las mediciones realizadas se logró ver que el banco se estabiliza alrededor de la tensión aplicada, con una corriente extra que se produce debido al camino de corriente a través de las llaves de balanceo y la corriente de pérdidas propia de cada supercapacitor. Ya que las llaves elegidas poseen una corriente de fuga despreciable en un rango de tensiones menor a los 25 [V], es que las celdas quedarán desbalanceadas siempre que se trabaje con tensiones menores, pero sin correr ningún riesgo de ruptura, ya que las mismas se encontrarán por debajo de su tensión nominal. Esto último también podrá ser corroborado ya que el banco será construido con un medidor de tensión, y un sensor de efecto hall para medir la corriente.

El sistema de balanceo implementado, es sumamente eficiente, ya que la curva exponencial de resistencia posee constantes que hacen despreciable la corriente de fuga para niveles de tensión por debajo del nominal. También a su vez, depende fuertemente del estado de carga de los supercapacitores. Cuando la tensión es más cercana a la tensión nominal, entonces el sobrepico que presentan es menor, y proporcional al escalón de tensión aplicado.

Puede verse en la **Figura 7** que algunas respuestas son del tipo exponencial, mientras otras poseen tramos distinguibles entre sí, sobre todo en los supercapacitores de menor tensión. Esto es debido a la no-linealidad del método de balanceo.

Es importante el pico de sobretensión que puede producirse si el procedimiento para cargar el banco no es el adecuado, y una vez que el banco es llevado a su estado de carga nominal, con las celdas balanceadas, no existirá peligro de desbalances. Por esto último es de vital importancia realizar una precarga del banco que no permita que la tensión de las celdas supere la nominal. Una vez establecido el banco en este nivel de continua, podrá realizarse una carga que lleve con corrientes controladas, el banco a su tensión nominal. Este es el método propuesto, ya que no se disponen de controles generales de las formas de onda de corriente o tensión aplicadas.

REFERENCIAS.

1. Reveles Miranda, María Guadalupe (2012). Supercondensadores: Una Alternativa Limpia Y Eficiente De Almacenamiento De Energía.
2. Chialvo, Abel César. Análisis comparativo de dispositivos de almacenamiento y conversión electroquímica de energía [Seminario internacional de Energías renovables].
3. Mera, Isaac Gil. Diseño de almacenamiento de energía híbrido basado en baterías y supercondensadores para su integración en microrredes eléctricas. Capítulo 2.
4. Andrew Burke (2000). Ultracapacitors: why, how, and where is the technology. s.l. : Elsevier, Journal of Power sources, Vol. 91.
5. F. Rafika; H. Gualous; R. Gallay; A. Crausaz; A. Berthon (2006). Frequency, thermal and voltage supercapacitor characterization and modeling. Journal of power sources.
6. H. Gualous; D. Bouquain; A. Berthon; J.M. Kauffmann (2003). Experimental study of supercapacitor serial resistance and capacitance variations with temperature. Journal of power sources.
7. Brian E. Conway ; W.G. Pell; T-C. Liu (1996). Diagnostic analyses for mechanisms of self-discharge of electrochemical capacitors and batteries. Journal of Power Sources.

8. Jianjun Niu; Brian E. Conway; Wendy G. Pell (2004). Comparative studies of self-discharge by potential decay and float-current measurements at C double-layer capacitor and battery electrodes. Chemistry Department, University of Ottawa, 10 Marie Curie Street, Ottawa, Ont., Canada K1N 6N5.
9. B.W. Ricketts; C. Ton-That (1999). Self-discharge of carbon-based supercapacitors with organic electrolytes. Journal of power sources.
10. Pacheco Catalán, Daniella Esperanza. Estudio de supercapacitores basados en materiales de carbono. [Artículo].
11. Shi, Hang (1995). Activated carbon and double layer capacitance. [Artículo].
12. EATON (2014). Datasheet 4424, PowerStor XV Series Snap-in cylindrical supercapacitors.
13. E. Gileadi; E. Kirowa-Eisner (2005). Some observations concerning the Tafel equation and its relevance to charge transfer in corrosion. [Publicación]. s.l. : Corrosion Science.
14. EATON. Technical Note 10387. Supercapacitor Soldering Guidelines.
15. Advanced Linear Devices. Datasheet ALD810024/ALD910024 QUAD/DUAL SUPERCAPACITOR AUTO BALANCING (SAB™) MOSFET ARRAY. 2014.
16. Advanced linear devices. Datasheet ALD8100XX/ALD9100XX FAMILY of SUPERCAPACITOR AUTO BALANCING (SAB™) MOSFET ARRAYS. 2014.
17. EATON. Datasheet 4438. Material Safety Data Sheet (MSDS) for PowerStor™ XV Series.

ABSTRACT

The present work specifies the designing and construction processes of a supercapacitor bank. In order to comprehend the operation of the entire system, all the theoretical and fundamental knowledge about it is introduced. To begin with, there is a brief introduction of ultracapacitors (SC) and, taken that information into account, the supercapacitor bank is implemented with ultracapacitors. The elements are arranged to obtain a nominal working voltage of about 26.5 [V], with 82.5 [F] properly measured. A balancing method for each cell of the supercapacitor stack is needed, as well as an analog temperature sensor, a current Hall Effect sensor, and an optocoupled isolated voltage sensor. The bank is designed to be implemented in a complex functional hybrid energy generation system. Finally, a set of measures on the system are presented to verify the design, to characterize both the supercapacitor stack and the chosen balancing system method.

Keywords: Ultracapacitor, balancing method, hybrid system, renewable energy.