

# A System On Chip Based Electroencephalogram Acquisition System

Matías Javier Oliva, Pablo Andrés García, Enrique Mario Spinelli

<sup>1</sup>*Grupo de Instrumentación Biomédica Industrial y científica (GIBIC),  
Instituto de Investigaciones en Electrónica, Control y Procesamiento de Señales (LEICI),  
Facultad de Ingeniería, Universidad Nacional de La Plata (UNLP), La Plata, Argentina.*

---

**Abstract**— Current Brain computer interfaces (BCI) are usually implemented by a biopotential acquisition board and a computer (PC), where the signal processing is performed. Since these have demonstrated their potential to improve the quality of life of people with reduced mobility and speech losses, it is time to migrate to smaller devices, eliminating the PC from the scheme. The strict real time processing requirements of BCI justify the use of a System on Chip (SoC) for this propose. This work presents an electroencephalogram (EEG) acquisition system based on a low-cost DE10-nano SoC provided by Altera. The complete system is described and EEG records of an alpha rhythm, corresponding to a user during a period of relaxation, are shown. Through off-line processing of the signal, its frequency spectrum is obtained, which has a maximum amplitude at 12.8 Hz, characteristic for a signal of this type. The validation of the acquisition system constitutes a solid starting point for the development of a fully functional BCI in the future, as well as other applications with more demanding time constraints.

**Keywords**— Electroencephalogram, system on chip, brain computer interface.

---

**Resumen**— La mayoría de las implementaciones actuales de interfaces cerebro computadora (BCI) consisten en una etapa de adquisición de biopotenciales y una PC, donde se realiza el procesamiento de las señales. Como estas han demostrado su potencialidad para mejorar la calidad de vida de personas con movilidad reducida y pérdida del habla se plantea la necesidad de migrar a un dispositivo de tamaño reducido, eliminando la PC del esquema. Los estrictos requerimientos de procesamiento en tiempo real de las BCI justifican la elección de un sistema embebido heterogéneo para este propósito. En este trabajo se presenta un adquisidor de señales de electroencefalograma (EEG) basado en un sistema SoC (System on Chip) DE10-nano de bajo costo, provisto por Altera. Se describe el sistema por completo y se muestran registros de EEG de un ritmo alfa, correspondientes a un usuario durante un periodo de relajación. Mediante el procesamiento off line de la señal se obtiene su espectro de frecuencias, el cual tiene un máximo de amplitud en 12,8 Hz, característico de una señal de este tipo. La validación del sistema de adquisición implementado constituye un punto de partida sólido para el desarrollo de una BCI completamente funcional en el futuro, así como otro tipo de aplicaciones con restricciones temporales más demandantes.

**Palabras clave**— Electroencefalograma, sistema embebido heterogéneo, interfaz cerebro computadora.

---

## I. INTRODUCCIÓN

Una interfaz cerebro computadora (BCI, por sus siglas en inglés de *Brain Computer Interface*) es un dispositivo que provee al cerebro de un nuevo canal de comunicación y control sin utilizar los músculos [1]. Su aplicación tiene la potencialidad de proveer a personas con movilidad reducida y pérdida del habla, la oportunidad de comandar un delectador, una silla de ruedas o un mouse de computadora, por ejemplo [2,3].

Una forma de implementar una BCI es midiendo biopotenciales cerebrales, usualmente mediante electroencefalografía (EEG), y utilizando los registros obtenidos para operar diferentes tipos de dispositivos a través de una computadora o un sistema embebido (SE). Estos últimos tienen la ventaja de estar diseñados para la aplicación en particular, lo cual les brinda exclusividad sobre los recursos del sistema, la posibilidad de disponer de una interfaz de usuario más sencilla e intuitiva, menor consumo y tamaño.

A la hora de seleccionar la arquitectura del SE para una aplicación de BCI, una de las principales características a tener en cuenta es su capacidad de adquisición y procesamiento de datos en tiempo real: mientras más rápido

responda mayor comodidad proporcionará al usuario, y será mayor el espectro de posibles implementaciones.

Una opción que se perfila como superadora en este sentido es la de los sistemas embebidos heterogéneos, que consisten en un arreglo de celdas lógicas programables (FPGA: por sus siglas en inglés de *Field Programmable Gate Array*) y un procesador dedicado (HPS: por sus siglas en inglés de *Hard Processor System*). Este tipo de dispositivos reciben el nombre de *System on Chip* (SoC), y su utilización brinda importantes beneficios: la FPGA se encarga de incorporar un sistema de adquisición y procesamiento de las señales cableado en hardware, con las correspondientes ventajas de velocidad y paralelismo, mientras que el procesador provee una interfaz de usuario cómoda y fácilmente manejable por un usuario. Adicionalmente una configuración de este tipo brinda una gran flexibilidad: con una misma etapa de procesamiento de la señal se pueden programar diversas aplicaciones según los requerimientos del usuario.

Una desventaja importante de este tipo de sistemas embebidos, frente a otras opciones, como un microcontrolador de propósitos generales, es su elevado consumo energético, el cual hace que sea necesaria su conexión a la línea de alimentación de red. Como la adquisición y acondicionamiento de la señal de EEG se debe

realizar mediante electrodos conectados directamente al usuario es necesario diseñar una barrera de aislación para garantizar su seguridad.

En este trabajo se describe el desarrollo de un sistema adquisidor de biopotenciales cerebrales basado en SoC. Se presentan señales de EEG obtenidas, y se analiza la utilidad de estas para el diseño a futuro de un sistema de BCI basado en potenciales evocados visuales de estado estable (SSVEP: por sus siglas en ingles de *steady state visual evoked potentials*).

II. MATERIALES Y MÉTODOS

La arquitectura del SE se basa en un SoC DE10-nano de bajo costo, provisto por Altera. El mismo dispone de una FPGA Cyclone V, encargada de la digitalización y procesamiento de la señal, y un procesador Dual-core ARM Cortex-A9, para las tareas de alto nivel y la interfaz de usuario.

El sistema implementado se presenta esquemáticamente en la Fig. 1. Consiste en 4 etapas bien diferenciadas: la etapa de adquisición y acondicionamiento de la señal, resuelta con un amplificador de biopotenciales, la etapa de digitalización y procesamiento, la interfaz de usuario y la etapa de alimentación.

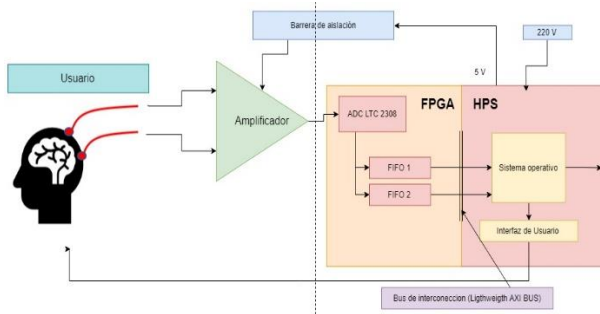


Fig. 1: Esquema del sistema implementado.

A. Acondicionamiento de la señal:

Para adquirir la señal de EEG se utilizó un amplificador analógico de un canal con entrada diferencial. Es un amplificador acoplado en alterna y energizado desde una fuente simple de 5V, provista desde la placa que contiene el SoC.

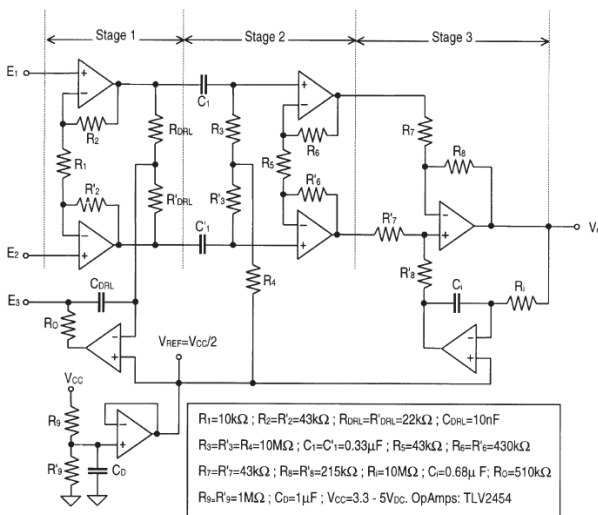


Fig. 2. Esquemático del amplificador implementado.

El esquema se complementa con un circuito “Driven Right Leg” (DRL) que se utiliza para fijar el potencial del paciente a 1,25 V, referenciado a la tierra del amplificador, mediante dos electrodos independientes [4]. La ganancia total del amplificador es de 5832 dividido en dos etapas de 5,25 y una de 1111. En la Fig. 2 se muestra el esquemático del amplificador implementado.

B. Etapa de aislación y alimentación.

Como indica la Fig. 1, es necesario incorporar al sistema una barrera de aislación tanto para la alimentación del amplificador como para la señal a su salida. La alimentación del amplificador se obtiene desde una salida de 5 V, disponible en pines del SoC, y este se conecta directamente al usuario a través de los electrodos, por lo que la barrera debe asegurar que no exista un camino directo desde la tensión de línea al usuario. Esto se resolvió mediante un aislador integrado de grado médico ADUM6401 de Analog Devices.

Para aislar la señal, se utilizó un amplificador de aislación óptico basado en el optoacoplador IL300, como se muestra en la Fig. 3. Este circuito es una modificación del propuesto en [5] para operar con una fuente simple de 0-5V.

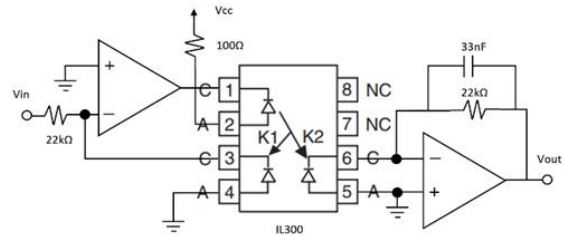


Fig. 3: Amplificador de aislación.

C. Digitalización de la señal:

El sistema de digitalización y procesamiento de la señal se programó íntegramente en la FPGA del sistema SoC, utilizando el conversor analógico digital (ADC) LTC 2308, también incorporado en la placa DE10-nano. Este ADC trabaja con aproximaciones sucesivas, 12 bits de resolución y una frecuencia máxima de muestreo de 500 mil muestras por segundo (mps).

Utilizando el software Quartus II provisto por Altera, junto con los distintos bloques de IP (propiedad intelectual) que incorpora, se diseñó el sistema en Verilog. La tasa de muestreo se fijó en 1024 mps. Esta tasa de muestreo puede resultar algo elevada para la detección de SSVEP, como se verá más adelante, pero se eligió para permitir la personalización del procesamiento de señal en un futuro.

Además de la digitalización de la señal, la FPGA se encarga de guardar las muestras en dos memorias FIFO (First in first out, es decir que el primer dato en escribirse es el primer dato en leerse) de 512 muestras de capacidad, implementando un doble buffer circular como en [6]. Para que estas muestras puedan accederse desde el procesador ARM se incorporó al sistema un puente Lightweight AXI bus, que es el más básico dentro de los que provee Altera para la comunicación entre la FPGA y el procesador (HPS).

El bloque de digitalización y almacenamiento de la señal mencionado funciona paralelamente a las otras tareas del sistema, enviando notificaciones al procesador ARM cada vez que se llena una de las memorias FIFO mencionadas (Cada 0,5 s). Con este esquema no se consume tiempo del procesador en la adquisición de datos. En un futuro se

pretende configurar más bloques en paralelo en la FPGA, para procesar los datos, por ejemplo, aprovechando el paralelismo inherente a este tipo de sistemas.

Si bien el diseño descrito no tiene restricciones de tiempo real estrictas es un buen punto de partida para incorporar, en el futuro, algoritmos de procesamiento, como la Transformada Rápida de Fourier, cableados directamente en el hardware de la FPGA en vistas de lograr una BCI rápida y cómoda al usuario.

#### D. Interfaz de usuario

Una vez resuelta la digitalización y procesamiento de la señal se diseñó una interfaz de usuario, con el objetivo de visualizar la señal de EEG en tiempo real. Esta se ejecuta en el procesador ARM del sistema SoC, que porta un sistema operativo Linux. Se decidió utilizar un programa en lenguaje C#, ejecutado mediante la implementación "Mono" del *framework* de .Net. Este programa también calcula y grafica la transformada rápida de Fourier (FFT) de la señal, como herramienta futura para la recuperación de potenciales evocados visuales de estado estacionario. Como la frecuencia de muestreo es de 1024 mps se programó una FFT de 512 puntos, para lograr una resolución en frecuencia (ancho de *beam*) de 2 Hz. Cabe destacar que este tipo de análisis supone una carga de cómputo alta para el procesador, y solo se implementó como herramienta de diagnóstico; es deseable en el futuro mover este tipo de procesamiento a la FPGA del dispositivo.

Además de mostrar en pantalla la señal obtenida, el programa se encarga de guardar las muestras en un archivo de texto para su procesamiento off line.

#### E. Verificación del sistema

Con el objetivo de verificar la correcta operación del sistema se decidió, en un primer paso, medir el registro EEG de un usuario durante un periodo de relajación visual con los ojos cerrados. En estas condiciones sucede el bloqueo alfa occipital, que se manifiesta con oscilaciones en el rango de frecuencias de 8-13 Hz, generadas por la actividad eléctrica sincrónica y coherente de las células cerebrales de la corteza en la zona occipital [7].

### III. RESULTADOS

Tanto el amplificador de biopotenciales como la barrera de aislamiento y el SoC utilizados pueden observarse en las Fig. 4 y 5. El amplificador se integró en una pequeña caja plástica que puede ser adosada al paciente con un broche.



Fig. 4: Amplificador de biopotenciales.

En primer lugar, se verificó la correcta adquisición del amplificador de biopotenciales y el desempeño de la interfaz de usuario diseñada. Para esto se proveyó, mediante un

generador de funciones, una señal sinusoidal en la entrada al amplificador de 7 Hz de frecuencia fundamental. En la Fig. 6 se puede ver una captura de pantalla de la interfaz en estas condiciones.

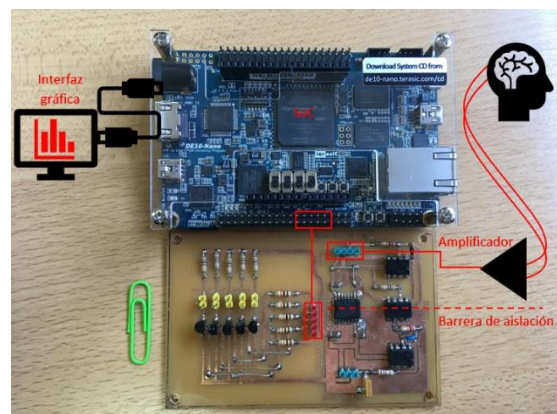


Fig. 5: SoC y barrera de aislamiento.

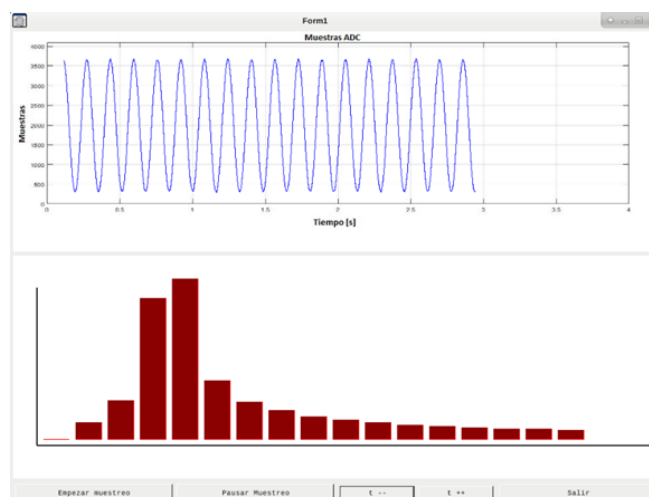


Fig. 6: Interfaz de usuario.

Seguidamente se midió el registro EEG de un usuario sin entrenamiento previo en el uso de sistemas BCI, pidiéndole que cierre los ojos en un momento del experimento para poder detectar el bloqueo alfa occipital.

En la Fig. 7 se presenta una ventana de 5 segundos del registro. En el mismo se evidencia el ritmo alfa (a partir del segundo 2), correspondiente a un periodo de relajación, y el espectro de la señal, obtenido con la transformada de Fourier mediante procesamiento offline. Para el cálculo de esta FFT se utilizaron las 5120 muestras del intervalo (5 s de muestreo a 1024 mps), por lo que el ancho de los beams es de:

$$\frac{1024 \text{ mps}}{5120 \text{ muestras}} = 0.2 \text{ Hz} .$$

### IV. DISCUSIÓN

En la Fig. 6 puede notarse el momento en que aparece el ritmo alfa de usuario, entre los 2 y 2,5 segundos de muestreo. Esto se ve reflejado en el espectro de frecuencias obtenidas en un post- procesamiento, el cual muestra un máximo de amplitud en 12,8 Hz, que está dentro del rango de frecuencias correspondientes a este tipo de señal (8-13 Hz). Otro aspecto para notar es la interferencia de la tensión de red (50 Hz), que debería reducirse en el futuro.

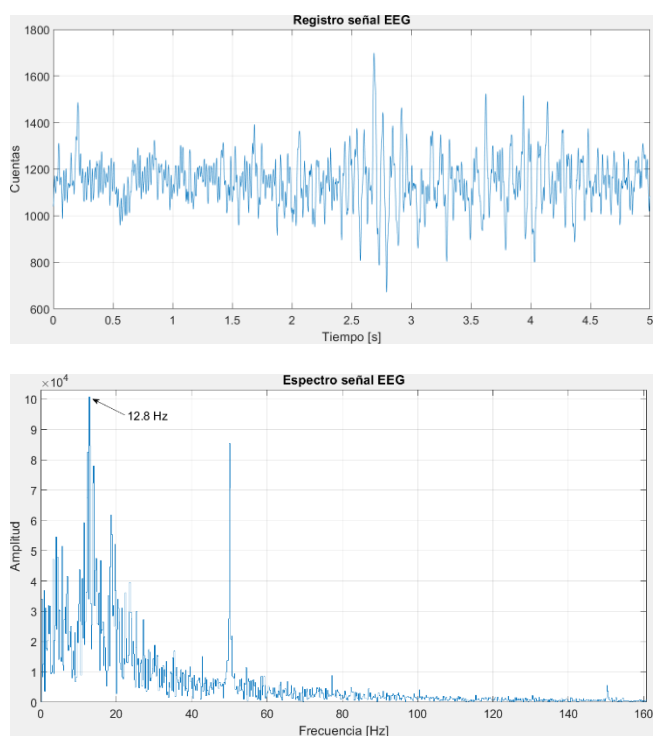


Fig. 7: Registro y espectro de señal EEG obtenida con post-procesamiento.

Mediante el análisis espectral de las señales es posible recuperar aquellas correspondientes al bloqueo alfa del usuario, que este puede iniciar y detener a voluntad. Con esta información es posible desarrollar una aplicación de BCI simple, que active una función determinada cuando este aparezca. Este tipo de aplicación, sin embargo, presenta claras dificultades: en primer lugar, el requerimiento de que el usuario mantenga cerrados los ojos imposibilita cualquier tipo de realimentación visual, dificultando su uso. Además, el bloqueo alfa occipital no es un fenómeno estable, por lo que las oscilaciones pueden interferir en el desempeño del sistema.

A pesar de las evidentes complicaciones de este tipo de aplicación, la correcta adquisición de la señal de bloqueo alfa occipital sirve como validación del equipo experimental diseñado. En un futuro se pretende orientar el trabajo en el tema a la implementación de una BCI basada en potenciales evocados visuales de estado estable (SSVEP) [9,10]. Este tipo de dispositivos procesan la actividad cerebral del usuario ante estímulos visuales periódicos superiores a 6 Hz, y utilizan esta información para que este interactúe con lo que se desea controlar. La experiencia realizada sugiere que adquirir y procesar señales en este rango de frecuencias es posible con la herramienta desarrollada.

## V. CONCLUSIONES

La mayoría de las aplicaciones actuales de BCI existen exclusivamente como investigaciones académicas, y consisten en una etapa de adquisición de biopotenciales, con el procesamiento desarrollado en una PC. Como estas aplicaciones han demostrado ser útiles es tiempo de migrar de un prototipo de laboratorio a un dispositivo reducido en tamaño, eliminando a la PC del esquema [8].

En este trabajo se presentó el desarrollo de un sistema embebido adquisidor de EEG basado en un sistema SoC DE-10 nano y un amplificador de biopotenciales acoplado en alterna de entrada diferencial. La elección de un sistema SoC como procesador supone importantes ventajas de

procesamiento de señal y flexibilidad. Al implementar en la FPGA las tareas de digitalización y procesamiento de señal se logra, por un lado, su ejecución en paralelo sin necesidad de un procesador para gestionarlas. Esto supone ventajas importantes en lo concerniente a la velocidad, en vistas de incorporar un procesamiento de señal más sofisticado en el futuro. Por otro lado, se logra separar estas tareas de la interfaz de usuario, que funciona en un procesador ARM con un sistema operativo Linux, contribuyendo a la flexibilidad del sistema planteado. El SE desarrollado es compacto, no depende de una PC y presenta un tiempo de arranque menor a 10 segundos.

Una de las principales desventajas de la elección de un SoC DE-10 nano es su necesidad de una conexión a la red de energía, exigiendo una etapa de aislación para alimentar el amplificador y limitando su portabilidad.

A lo largo del artículo se han presentado las ventajas que presenta un sistema de este tipo para aplicaciones de BCI, y se han mostrado resultados experimentales, correspondientes a un registro del ritmo alfa.

El trabajo realizado constituye un punto de partida sólido para orientar el trabajo a futuro en el tema. Uno de los principales aspectos a mejorar en el dispositivo es la etapa de procesamiento de la señal; es deseable que todo lo que tiene que ver con cargas computacionales altas, como la transformada de Fourier, se realicen mediante hardware dedicado en la FPGA. También es conveniente incrementar el rechazo del sistema a la tensión de red, ya sea mediante un mejor acondicionamiento de señal o bien filtrando en la etapa digital.

Como se ha mencionado a lo largo del artículo con el sistema de adquisición diseñado se pretende implementar una BCI basada en SSVEP. Para que el sistema actual pueda incorporar esta funcionalidad deben agregarse estímulos visuales, sincronizados con los instantes de digitalización de la señal. Deben estar, por lo tanto, integrados en la FPGA del SoC, lo cual supone un desafío adicional para el futuro trabajo en el tema.

## REFERENCIAS

- [1] Wolpaw J. R., Birbaumer N., McFarland D. J., Pfurtscheller G., and Vaughan T. M. (2002) 'Brain-computer interfaces for communication and control'. *Clin. Neurophysiology*, vol. 113, pp. 767–791.
- [2] Chabuda Anna, Durka Piotr and Zygierewicz Jarosław, (2018), 'High Frequency SSVEP-BCI With Hardware Stimuli Control and Phase-Synchronized Comb Filter', *IEEE TRANSACTIONS ON NEURAL SYSTEMS AND REHABILITATION ENGINEERING*, VOL. 26, NO. 2, FEBRUARY 2018.
- [3] Long Jinyi, Li Yuanqing, Wang Hongtao, Yu Tianyou, Pan Jiahui, and Li Feng, 'A Hybrid Brain Computer Interface to Control the Direction and Speed of a Simulated or Real Wheelchair', *IEEE TRANSACTIONS ON NEURAL SYSTEMS AND REHABILITATION ENGINEERING*, VOL. 20, NO. 5, SEPTEMBER 2012.
- [4] Spinelli E. M., Martinez N. y Mayosky M., (2001) "A Single Supply Biopotential Amplifier". *Medical Engineering and Physics*, ISSN 1350-4533, Vol. 23/3, pp. 235-238, 2001. URL <http://doi.acm.org/10.1145/2461466.2461522>
- [5] García P. A., Spinelli E. M. and Toccaceli G. (2014), "An Embedded System for Evoked Biopotential Acquisition and Processing", *International Journal of Embedded Systems (IJES)*. Publication date: may, 2014. Volume:6, Issue:1, pages 86-93.
- [6] Deniz Görk and Achim M. Kruck. "Designing Linear Amplifiers Using the IL300 Optocoupler". Vishay Semiconductors Application note 50. Document Number: 83708
- [7] B. H. Jansen, "Comments on 'A Cardiac Hypothesis for the Origin of EEG Alpha'", in *IEEE Transactions on Biomedical Engineering*, vol. BME-32, no. 5, pp. 347-348, May 1985. doi: 10.1109/TBME.1985.325554

- [8] Millán J. d. R., Rupp R., Müller-Putz G. R., Murray-Smith R., Giugliemma C., Tangermann M., Vidaurre C., Cincotti F., Kübler A., Leeb R., Neuper C., Müller K.-R. and Mattia D., 'Combining brain-computer interfaces and assistive technologies: state-of-the-art and challenges', *Frontiers in neuroscience*, Review Article published 07 September 2010 doi:10.3389/fnins.2010.00161.
- [9] Gao Xiaorong, Xu Dingfeng, Cheng Ming, and Gao Shang kai, (2003), 'A BCI-Based Environmental Controller for the Motion-Disabled', *IEEE Transactions on neural systems and rehabilitation engineering*, vol. 11, No. 2, June 2003.
- [10] García P. A., Spinelli E. M. and Toccaceli G. (2016), "An Embedded Hybrid BCI Speller". VII Congreso Latinoamericano de Ingeniería Biomédica (CLAIB 2016). Bucaramanga, Colombia. Octubre de 2016. IFMBE Proceedings, eBook ISBN: 978-981-10-4086-3, DOI: 10.1007/978-981-10-4086-3



**Matías Javier Oliva** nació en Río Gallegos, Argentina, en 1993. Obtuvo el título de Ingeniero Electrónico de la Universidad Nacional de La Plata (UNLP) en 2018. Actualmente es docente en el área de ciencias básicas del departamento de Ingeniería de la UNLP, estudiante del Doctorado en Ingeniería, becario UNLP e integra el grupo de Instrumentación biomédica, Industrial y Científica (GIBIC) dependiente del Instituto de Investigaciones en Electrónica, Control y Procesamiento de Señales (LEICI) de la UNLP.



**Pablo Andrés García** nació en Azul, Argentina, en 1976. Recibió los títulos de Ingeniero en electrónica, Magister en ingeniería y Doctor en ingeniería en la Universidad Nacional de La Plata (UNLP), en 2002, 2008 y 2019 respectivamente. Actualmente es Profesor Titular en el departamento de Electrotecnia de la Facultad de Ingeniería en la UNLP e integra el grupo de Instrumentación biomédica, Industrial y Científica (GIBIC) dependiente del Instituto de Investigaciones en Electrónica, Control y Procesamiento de Señales (LEICI) de la UNLP.



**Enrique Mario Spinelli** nació en Balcarce, Argentina. Recibió los títulos de Ingeniero en Electrónica, Magister y Doctor en Ingeniería en la Universidad Nacional de La Plata (UNLP). Actualmente es Profesor en la Facultad de Ingeniería en la UNLP, Investigador del CONICET y Director del Grupo de Instrumentación Biomédica, Industrial y Científica (GIBIC) dependiente del Instituto de Investigaciones en Electrónica, Control y Procesamiento de Señales (LEICI) UNLP-CONICET.