

Implementation of a digital Lock-in amplifier in SoC-FPGA for Biomedical Tomography

Matías Javier Oliva¹, Pablo Andrés García¹,
Enrique Mario Spinelli¹ and Alejandro Luis Veiga¹

¹Grupo de instrumentación Biomédica Industrial y Científica (GIBIC), Instituto de Investigaciones en Electrónica, Control y Procesamiento de Señales (LEICI), Facultad de Ingeniería, Universidad Nacional de La Plata (UNLP), Argentina.

Abstract— Magnetic Tomography is a technique that uses coil arrangements to determine the conductivity and permeability profile of an object. This is achieved by applying sinusoidal stimuli to a driving coil and measuring the generated signal in a sensing coil. These signals are usually of very low amplitude and poor levels of signal to noise ratio, but the applied stimulus is known, which enables the use of techniques such as the Lock-in amplifier to recover the response. However, the high price of commercially available devices is restrictive, so it is of interest to generate an open design. Heterogeneous embedded systems, which combine an array of programmable logic cells, a processor, peripherals, and shared memory controllers are an interesting tool to implement such a system. In this work the theoretical aspects of the Lock-in amplifier are discussed, showing that its action reduces the noise of the signals in a factor proportional to the bandwidth of the low-pass filter. Then, the design of an open-source Lock-in amplifier with a moving average filter on a DE1-SoC platform is presented, and it is experimentally shown that it reduces the noise of the signals by a factor $\sqrt{N/2}$, where N is the number of samples involved in the calculation of the moving average.

Keywords— Lock-in amplifier, SoC-FPGA, Digital design, Magnetic Tomography, Biomedical instrumentation.

Resumen— La Tomografía Magnética es una técnica que utiliza arreglos de espiras para determinar el perfil de conductividad y permeabilidad de un objeto bajo estudio. Esto se logra aplicando estímulos sinusoidales en una espira excitadora y midiendo la señal generada en una espira sensora. Estas señales suelen ser de muy baja amplitud y pobres niveles de relación señal a ruido, pero, al tener control sobre el estímulo aplicado, se pueden utilizar técnicas como el amplificador Lock-in para recuperar la respuesta. Sin embargo, el elevado precio de los aparatos disponibles resulta restrictivo, por lo que es de interés generar un diseño abierto. Los sistemas embebidos heterogeneos, que combinan un arreglo de celdas lógicas programables, un procesador, periféricos y controladores de memoria compartida, son una herramienta interesante para implementar un sistema como este. En este trabajo se describen los aspectos teóricos del funcionamiento del Lock-in, mostrando que reduce el ruido de las señales en un factor proporcional al ancho de banda del filtro pasa-bajos utilizado. Luego se presenta el diseño de un amplificador Lock-in de código abierto, con un filtro de media móvil en una plataforma DE1-SoC, y se muestra experimentalmente que el ruido de las señales se reduce en un factor $\sqrt{N/2}$, donde N es la cantidad de muestras involucradas en el cálculo del promedio móvil.

Palabras clave— Amplificador Lock-in, SoC-FPGA, Diseño digital, Tomografía Magnética, Instrumentación biomédica

I) INTRODUCCIÓN

Existen diversas técnicas para conseguir imágenes tomográficas sensibles a distintas características de los tejidos. Las técnicas eléctricas, en particular, tienen la ventaja de ser rápidas, de bajo costo, no intrusivas y de no ser peligrosas [1]. La Tomografía de Impedancia Eléctrica (EIT), por ejemplo, realiza mediciones de tensión en la superficie del objeto bajo estudio, resultantes de una inyección de corriente alterna de baja intensidad, para generar perfiles de conductividad (σ) y permitividad (ϵ) del objeto [2]. Algunas técnicas pueden aplicarse sin contacto galvánico, como la Tomografía de Capacitancia Eléctrica (ECT), que es capaz de obtener perfiles de permitividad (ϵ) del objeto, midiendo sus perfiles capacitivos [3], y la Tomografía de Inductancia Magnética (MIT), que se basa en medidas de inductancia mutua para extraer datos relacionados con la conductividad (σ) y permeabilidad (μ) [4][5]. Esto se logra aplicando una señal conocida en una espira excitadora, y midiendo la respuesta de una espira

sensora, como muestra la Fig. 1. Las señales involucradas suelen ser de muy baja amplitud y muy pobres niveles de relación señal a ruido (SNR) pero, al tener control sobre el estímulo aplicado, es posible aplicar técnicas para recuperar la respuesta, como la promediación coherente [6] y el amplificador Lock-in (LIA) [7][8][9]. Este último es un instrumento de gran utilidad en instrumentación científica, pero el elevado precio de los aparatos disponibles comercialmente resulta restrictivo, por lo que se propuso generar un diseño abierto.

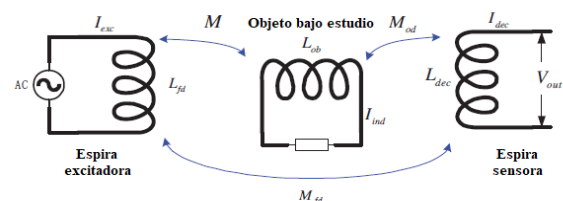


Fig. 1. Tomografía Magnética [5]

Los sistemas embebidos heterogéneos SoC-FPGA consisten en un arreglo de celdas lógicas programables

(FPGA), un procesador, periféricos y controladores de memoria, integrados en un mismo chip [10]. Una arquitectura como esta se adecúa bien a un sistema de detección coherente de señales; con la FPGA dedicada a la generación, adquisición y procesamiento de las señales, y el procesador dedicado a las tareas de alto nivel.

En este trabajo se presenta la implementación de un LIA digital de código abierto. Este formará parte del Tomógrafo Magnético presentado en la Fig. 2. [11] Primero se presentan los fundamentos teóricos del LIA, para luego describir su implementación en una plataforma DE1-SoC Development Kit [12], que cuenta con un dispositivo SoC-FPGA Cyclone V. En este, todas las partes del sistema que requieren cómputos en tiempo real se resuelven del lado de la FPGA, dejando al procesador libre para implementar la interfaz de usuario, el monitoreo de la operación, y otras tareas menos exigentes. Finalmente se muestran resultados de cálculos para distintos niveles de relación señal-ruido, mostrando como ésta mejora con la aplicación de esta técnica, tal como predicen los cálculos de la sección II.

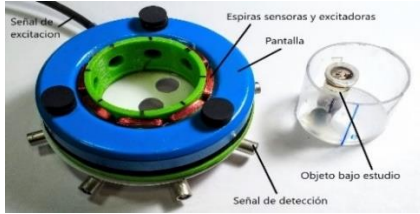


Fig. 2. Tomógrafo Magnético

II) MATERIALES Y MÉTODOS

A. Fundamentos matemáticos.

El funcionamiento del LIA se basa en la modulación y demodulación coherente de la señal de interés. En este artículo se analizará el LIA de dos fases. El lector interesado puede consultar sobre LIA de una fase en [8].

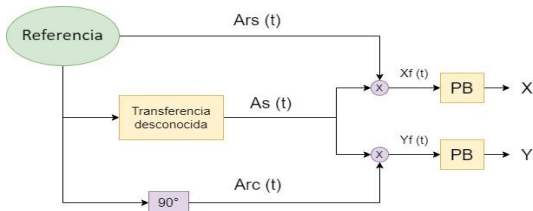


Fig. 3. Lock-in de dos fases

La Fig. 3 muestra la operación del LIA. Para encontrar la transferencia de un sistema desconocido primero se lo modula con una señal sinusoidal de frecuencia $\omega_0 = 2\pi f_0$, mediante una tensión de referencia $A_{rs}(t)$, generando una señal $A_s(t)$.

$$\begin{aligned} A_{rs}(t) &= A_r \text{sen}(\omega_0 t + \Phi_r) \\ A_{rc}(t) &= A_r \text{cos}(\omega_0 t + \Phi_r) \\ A_s(t) &= A_s \text{sen}(\omega_0 t + \Phi_s) \end{aligned} \quad (1)$$

Esta es multiplicada por la referencia, y por la referencia desfasada 90° ($A_{rc}(t)$), generando una componente de continua y una del doble de la frecuencia f_c . Luego se aplica un filtro pasa-bajos, que elimina el componente de $2f_c$:

$$\begin{aligned} X &= \frac{A_s A_r}{2} \cos(\Phi_r - \Phi_s) \\ Y &= \frac{A_s A_r}{2} \text{sen}(\Phi_s - \Phi_r) \end{aligned} \quad (2)$$

De donde se obtienen los parámetros de interés de la señal desconocida A_s y Φ_s :

$$A_s = \frac{2}{A_r} \sqrt{X^2 + Y^2} \quad (3)$$

$$(\Phi_s - \Phi_r) = \text{atan}\left(\frac{Y}{X}\right) \quad (4)$$

B. Efecto de Lock-in sobre el ruido

La acción de multiplicar por una señal de referencia y luego aplicar un filtro pasa-bajos al resultado puede verse como un filtro pasa-banda centrado en la frecuencia de interés f_0 [7]. Suponiendo que al sistema ingresa ruido blanco limitado en banda, de densidad espectral de potencia igual a N_0 dentro de una cierta banda $\omega_1 < \omega < \omega_2$ y que el filtro es lineal e invariante en el tiempo, la densidad espectral a la entrada del LIA, $S_i(\omega)$ y a la salida, $S_o(\omega)$ estarán dadas por:

$$S_i(\omega) = \begin{cases} N_0 & \omega_1 < \omega < \omega_2 \\ 0 & \text{En otro caso} \end{cases} \quad (5)$$

$$S_o(\omega) = |H(\omega)|^2 S_i(\omega) \quad (6)$$

Suponiendo además que el filtro es ideal, es decir un cajón con ganancia K , centrado en ω_0 y ancho $\Delta\omega < \omega_2 - \omega_1$:

$$S_o(\omega) = \begin{cases} N_0 K^2 & \omega_0 - \Delta\omega/2 < \omega < \omega_0 + \Delta\omega/2 \\ 0 & \text{En otro caso} \end{cases} \quad (7)$$

Para obtener la potencia media de ruido a la salida se puede aplicar el teorema de Wiener-Khinchin, que relaciona la densidad espectral de ruido con la autocorrelación de la señal ($R_{xx}(\tau)$) [13][14]. Luego, considerando que en el ruido blanco no hay correlación entre los valores de señal en dos momentos distintos, la potencia media se puede obtener evaluando esta autocorrelación en $\tau = 0$:

$$\begin{aligned} R_{xx}(\tau) &= \frac{1}{2\pi} \int_{-\infty}^{\infty} S(\omega) e^{-j\omega\tau} d\omega \\ R_{xx}(\tau) &= \frac{1}{2\pi} \int_{\omega_0 - \frac{\Delta\omega}{2}}^{\omega_0 + \frac{\Delta\omega}{2}} K^2 N_0 e^{-j\omega\tau} d\omega \\ R_{xx}(\tau) &= \frac{K^2 N_0 \frac{\Delta\omega}{2\pi} \text{sen}\left(\frac{\Delta\omega}{2}\tau\right)}{\left(\frac{\Delta\omega}{2}\tau\right)} e^{-j\omega_0\tau} \end{aligned} \quad (8)$$

por lo que la potencia media de ruido a la salida será:

$$R_{xx}(0) = K^2 N_0 \frac{\Delta\omega}{2\pi} = K^2 N_0 B_W \quad (9)$$

Donde se ha definido al ancho de banda del filtro $B_W = \frac{\Delta\omega}{2\pi}$. Esto lleva al resultado:

$$\sqrt{\frac{R_{xx}(0)}{N_0}} = \frac{\sigma_o}{\sigma_i} = K \sqrt{B_W} \quad (10)$$

Este análisis simplificado permite discernir algunos aspectos de la acción del Lock-in. La desviación estándar del ruido en la salida disminuye proporcionalmente con la raíz cuadrada del ancho del filtro pasa-bajos utilizado. Es decir que con filtros más selectivos se obtiene una mayor reducción del ruido a la salida. Idealmente si se pudiese lograr $B_W=0$ se rechazaría todo el ruido a la salida, aunque esto implicaría integrar la señal durante un tiempo infinito.

C. Implementación en SoC-FPGA

La Fig. 4 resume el diseño del LIA en SoC-FPGA. Del lado de la FPGA se encuentran los módulos que se encargan del procesamiento de la señal en tiempo real, mientras que el procesador se encarga del control de la operación y la interfaz de usuario. La FPGA se programó en forma modular, con todos los módulos diseñados en Verilog. Para la sincronización de datos entre módulos se incorporó una señal extra, “data valid”, que le confirma al módulo siguiente que la señal es válida en determinado ciclo de reloj. Estas interfaces son conocidas como “Avalon- Streaming” en la documentación de Intel-Altera [15]. En la Fig. 4 se representan mediante flechas gruesas. Del lado del procesador se programó un sistema de control y lectura de datos en C++, que se encarga de iniciar y reiniciar los cálculos mediante comandos ENABLE y RESET, leer los datos disponibles y modificar los parámetros de la operación de la FPGA: amplitud del ruido (AMP), largo de integración del Lock-in (NL), puntos por ciclo de señal (PTS), y frecuencia del reloj principal (FREC).

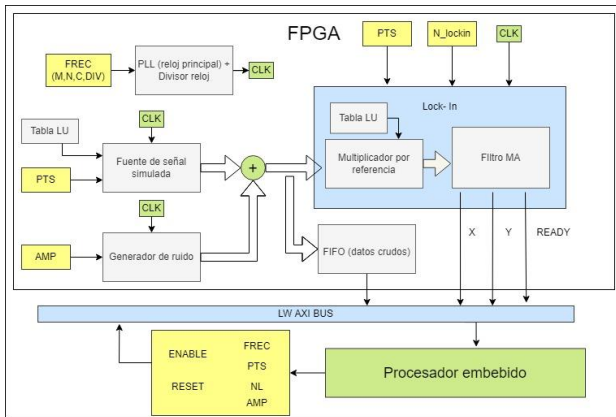


Fig. 4. Esquema general del dispositivo

i. *Reloj principal*: El reloj principal está implementado con uno de los PLL disponibles en el chip Cyclone V [16]. Según la frecuencia configurada por el usuario mediante el comando FREC se determina el multiplicador y divisor del PLL para configurar la frecuencia en el rango [1MHz, 65MHz]. Adicionalmente un divisor del reloj permite lograr frecuencias menores.

ii. *Fuente de señal simulada*: Para este diseño los datos que entran al Lock-in (señal $A_s(t)$) son generados digitalmente, a través de una tabla de consulta que almacena los datos de una onda sinusoidal, cuantizada en 14 bits. La amplitud de la señal es por lo tanto de $(2^{14} - 1)/2 = 8191,5$ cuentas. Este módulo recorre la tabla, proporcionando en cada ciclo de reloj un dato correspondiente a una onda sinusoidal, con una periodicidad de PTS muestras.

iii. *Generador de ruido*: Este módulo genera números pseudo-aleatorios mediante un registro de desplazamiento con retroalimentación lineal (conocido usualmente por su acrónimo en inglés: LFSR) [17]. Estos datos se escalan mediante el parámetro AMP y se suman a la señal sinusoidal pura, para simular el efecto de una señal inmersa en ruido de distintos niveles de SNR. Si bien la secuencia es pseudo-aleatoria se la eligió lo suficientemente larga (4294967295 ciclos de reloj), como para garantizar una distribución

similar a la uniforme, con una desviación estándar dada por:

$$\sigma_{uniforme} = \frac{AMP}{\sqrt{12}}.$$

iv. *Multiplicador por referencia*: Este módulo se encarga de multiplicar la señal entrante por las ondas sinusoidal y cosenoidal de referencia, almacenadas en sendas tablas de consulta, y cuantizadas en 16 bits.

v. *Filtro pasa-bajos*: El filtro pasa-bajos implementado es un filtro de media móvil (MA) de largo $N_{MA} = PTS \times NL$, donde NL representa la cantidad de ciclos de señal que integra el filtro. A medida que estos parámetros aumentan el filtro se vuelve más selectivo, por lo que se reduce el ruido que aparece a la salida del sistema.

vi. *Interfaz de usuario*: Esta parte del procesamiento se realiza en el procesador integrado en el chip Cyclone V, que ejecuta un sistema operativo Linux. Este tiene acceso a un sector de memoria compartida con la FPGA, a través de buses integrados en el chip. Para este diseño se utilizó el “lightweight axi bus”, que mapea los parámetros configurables (AMP, NL, PTS y FREC), los datos de control (ENABLE y RESET) y los datos de salida en el dispositivo /dev/mem. En este esquema el paradigma de programación orientada a objetos tiene algunos beneficios: una misma clase “FPGA” puede solucionar la comunicación con la FPGA, permitiendo su fácil reconfiguración ante cambios en el hardware. Por este motivo se implementó un programa en C++, que se ejecuta por consola, y se encarga de controlar la operación. Adicionalmente este programa se encarga de obtener la amplitud y fase final de los cálculos, computando las ecuaciones (4) y (5).

III) RESULTADOS

El sistema se implementó en la plataforma DE1-SoC. El diseño en la FPGA se optimizó temporalmente hasta alcanzar una frecuencia máxima de operación de 86,61 MHz. En el futuro se pretende incorporar al sistema una etapa de generación y adquisición de señales de alta velocidad, de 65 MHz de frecuencia máxima [18] para generar y medir las señales, por lo que esta frecuencia, calculada mediante la herramienta de análisis temporal de Quartus 2 (“Timequest timer analyzer”), resulta satisfactoria.

Con el parámetro PTS fijo en 32 y para distintas SNR se fue variando el largo del filtro MA mediante el parámetro NL en el rango de 1 a 128. Para cada combinación de SNR y NL se calcularon $N=200$ estimaciones de la amplitud de la señal de entrada A_s mediante la ecuación (4). Luego se tomó el promedio y la desviación muestral de estas mediciones mediante las ecuaciones (11) y (12). Los resultados obtenidos se resumen en la Fig. 5. y la tabla I.

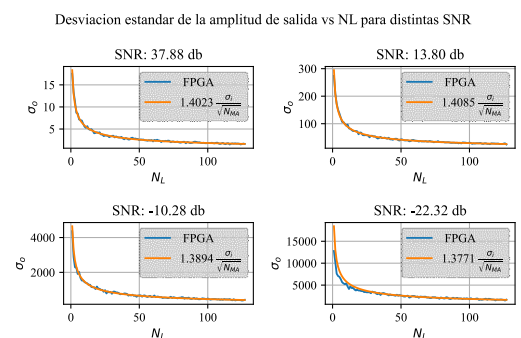


Fig. 1. Desviación estándar de A_s frente al parámetro NL

TABLA I
AMPLITUDES ESTIMADAS PARA CADA SNR CON NL= 128.

SNR [dB]	Amplitud estimada [cuentas]	SNR [dB]	Amplitud estimada [cuentas]
Inf	8190,59	25,84	8190,11
80,03	8190,59	19,82	8190,38
74,01	8190,59	13,80	8191,99
67,99	8190,59	7,78	8187,23
61,97	8190,58	1,76	8196,21
55,95	8190,57	-4,26	8186,62
49,93	8190,58	-10,28	8204,25
43,91	8190,65	-16,30	8306,26
37,88	8190,72	-22,32	8359,27
31,86	8190,24		

$$\bar{A}_s = \frac{1}{M} \sum_{n=1}^N (A_s)_n \quad (11)$$

$$\sigma_A = \sqrt{\frac{1}{N+1} \sum_{n=1}^N ((A_s)_n - \bar{A}_s)^2} \quad (12)$$

IV) DISCUSIÓN

La señal sinusoidal de entrada está cuantizada a 14 bits, por lo que tiene una amplitud de 8191,5 cuentas. La tabla I muestra los resultados de la estimación cuando $NL = 128$. El sistema es capaz de estimar correctamente la amplitud para las SNR planteadas, con un error relativo cercano al 2% en el peor caso analizado ($SNR = -22.32 \text{ dB}$).

Como deja en claro la ecuación (10), la desviación estándar de la amplitud de salida del Lock-in decrece en forma proporcional al ancho de banda del filtro pasa-bajos utilizado. Como en el filtro de media móvil utilizado el ancho de banda es inversamente proporcional a la cantidad de puntos involucrados en el cálculo ($N_{MA} = PTS \times NL$), resulta que la potencia de ruido a la salida está dada por:

$$\sigma_o = \frac{\sigma_i}{\sqrt{N_{MA}}} k \quad (13)$$

Si se realiza un ajuste de mínimos cuadrados [19] en los datos obtenidos experimentalmente, se desprende que el factor de proporcionalidad para este filtro en particular es aproximadamente igual a $\sqrt{2}$, para los valores SNR testeados. Esto puede apreciarse en la Fig. 5., donde el ajuste de mínimos cuadrados se representa con líneas naranjas, y se muestran los valores obtenidos de K para cada SNR, cercanos a $\sqrt{2}$.

V) CONCLUSIONES

En este trabajo se presentó un amplificador Lock-in basado en un sistema SoC-FPGA DE1-SoC, con un filtro de media móvil como filtro pasa-bajos. Se dieron los fundamentos teóricos de su funcionamiento y se demostró que su uso permite reducir el ruido de las señales de entrada en un factor $\sqrt{N_{MA}/2}$, donde N_{MA} es la cantidad de muestras involucradas en el cálculo del promedio móvil.

El sistema desarrollado no necesita de conocimientos especializados para ser utilizado, por lo que puede aplicarse como método de medida en distintos problemas de bioingeniería. Si bien el principal objetivo del trabajo es implementar la Tomografía Magnética, el carácter modular del sistema permitirá su reutilización en otras técnicas y herramientas de medida. Finalmente es destacable que el

diseño es abierto, y se llevó a cabo con herramientas accesibles. El trabajo a futuro en el tema involucrará incorporar un sistema de generación y adquisición de señales de alta velocidad (Conversor digital analógico [DAC] y analógico digital [ADC] respectivamente) al diseño.

REFERENCIAS

- [1] A J Peyton et al (1996). *An overview of electromagnetic induction tomography: description of three different systems*. Meas. Sci. Technol. 7 261
- [2] J. Riera, P.J. Riub, P. Casanc y J.R. Masclans (2011). *Tomografía de impedancia eléctrica en la lesión pulmonar aguda*. Med Intensiva. 2011;35(8):509--517, doi: 10.1016/j.medint.2011.05.005
- [3] Huang, Songming, Xie, C., Thorn, R., Snowden, D. y Beck, M.S. (1992). *Design of Sensor Electronics for Electrical Capacitance Tomography*. Circuits, Devices and Systems, IEE Proceedings G. 139. 83 - 88. doi: 10.1049/ip-g-2.1992.0014.
- [4] Wuliang Yin, Guang Chen, Jian Jiang y Ziqiang Cui (2010). *The Design of a FPGA-based Digital Magnetic Induction Tomography (MIT) System for Metallic Object Imaging*. International Instrumentation and Measurement Technology Conference.
- [5] Tianlin Gao, Mingxin Liu, Tengda Cao, Yingsong Li y Wei Xue (2019). *Electromagnetic Imaging and Detection Technology Based on FPGA*. 2019 IEEE 2nd International Conference on Electronic Information and Communication Technology (ICEICT), pp. 877-880, doi: 10.1109/ICEICT.2019.8846446.
- [6] O. Rempelman and H.H. Ros (1986). *Coherent averaging technique: a tutorial review. Part I. Noise reduction and the equivalent filter*. J. Biomed. Eng., 8 (1), pp. 24-29
- [7] Stanford Research Systems. About Lock-in Amplifiers. *Application note #3*. Recuperado de: www.thinksrs.com
- [8] Cheng Zhang, Huan Liu, Jian Ge y Haboan Dong (2020). *FPGA-Based Digital Lock-in Amplifier With High-Precision Automatic Frequency Tracking*. IEEE Access, vol. 8, pp. 123114-123122, doi: 10.1109/ACCESS.2020.3006070.
- [9] G. A. Stimpson, M. S. Skilbeck, R. L. Patel, B. L. Green, y G. W. Morley (2019). *An open-source high-frequency Lock-in amplifier*. Review of Scientific Instruments 90, 094701 doi: 10.1063/1.5083797.
- [10] Yang, Haigang & Zhang, Jia & Sun, Jiabin & Yu, Le. (2014). Review of advanced FPGA architectures and technologies. Journal of Electronics. 31. 371-393. doi: 10.1007/s11767-014-4090-x.
- [11] Veiga, Alejandro Luis; Fernandez-Corazza, Mariano; Fernández van Raap, Marcela B.; Spinelli, Enrique M. (2022): *Imaging of Magnetic Nanoparticles with Permeability Tomography*. TechRxiv. Preprint. <https://doi.org/10.36227/techrxiv.19323497.v1>
- [12] Terasic Technologies (2014). *DE1-SoC User Manual*. Recuperado de: <https://www.terasic.com.tw/> en mayo de 2022
- [13] Wiener, Norbert (1930). *Generalized Harmonic Analysis*. Acta Mathematica. 55: 117-258. doi:10.1007/bf02546511
- [14] Khintchine, Alexander (1934). *Korrelationstheorie der stationären stochastischen Prozesse*. Mathematische Annalen. 109 (1): 604-615. doi:10.1007/BF01449156
- [15] Intel Corporation (2020). *Avalon® Interface Specifications*. Recuperado de: <https://www.intel.com/> en Mayo de 2022.
- [16] Intel Corporation (2019). *Implementing Fractional PLL Reconfiguration with Altera PLL and Altera PLL Reconfig IP Cores*. Recuperado de: <https://www.intel.com/> en Mayo de 2022.
- [17] Peter Allke (1996). *Efficient Shift Registers, LFSR Counters, and Long Pseudo-Random Sequence Generators*. Xilinx application note. XAPP 052 July 7, 1996 (Version 1.1).
- [18] Terasic Technologies (2014). *THDB-ADA High-Speed A/D and D/A Development Kit User Manual*. Recuperado de: <https://www.terasic.com.tw/> en agosto de 2022
- [19] Abdi, H (2003). *Least-squares*. Encyclopedia for research methods for the social sciences. Thousand Oaks (CA): Sage. pp. 792-795.



Matías Javier Oliva nació en Río Gallegos, Argentina, en 1993. Obtuvo el título de Ingeniero Electrónico de la Universidad Nacional de La Plata (UNLP) en 2018. Actualmente es docente del área de Electroecnia de la Facultad de Ingeniería en la UNLP, estudiante del Doctorado en Ingeniería, becario UNLP e integra el grupo de Instrumentación biomédica, Industrial y Científica (GIBIC) dependiente del Instituto de Investigaciones en Electrónica, Control y Procesamiento de Señales (LEICI) de la UNLP.



Pablo Andrés García nació en Azul, Argentina, en 1976. Recibió los títulos de Ingeniero en electrónica, Master en ingeniería y Doctor en ingeniería en la UNLP, en 2002, 2008 y 2019 respectivamente. Actualmente es Profesor Titular en el departamento de Electroecnia de la Facultad de Ingeniería en la UNLP e integra el grupo GIBIC, dependiente del instituto LEICI de la UNLP



Enrique Mario Spinelli nació en Balcarce, Argentina. Recibió los títulos de Ingeniero en Electrónica, Magister y Doctor en Ingeniería en la UNLP. Actualmente es Profesor en la Facultad de Ingeniería en la UNLP, Investigador del CONICET y director del Grupo GIBIC, dependiente del instituto LEICI de la UNLP.



Alejandro Luis Veiga Recibió los títulos de Ingeniero en Electrónica, Magister y Doctor en Ingeniería de la UNLP en 1993, 1999 y 2008 respectivamente. Actualmente es Profesor de la Facultad de Ingeniería de la UNLP, Investigador del CONICET, y miembro del Grupo GIBIC, dependiente del instituto LEICI de la UNLP. Su principal campo de investigación es la Instrumentación Científica.