

# DISEÑO E IMPLEMENTACIÓN DE UN TRANSMISOR DEFINIDO POR SOFTWARE

Llorente, J. Fermín<sup>1</sup>; Juárez, José M.<sup>1,2,3</sup>; Carlotto, Adrián<sup>1,2</sup>

<sup>1</sup>Departamento de Electrotecnia, Facultad de Ingeniería, Universidad Nacional de La Plata, La Plata, Argentina.

<sup>2</sup>Grupo de Investigación y Desarrollo en Comunicaciones Digitales (GrIDComD).

<sup>3</sup>Departamento de Ciencia y Tecnología, Universidad Nacional de Quilmes, Bernal, Argentina.

\*Correos electrónicos: {fermin.llorente, jjuares, carlotto}@ing.unlp.edu.ar

**RESUMEN**—En este trabajo se presenta el desarrollo de un Transmisor Definido por Software (SDTx), basado en un modulador en fase y cuadratura. El mismo permite generar señales moduladas 2-D, a partir de sus componentes en banda base, tanto para sistemas de modulación analógicos como digitales. Un microprocesador cumple la función de configurar los diferentes subsistemas, como así también la de generar las muestras de las señales en fase y cuadratura, que son convertidas por un DAC doble canal y entonces ingresadas al modulador ya mencionado. El transmisor puede configurarse mediante programa, en un amplio rango de frecuencias (100 MHz a 2.4 GHz con una resolución de 1 Hz) como así también, permite variar su potencia de salida en un rango de 47 dB (a pasos de 1 dB). La versatilidad en la selección del sistema de modulación utilizado, tanto como en la configuración de los diferentes parámetros de transmisión, permite que el equipo pueda ser utilizado en laboratorio, para pruebas de diferentes sistemas de comunicaciones. En el GrIDComD de la FIUNLP, será utilizado en las pruebas funcionales del receptor de vuelo DCS, para la misión SABIAMar (CONAE), desarrollado por el grupo. Asimismo, se utilizará en la caracterización de receptores del sistema ADS-B. El objetivo final es contar con un equipo portable, que pueda utilizarse en conjunto con una PC o un teléfono celular. El trabajo muestra el diseño y la implementación del modelo de ingeniería del SDTx.

**Index Terms**—Transmisor, modulador, SDTx.

## I. INTRODUCCIÓN

La implementación de un dispositivo transmisor definido por software (SDTx por sus siglas en inglés) en un amplio rango de frecuencias, resulta de especial interés para el ensayo de soluciones y el trabajo en distintas aplicaciones. En este caso, haciendo uso de los sistemas integrados (SoC) y las técnicas de radio definida por software (SDR), es posible construir un sistema complejo, de bajo consumo y a un bajo costo. Las muestras de las componentes en banda base de las señales a transmitir, se generan en el microprocesador, para luego ser convertidas al dominio analógico mediante un conversor D/A (DAC). Estas señales, en banda base, son las que ingresan al modulador para que el mismo entregue la señal de RF con la modulación deseada. De esta manera se obtiene un sistema configurable a numerosas aplicaciones, siendo esta la principal diferencia con un transmisor tradicional que es implementado para un fin específico.

Se destaca el objetivo pedagógico de nuestro desarrollo, debido a que será utilizado en demost-

traciones en tiempo real dentro del aula, por diferentes asignaturas de la carrera de Ingeniería en Telecomunicaciones de la FIUNLP.

El trabajo está organizado de la siguiente manera. En la Sección II se presentan los fundamentos para la generación de las señales moduladas, para sistemas de modulación digital y analógicos, utilizando un modulador IQ. En la Sección III se analizan los subsistemas que componen al transmisor. La Sección IV detalla el diseño y desarrollo llevado a cabo que concluye en el modelo de ingeniería del SDTx. Y por último, en las Secciones V y VI se presentan las líneas de trabajo a futuro y conclusiones, respectivamente.

## II. MODULACIÓN EN FASE Y CUADRATURA

Una señal pasabanda  $s(t)$  puede expresarse en función de sus componentes en fase y cuadratura,  $I(t)$  y  $Q(t)$  respectivamente, alrededor de la frecuencia de portadora  $f_c$  y la fase  $\theta$  (ambas constantes)

como

$$s(t) = I(t) \cos(2\pi f_c t + \theta) - Q(t) \sin(2\pi f_c t + \theta) . \quad (1)$$

Un modulador IQ permite generar la señal pasabanda 2-D tanto para sistemas de modulación analógicos como digitales, a partir de sus componentes en fase y cuadratura. Un diagrama funcional de la versión analógica del modulador, se observa en la Fig. 1, donde el oscilador es sinusoidal a la frecuencia de portadora  $f_c$ .

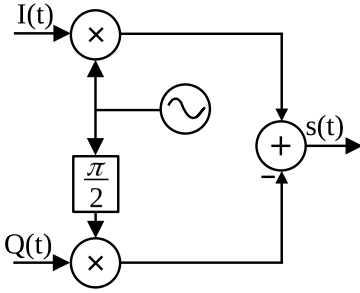


Fig. 1. Esquema de un modulador IQ.

La señal de un sistema de modulación analógico de onda continua puede escribirse como

$$s(t) = A(t) \cos(2\pi f_c t + \theta + \phi(t)) , \quad (2)$$

con  $A(t) \in \mathbb{C}$  y  $\phi(t) \in \mathbb{R} \forall t$ . Teniendo en cuenta esto es posible plantear cómo resultan las componentes en fase y cuadratura que deben ingresar al modulador IQ de la Fig. 1 para generar distintos tipos de modulación analógicos de onda continua. De aquí en más  $M(t)$  hace referencia al mensaje a transmitir y se presentan algunos ejemplos de este tipo.

#### A. DBL

La señal para doble banda lateral (DBL) resulta

$$s(t) = AM(t) \cos(2\pi f_c t + \theta) . \quad (3)$$

Por lo que se obtiene

$$I(t) = AM(t) , \quad Q(t) = 0 . \quad (4)$$

#### B. AM

La señal para modulación por amplitud (AM) resulta

$$s(t) = A [1 + aM_n(t)] \cos(2\pi f_c t + \theta) , \quad (5)$$

donde  $M_n(t)$  es el mensaje normalizado y  $a$  es el índice de modulación [1]. De aquí se obtiene cómo debería ser cada componente

$$I(t) = A(1 + aM_n(t)) , \quad Q(t) = 0 . \quad (6)$$

#### C. Modulación exponencial

En el caso de modulación exponencial es necesario reescribir la Ecuación (2) para obtener las componentes de manera directa. Aquí se deja la amplitud de la señal constante y el mensaje a transmitir modifica la desviación de fase  $\phi(t)$ . El modelo de señal se puede expresar como

$$s(t) = A [\cos(2\pi f_c t + \theta) \cos(\phi(t)) - \sin(2\pi f_c t + \theta) \sin(\phi(t))] . \quad (7)$$

De aquí se obtiene cómo deben ser  $I(t)$  y  $Q(t)$  en función de la desviación de fase

$$I(t) = A \cos(\phi(t)) , \quad Q(t) = A \sin(\phi(t)) . \quad (8)$$

Esta desviación de fase tendrá información del mensaje  $M(t)$  según cuál sea el sistema de modulación a utilizar, aquí se detalla su expresión para el caso de modulación de fase (PM) y modulación de frecuencia (FM).

$$\text{PM: } \phi(t) = k_p M(t) , \quad (9)$$

$$\text{FM: } \phi(t) = 2\pi k_f \int_{-\infty}^t M(\lambda) d\lambda , \quad (10)$$

con  $k_p$  y  $k_f$  las constantes de desviación de fase y de frecuencia, respectivamente [1].

#### D. Modulación digital

Para el caso de una modulación digital, con señales de modulación por amplitud de pulso (PAM) la señal pasabanda puede representarse como

$$s(t) = \sum_n A_n p(t - nT_s) \cos(2\pi f_c t + \theta) . \quad (11)$$

Se define  $A_n$  como la secuencia de amplitudes,  $T_s$  como el tiempo de símbolo y  $p(t)$  como la forma de

pulso (NRZ, RZ, Manchester, RRC, entre otros) [2]. Tal como se hizo para los sistemas de modulación analógicos, se puede obtener las componentes en fase y cuadratura para generar esta señal mediante un modulador IQ. Lo que se obtiene es

$$I(t) = \sum_n A_n p(t - nT_s) \quad , \quad Q(t) = 0 \quad . \quad (12)$$

### III. MATERIALES

El alto grado de integración logrado por *Analog Devices* de un modulador IQ de altas prestaciones en un encapsulado de pequeñas dimensiones, es un factor crucial para la elección del chip. Además, por la gran popularidad de estas técnicas existen desarrollos de etapas de conversión digital-analógica especialmente diseñadas para trabajar con sistemas de modulación de este tipo. En particular, el fabricante provee el sistema modulador en un SoC y ofrece distintos DAC optimizados para ser utilizados en conjunto con el modulador. Se elige el modulador IQ ADRF6755 [3] junto con el DAC AD9779 [4], que cuenta con dos canales de conversión de 16 bits cada uno, lo cual reduce la complejidad del diseño del transmisor.

#### A. Modulador ADRF6755

El integrado es un modulador en cuadratura que cuenta con un lazo de enganche de fase (*Phase Lock Loop* o PLL) fraccional para sintetizar frecuencias del oscilador local con un oscilador controlado por tensión (*Voltage Controlled Oscillator* o VCO) también integrado en el chip. El sintetizador de frecuencias se controla mediante una referencia de reloj externa de mayor estabilidad. Esta etapa consigue una resolución en frecuencia menor a 1 Hz en el rango de 100 MHz a 2.4 GHz. Mediante un divisor de radiofrecuencia (RF) fraccional se logra una relación de división desde 23 hasta 4095 en la realimentación a lazo cerrado del PLL. La potencia de salida nominal del modulador es de 0 dBm y además cuenta con un atenuador de hasta 47 dB controlado digitalmente con pasos de 1 dB. Por otro lado, la referencia de reloj puede ser duplicada en frecuencia y luego dividida con un divisor de 5 bits, permitiendo relaciones de división de hasta 32. Esto presenta grandes ventajas al desarrollar un modelo de ingeniería debido a que no condiciona a usar un

equipo en particular para generar la referencia de reloj.

El integrado tiene entradas diferenciales para las señales  $I$  y  $Q$  en banda base, las mismas deben tener una excursión de 1 V pico a pico (expresado como p-p a partir de aquí) diferenciales, o 500 mVp-p en cada pin. Por lo que es necesario realizar una conversión de las corrientes diferenciales que entrega el DAC (Sección III-B) a este rango de tensiones. Además de estas especificaciones se debe cumplir con una tensión de continua en modo común de 500 mV en cada terminal [3].

#### B. Conversor Digital a Analógico AD9779

El DAC cuenta con dos canales de conversión de 16 bits cada uno, con posibilidad de operación hasta 1 Gbps. Tiene su salida dual optimizada para ser interconectada con un modulador en cuadratura analógico como el mencionado anteriormente (Sección III-A). Incluso el mismo fabricante recomienda el uso de moduladores de la familia del que fue elegido [4].

Este chip cuenta con diversas funcionalidades que permitirían su uso de manera independiente del modulador en aplicaciones de transmisión con conversión directa, por ejemplo. Incluso cuenta con un modulador integrado para poder reconstruir las señales y ubicar la portadora donde se desee dentro del ancho de banda del dispositivo. La alta resolución de cuantización con la que cuenta y el canal dual para la conversión permite que el transmisor sea fácilmente adaptable a un gran número de aplicaciones. El trabajo de diseño y generación de las señales, además de su optimización, esta completamente encomendado a la etapa del microcontrolador.

#### C. Microcontrolador Cortex-M3

El subsistema encargado de la configuración de los integrados ya mencionados y de la generación de señales digitales consiste en un microcontrolador de la familia ARM de 32 bits, Cortex-M3 (*NXP Semiconductors*) junto con su respectiva placa de evaluación y programación [5]. La placa de evaluación utilizada es del fabricante *Embedded Artists*, modelo LPCXpresso1769. Permite operar con una frecuencia de reloj de hasta 120 MHz y cuenta con 65 terminales disponibles para su uso como entradas y salidas de propósitos generales (*General Purpose*

Input/Output o GPIO). Se elige este microcontrolador ya que el mismo presenta compatibilidad en cuanto a niveles de tensión para la interconexión entre las señales del modulador y del DAC, además de que presenta una cantidad suficiente de pines para lograr la interfaz con ambos canales del DAC y de las señales de configuración para ambos integrados.

Tanto el modulador como el DAC pueden ser configurados mediante SPI (*Serial Peripheral Interface*) por lo que el bus de configuración y control para ambos equipos se puede implementar con relativamente pocas señales, las mismas son detalladas en la Sección IV-C.

#### IV. CONSTRUCCIÓN DEL TRANSMISOR

Se decide diseñar una placa de evaluación que contenga a ambos circuitos integrados y pueda ser interconectada con el microcontrolador mediante una interfaz adecuada siguiendo el esquemático de la Fig. 2. Se proponen dos conectores lineales de 16 terminales en la placa de evaluación, uno para cada rama de datos digitales que ingresan al DAC (6 y 7 en la Fig. 2), de manera que la conexión con el sistema embebido no quede restringida a un conector coincidente con una única placa correspondiente a un microcontrolador en particular. Se busca que haya posibilidad de sustituir el sistema embebido que comandará a la placa de evaluación, ya que al tratarse de un modelo de ingeniería, la misma está sujeta a futuros cambios sin necesidad de imprimir e integrar nuevas placas.

En particular, la técnica elegida para el conexionado, *wire-wrapping*, presenta gran robustez a movimientos, facilidad de modificación frente a la soldadura tradicional y a la vez logra un contacto metal-metal (sin óxido) entre el terminal y el cable asegurando una conexión correcta [6].

Además de las entradas digitales se agrega otro conector de 8 terminales que corresponde a las señales de configuración del DAC y del modulador (8 en la Fig. 2).

Como se muestra en la Fig. 2, la placa desarrollada contiene el DAC, el modulador, el reloj de referencia y los respectivos circuitos que permitan el funcionamiento de los mismos. Entre estos circuitos se encuentran los desacoplos para las tensiones de alimentación y las distintas señales, el espacio para el filtro pasa bajos de las señales  $I$  y  $Q$  diferenciales

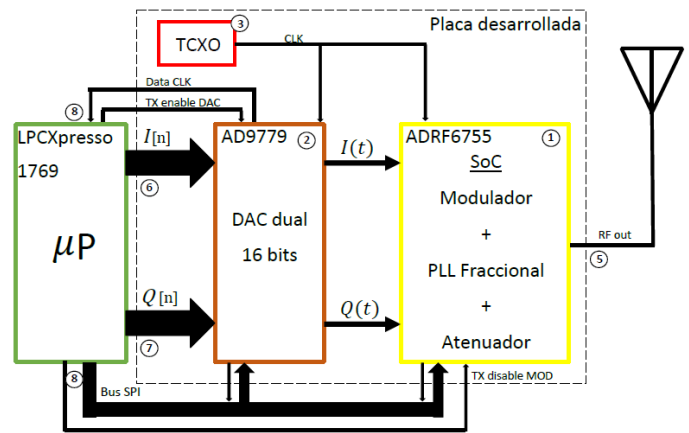


Fig. 2. Diagrama en bloques del transmisor.

en banda base. Además se agregan dos pares de reguladores de tensión de 5 V a 3.3 V y 1.8 V (4 en la Fig. 3) para poder alimentar a los circuitos con estos niveles de tensión sin necesidad de contar con 3 fuentes de tensión. De esta manera se alimenta la placa con 5 V y la misma distribuye internamente la señal de alimentación a los distintos circuitos. Los reguladores están por duplicado para poder diferenciar la alimentación digital de la analógica y evitar así interferencias por la naturaleza de las señales digitales en las secciones analógicas de la placa.

El circuito impreso diseñado es doble faz con 0.8 mm de espesor y tiene un tamaño de  $100\text{ cm}^2$ , la versión final de la misma se puede observar en la Fig. 3. Se realizó un diseño propio, haciendo la integración y soldadura de todos los circuitos integrados y componentes, los cuales son en su mayoría con tecnología de montaje superficial ubicados en una sola de las caras.

##### A. Señal de referencia de reloj

Es necesario contemplar fuente de reloj de referencia dentro de la placa para alimentar al modulador y al DAC, se opta por trabajar con una única fuente para la referencia de ambos chips. El DAC admite una frecuencia de referencia máxima de 1 GHz y el modulador hasta 300 MHz. La mayor limitación se encuentra en el microcontrolador que generará las señales, el mismo opera a 120 MHz por lo que se decide que un oscilador de 40 MHz satisface las necesidades y no introduce limitaciones. El mismo opera a una tercera parte de la frecuencia del

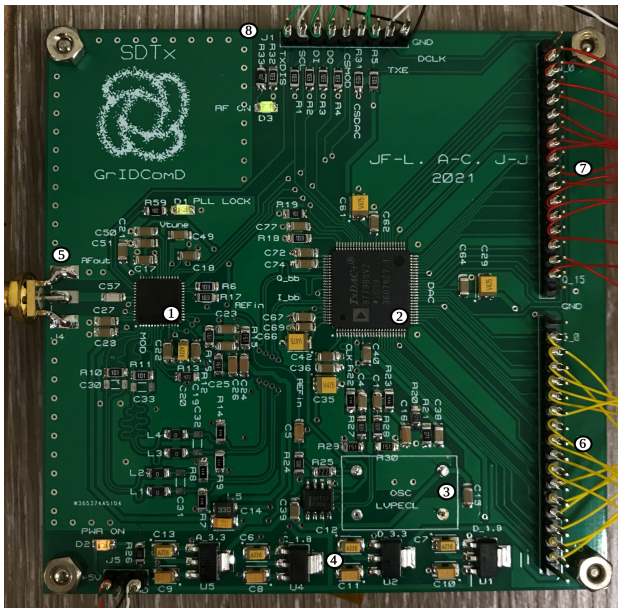


Fig. 3. Prototipo del SDTx finalizado. 1) Modulador. 2) DAC. 3) TCXO. 4) Banco de reguladores de tensión. 5) Salida de RF. 6) Datos digitales  $I$ . 7) Datos digitales  $Q$ . 8) Bus de configuración y control.

microcontrolador y se tiene en cuenta que la unidad de generación de señales proveerá datos digitales a una tasa inferior a 120 MHz ya que hay retardos en la implementación del software. El oscilador elegido es un oscilador de cristal compensado por temperatura (*Temperature Compensated Crystal Oscillator* o TCXO) serie TC-400 del fabricante Vectron International [7]. El mismo cuenta con una alta estabilidad en frecuencia (2 ppm) dentro del rango de temperaturas de operación que se considera para esta aplicación. También es alimentado con 5 V, por lo que es compatible con la placa de evaluación.

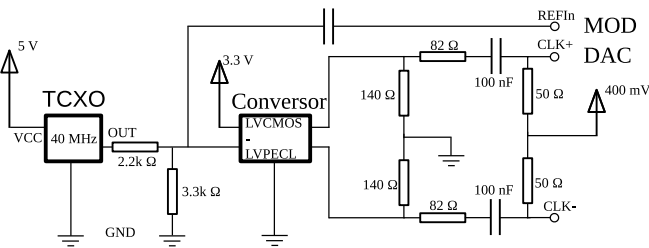


Fig. 4. Esquemático del circuito para generar las referencias de reloj.

Para poder generar la señal de referencia del modulador, que se especifica como una señal cuadrada de 3.3 Vp-p con filtrado de continua [3] es necesario

adaptar la señal de salida del oscilador mencionada anteriormente. Esto se consigue mediante un atenuador y con un capacitor de desacople en la etapa posterior (como se observa en la sección izquierda de la Fig. 4). En cambio, en el caso del DAC es necesario transformar la señal al tipo diferencial. Se requiere que cada señal diferencial tenga una excursión de entre 200 mV a 1 Vp-p, con un *offset* de 400 mV [4]. Esta conversión se consigue con un *Convertor LVCMOS (Low Voltage CMOS) a LVPECL (Low Voltage PECL) diferencial* [8], el cual es alimentado directamente con la misma señal de referencia adaptada para el modulador. Posteriormente, la salida LVPECL del circuito integrado se adapta a los requerimientos del DAC mediante un divisor resistivo para adaptar amplitudes, se filtra la componente de continua para posteriormente agregar el *offset* deseado de 400 mV. Los circuitos correspondientes a este acondicionamiento de la señal se observan en la Fig. 4.

### B. Conexiones entre DAC y modulador

Si bien las hojas de datos de ambos chips recomiendan su utilización en conjunto, es necesario acondicionar las señales para efectuar la interconexión entre ambos integrados. Como ya se mencionó en las Secciones III-A y III-B, las señales de salida del DAC y entrada al modulador son del tipo diferencial. En particular, el DAC tiene una corriente de salida de escala completa (*full-scale output current* del inglés) de 20 mA [4], por lo que con una carga de  $50\ \Omega$  en cada terminal se consigue un *DC bias* de 500 mV con una excursión de 1 Vp-p (2 Vp-p diferencial).

Posterior a esta etapa se encuentran los filtros pasa bajos. Los mismos permiten limitar el ancho de banda de las señales moduladoras a un máximo de  $f_{clk}/2$  y su diseño se puede ajustar de acuerdo a la aplicación deseada. El diseño de la placa contempla un filtro  $\pi$  diferencial como se observa en la Fig. 5.

Las señales  $I$  y  $Q$  en banda base que ingresan al modulador deben tener un *offset* de 500 mV y una excursión de 1 Vp-p diferencial [3], por lo que habrá que mantener el *DC bias* y llevar a la mitad la amplitud. Esto se consigue con una resistencia de  $100\ \Omega$  diferencial, de manera que se logra la adaptación entre la señal de salida del DAC con la de entrada al modulador. Esto se puede observar en

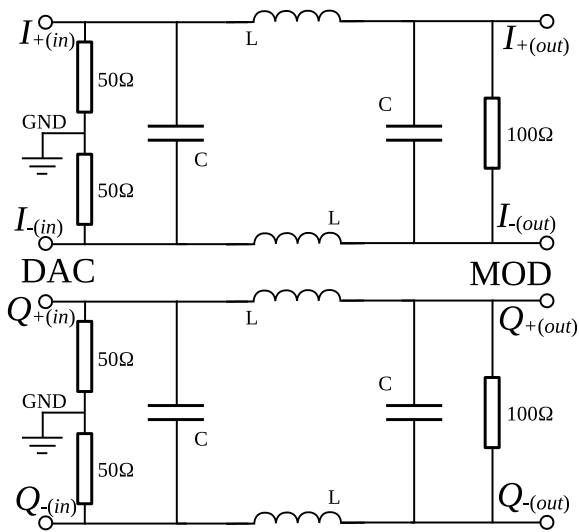


Fig. 5. Esquemático del circuito de conexión entre DAC y modulador.

la Fig. 5, donde a la izquierda ingresan las señales provenientes del DAC y a la derecha las señales que ingresan al modulador, ambas diferenciales.

### C. Salida de RF e interfaz de configuración

Además de las interconexiones entre ambos circuitos integrados, el oscilador de referencia y los reguladores, la placa cuenta con una salida de RF (salida del modulador con la señal pasa banda) adaptada a  $50\ \Omega$  (5 en Fig. 3), la conexión es mediante un conector de RF del tipo SMA. La cara de abajo de la placa es un plano de tierra, lo que permite que la impedancia de salida de  $50\ \Omega$  sea implementada con una microtira de 1.5 mm.

Como ya fue mencionado, la configuración de los integrados se hace mediante un bus SPI, el mismo consiste en 5 señales. Las 4 señales tradicionales del protocolo SPI (*MOSI*, *MISO*, *Chip Select* y *Serial CLK*) [9] pero en esta oportunidad como se tendrán 2 dispositivos esclavos es necesario reemplazar la señal *Chip Select* por dos correspondientes a cada uno de los chips. A estas 5 señales se agregan 2 señales de habilitación, una que activa la salida de RF del modulador y otra, que activa la salida de señal analógica del DAC. Por último, una señal de salida de la placa hacia el microcontrolador que consiste en una referencia del DAC al dispositivo que genera las 32 muestras digitales para lograr sincronización de

escritura. De esta manera se completan las 8 señales de control y configuración en la interfaz de la placa con el microcontrolador.

## V. TRABAJO A FUTURO

Como principal línea de trabajo a futuro se plantea el testeado del SDTx mediante la transmisión de datos en algún sistema de modulación en particular y su recepción, para esto es necesario desarrollar un software que se encargue de la recepción y procesamiento de la señal. Hasta aquí se han testeado los subsistemas por separado obteniendo resultados aceptables pero es de gran interés poder contar con mediciones para dar una caracterización completa del transmisor.

La reconfiguración de los parámetros de la señal durante el funcionamiento del SDTx solo puede realizarse mediante modificación del programa en C del microcontrolador por alguien que tenga conocimiento tanto de la placa como del software. Un paso siguiente sería poder dejar parámetros de la señal reconfigurables, tales como amplitud de símbolos, frecuencia de portadora y atenuación, sin necesidad de modificar el código del software que comanda la placa. Además del hecho de que se puedan reconfigurar los parámetros sin necesidad de modificar el código, resultaría de gran interés poder llevar la interfaz a una aplicación móvil. Sería necesario que la aplicación se conecte vía Wi-Fi con el microcontrolador y así sea reconfigurada en operación. Esto sería de gran utilidad para la persona que desea dar uso de este sistema, ya sea para fines didácticos como de testeado de otros equipos como podría ser el receptor DCS o ADS-B.

Otro enfoque puede consistir en elevar el ancho de banda de las señales a generar utilizando un procesador con mejores prestaciones, operando a mayor frecuencia. Incluso sería posible reemplazar al microcontrolador por un FPGA (*Field-Programmable Gate Array*), ambos enfoques son posibles debido a que esta etapa quedó por fuera de la placa de evaluación. Por otro lado, la modificación del TCXO sería posible únicamente hasta una frecuencia de 300 MHz, ya que es el límite para la frecuencia de referencia del modulador.

## VI. CONCLUSIONES

Se presentó un análisis de componentes para el diseño e implementación de un equipo SDTx de propósitos generales. Se obtuvo un modelo de ingeniería de bajo costo del equipo, con frecuencias de operación en un gran ancho de banda. Se cumplen las expectativas y alcance propuestos tras la necesidad concreta del GrIDComD y del Departamento de Electrotecnia de la Facultad de Ingeniería (UNLP). En particular, se obtiene un un equipo que puede generar señales de modulación analógica y digital en la banda de 100 MHz a 2.4 GHz, con anchos de banda en el orden de los megahertz. Además, la potencia de salida puede configurarse en un rango de 50 dB, con un máximo de 0 dBm en  $50\Omega$ .

## AGRADECIMIENTOS

El trabajo fue financiado por la Facultad de Ingeniería de la UNLP, a través de una beca de investigación obtenida por concurso; el Departamento de Electrotecnia de la FIUNLP, con la adquisición de algunos de los componentes y mediante fondos propios del GrIDComD. Los autores agradecen a todas las instituciones y personas que hicieron posible el desarrollo.

## REFERENCIAS

- [1] Rodger E. Ziemer and William H. Tranter, "Principles of Communications: Systems, Modulation, and Noise", 7th ed., Wiley.
- [2] J. Proakis, **Digital Communications**, 5th ed., McGraw Hill.
- [3] Analog Devices, **100 MHz to 2400 MHz I/Q Modulator with Integrated Fractional-N PLL and VCO**, ADRF6755 datasheet, 2012 - 2013 [Rev. B].
- [4] Analog Devices, **Dual 12-/14-/16-Bit, 1 GSPS, Digital-to-Analog Converters**, AD9776/AD9778/AD9779 datasheet, 2005 - 2007 [Rev. A].
- [5] NXP Semiconductors, **32-bit ARM Cortex-M3 microcontroller; up to 512 kB flash and 64 kB SRAM with Ethernet, USB 2.0 Host/Device/OTG, CAN, LPC1769/68/67/66/65/64/63** datasheet, June 2014 [Rev. 9.5].
- [6] Jonard Tools, **Wire Wrapping Overview**, Jonard Tools datasheet. [Online]. Available: <https://www.digikey.com/htmldatasheets/production/1861263/0/0/1/Wire-Wrapping-Overview.pdf>
- [7] Vectron International, **Temperature Compensated Crystal Oscillators (TCXO's)**, TC-400 (14/4 Single DIP Series) datasheet.
- [8] ON Semiconductor, **Translator, Dual LVTTTL/LVCMOS to Differential LVPECL**, MC100LVELT22 datasheet, July 2016 [Rev. 12].
- [9] Piyu Dhaker, **Introduction to SPI Interface**, Analog Dialogue, vol. 52-09, Analog Devices, 2018. [Online]. Available: <https://www.analog.com/media/en/analog-dialogue/volume-52/number-3/introduction-to-spi-interface.pdf>