

# Implementación de interfaz remota MIL-STD 1553b sobre plataforma PIC – ProDesc 1553

Cristian Pérez<sup>1</sup>, Diego Fusari<sup>1</sup>, Diego Badino<sup>1</sup>

<sup>1</sup> Centro de Investigación y Desarrollo de Tecnologías Aeronáuticas - Dirección General de Investigación y Desarrollo – Fuerza Aérea Argentina  
Ruta Nac. 158 s/n – 5805 Las Higueras, Córdoba, Argentina.  
Tel 0358 4979656 int 48157 – e-mail [cperez@yahoo.com.ar](mailto:cperez@yahoo.com.ar), [crperez@faa.mil.ar](mailto:crperez@faa.mil.ar)

**Resumen.** En el presente trabajo se analizó la factibilidad de implementar, mediante la utilización de PICs, una interfaz de comunicación entre un terminal remoto y un bus Muxbus utilizando el protocolo MIL-STD-1553b. Si bien existen placas comerciales que realizan esta función, las mismas son de precios elevados y no han sido desarrolladas sobre plataformas PIC, por lo que el empleo de esta tecnología reduciría notablemente los costos de las mismas y consecuentemente aumentaría su posibilidad de utilización en tareas de investigación y desarrollo.

**Palabras Clave:** Bus de datos, Muxbus, Protocolo, PIC, Know How, Controlador de Bus, Terminal Remota.

## 1 Introducción

La mayoría de las aeronaves militares modernas poseen, dependiendo de su finalidad un Sistema Integrado de Navegación ó un Sistema Integrado de Navegación y Tiro para lo cual se han empleado desde sus inicios diferentes formas de comunicación entre las distintas unidades que componen los mismos.

En un proceso tendiente a la estandarización militar en ésta área el Departamento de Defensa de Estados Unidos publica por primera vez en 1973 el protocolo de comunicación serial MIL-STD-1553 el cual es adoptado como un estándar de la U.S.A.F. (United States Air Force). Posteriormente aparecen revisiones del mismo en 1975 y 1978 dando lugar a los protocolos MIL-STD-1553a y MIL-STD-1553b [1] respectivamente. Si bien dicho estándar fue inicialmente diseñado para su uso en aviación militar, debido a su potencial y robustez en comando y control de sistemas de tiempo real ha sido adoptado por la OTAN como STANAG 3838 AVS [2]. Actualmente su aplicación se ha extendido mas allá de ese campo militar y posee una creciente cantidad de aplicaciones civiles (la primera de ellas fue en la red de subterráneos de Londres), y particularmente crece día a día su utilización en subsistemas embarcados de vehículos espaciales, satélites y UAVs. Tal es la importancia de este protocolo que ha sido la base de otro estándar que utiliza cableado óptico en lugar de eléctrico denominado MIL-STD-1773 [3] que puede trabajar en forma dual a una tasa de 1 ó 20 Mb/s y lo hace resistente a radiación y otras emisiones electromagnéticas.

## **2 Desarrollos Actuales**

Existen diferentes fabricantes a nivel mundial, tales como DDC, Ballard, Systran, etc. que producen y comercializan distintos tipos de interfaces que soportan el protocolo MIL-STD 1553b, tales como AceXtreme™ MIL-STD-1553 PC/104-Plus [4], USB 1553 Avionics Interface [5] por solo citar algunas de ellas, y que pueden comunicarse con diferentes equipos mediante Ethernet, RS-232, USB, y muchos otros protocolos ampliamente utilizados. Así como DDC ofrece interfaces como las mencionadas, también comercializa diferentes circuitos integrados que poseen embebido dicho protocolo y pueden ser integrados en diseños propios, tales como el HI 1565, HI 1566 [6] ó el HI 6110 [7].

Por lo mencionado anteriormente, se podría presuponer entonces que no es mayor problema la obtención de tales interfaces y/ó circuitos integrados para su utilización, lo cual técnicamente podría ser correcto, pero económicamente no es tan factible para el investigador o desarrollador que cuenta con recursos limitados.

## **3 Propósito del desarrollo**

Debido a los costos de dichas placas, surge la idea de efectuar el desarrollo de una interfaz de bajo costo con elementos COTS (Commercial off-the-shelf), que sea una alternativa nacional a los disponibles comercialmente en la actualidad y que se adapten inicialmente a tareas de investigación y desarrollo en laboratorios y/ó equipos que no deban soportar condiciones ambientales extremas, a fin de permitir a los investigadores costos iniciales en sus proyectos más reducidos y tener el valor agregado de contar con el Know How del desarrollo permitiendo su adaptación a situaciones particulares que pudiesen presentarse. La placa desarrollada con este fin ha sido denominada ProDesc 1553.

## **4 Protocolo MIL-STD-1553b**

Dicho estándar define las características mecánicas, eléctricas y funcionales de un bus de datos en serie. Proporciona también una interfaz física de línea balanceada dual, una interfaz de red diferencial, multiplexación por división en el tiempo, protocolo de comando/respuesta half-duplex y posibilidad de conexión con hasta 31 terminales remotos (RT). Mayor información sobre el bus y el protocolo puede consultarse [8] y [9].

Para el presente trabajo, la unidad bajo estudio será particularmente una Terminal Remota embebida, pero con un análisis similar al descrito puede extenderse su aplicación a un Controlador ó Monitor de Bus.

#### **4.1 Tipos de palabras**

El estándar contempla tres tipos diferentes de palabras todas ellas de una longitud de 20 bits, ellas son:

- Command Word
- Data Word
- Status Word

De esos 20 bits los tres primeros son utilizados como señal de sincronismo y el último como bit de paridad (el protocolo implementa paridad impar).

Para realizar la transmisión de estas palabras los datos se codifican empleando el código Manchester II bifase. Este presenta la ventaja de tener una tasa de error de 1 palabra cada  $10^7$  transferidas lo que lo hace sumamente confiable [10].

#### **4.2 Estructura de un mensaje 1553b**

Dependiendo si la comunicación es BC-RT (Controlador de Bus - Terminal Remota), RT-BC ó RT-RT, el protocolo establece la secuencia en que las palabras anteriores deben ser transmitidas y los tiempos admisibles entre ellas [1].

### **5 Análisis de la Interfaz ProDesc 1553 propuesta**

La interfaz desarrollada tiene dos áreas ó regiones claramente diferenciadas como son:

- Región 1: destinada a realizar la comunicación entre procesador de mensajes y el dispositivo a controlar, ó integración al mismo.
- Región 2 dedicada al procesamiento de mensajes MIL-STD 1553b

Como las posibilidades de comunicación y/ó integración con diferentes equipos son muy amplias y ya no se trabaja con mensajes MIL-STD 1553b (dado que los mismos ya han sido procesados) sino que se realiza mediante un bus de datos de 16 bits en paralelo no se profundizará sobre ello debido a la gran cantidad de información disponible, sino que se centrará la atención en la Región 2 la cual involucra el estándar mencionado.

Esquemáticamente, cada una de estas partes puede representarse de la siguiente manera:

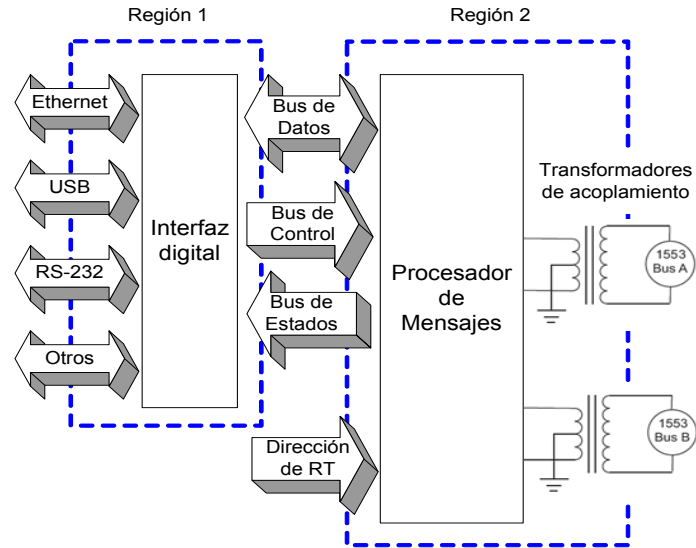


Fig. 1. Diferentes regiones de la interfaz ProDesc 1553 desarrollada.

Como se mencionó anteriormente, el presente trabajo abarca la etapa del *Procesador de Mensajes*. Esta contiene básicamente el procesador de mensajes 1553b, transformadores de acoplamiento que permiten la conexión física entre el procesador y el bus Muxbus, así como la electrónica asociada a los distintos buses internos de la placa (de datos, de control y de estados), switches (DIP) para asignar dirección al dispositivo, clock, alimentación, etc.

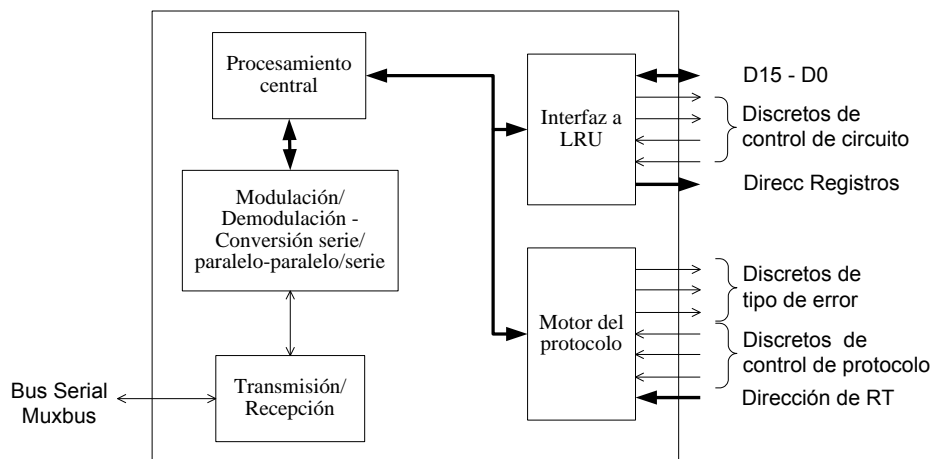
## 6 Desarrollo

### 6.1 Análisis de procesador de palabras

Específicamente el procesador de mensajes 1553b deberá ser capaz de realizar distintas funciones las cuales se sintetizan en los siguientes bloques:

- Procesamiento central
- Interfaz a LRU
- Motor del protocolo
- Modulación/Demodulación - Conversión serie/paralelo-paralelo/serie
- Transmisión/Recepción

Esquemáticamente la relación entre éstos es mostrada en la siguiente figura:



**Fig. 2.** Bloques del circuito propuesto.

Entre los diferentes módulos existe comunicación ya sea a través de registros, de la información a transmitir/transmitida en el bus y/o señales de control.

Si bien existen chips específicos que reúnen los requerimientos de transmisión/recepción especificados por el estándar militar 1553b, tales como el HI-1565/1566 [6] ó HI-6110 [7] producidos por DDC, integrados en una sola pastilla de reducido tamaño, capaces de operar en rangos extendidos de temperatura y con bajo consumo de energía, como alternativa a estos, se propone un circuito que puede realizar la misma tarea que los procesadores mencionados, pero construido íntegramente con elementos COTS, lo que permite la construcción de los mismos para tareas de investigación y desarrollo, pudiendo llegar a fabricarse en el mismo laboratorio en que se utilizará, integrados o no a la RT desarrollada/controlada.

Analizando la interfaz en forma aislada del equipo con el que se conectará, queda claro debe pagarse un costo en lo referente a tamaño, ya que las dimensiones son mayores que la de las placas comerciales. No obstante, un desarrollo como el propuesto puede ser integrado en la misma placa del dispositivo ó RT con el que se desea establecer la comunicación lo que elimina la necesidad de conectores pudiendo llegar a equipararse las dimensiones del conjunto *Placa comercial + RT* con las del *desarrollo propio integrado*.

Como un caso extremo, la reducción de tamaño es aún mucho más significativa si por las características de la aplicación, esta puede correr directamente en la Interfaz Digital (Región 1), donde podría quedar embebida directamente en el dispositivo que controla el procesador de palabras. Utilizando una placa comercial esto no sería posible, pero para una interfaz propia donde se conoce el hardware y software no hay inconveniente en realizarlo.

### 5.1.1 Procesamiento Central

Este bloque es el corazón del circuito, vincula los diferentes bloques mencionados anteriormente y realiza diferentes tareas de procesamiento, comunicación y control.

Cuando el BC envía información hacia una terminal, todas escuchan pero una sola se identifica como receptora del mismo (excepto en modo broadcast). Por ello la primera tarea que debe realizar es analizar la dirección del destinatario y compararla con la suya. En caso que sea para esa unidad se procesa el resto del mensaje lo que determina si recibirá información ó si deberá transmitirla, así como cantidad de palabras involucradas, la subdirección de destino o modo de operación, y control de bit de paridad.

En caso que se reciban datos estos son encolados en una FIFO y redireccionados inmediatamente a la *Interfaz LRU* (no se analiza la información que llegó). Luego que todos han sido recibidos, se genera el Status Word y es enviado al BC. El tiempo transcurrido desde el arribo del último bit y el comienzo del envío del SW debe ser menor de 12  $\mu$ s [1].

Cuando se ha recibido una solicitud de datos éste se comunica con la *Interfaz LRU* a fin de requerirlos y una vez que dispone de ellos arma las palabras según el formato definido por el estándar y las envía. Dado que las Data Word tienen definido un campo de datos de 16 bits de longitud, puede transmitirse más de un dato en forma conjunta. Este empaquetado también es realizado por el procesador central, el cual al mismo tiempo rellena con ceros las posiciones que no contengan datos y luego se arma el Status Word. Finalmente se procede a realizar la transmisión del Status Word en primer lugar y a continuación la cantidad de Data Words requeridas previamente.

Para realizar el procesamiento descrito se ha utilizado un microcontrolador PIC de la familia 18FXXXX, con programación realizada en C y Assembler. La necesidad de realizar parte del código en este último lenguaje es a los fines de optimizar el código y disminuir la velocidad de procesamiento en tareas críticas. Pues se debe tener presente al igual que en el caso anterior, que el estándar establece que una RT debe enviar una respuesta al BC antes de los 12  $\mu$ seg posteriores a la finalización de la Command Word que lo requirió, caso contrario ocurrirá un Time Out (ver 5.2 para más detalle).

### 5.1.2 Interfaz a LRU

En caso de recepción, este bloque toma la información binaria que previamente ha sido procesada y enviada por el bloque *Procesamiento Central* y lo envía en forma paralela (bus de 16 bits) hacia el dispositivo a controlar (no analizado en este trabajo), quien es el destinatario de dicha información.

En caso de transmisión pone a disposición del bloque *Procesamiento Central* la información requerida (en caso de contarse con ella) a fin de que sea armada la Data Word y enviada hacia el bus. Esta información puede ser de distinto origen, como información de sensores, memorias, estado del equipo, registros, etc.

También este bloque posee discretos para control de la interfaz, como selección de chip, habilitación de lectura escritura, e información de datos disponibles desde el procesador central y un bus para direccionamiento de registros.

### 5.1.3 Motor del protocolo

Este bloque interactúa con el bloque *Procesamiento Central* a través de la información contenida en diferentes registros (de status, de control e informe de error) y con el medio a través de los siguientes bloques de señales discretas:

- De control (entradas): destinado a setear entre otras cosas el modo de operación, reset del circuito, y señal de clock.
- De estado (salidas): estas trabajan en forma conjunta con la *Interfaz a LRU* indicando si la información que este módulo contiene es correcta, si posee error, si existe nueva información disponible, etc.
- De Dirección (entradas): destinado exclusivamente al setear la dirección que se desea asignar a la LRU (en caso de hacerse por hardware).

Se utiliza un microcontrolador PIC de la familia 16FXXX, con programación realizada en C y Assembler para implementar los bloques *Interfaz LRU* y *Motor del Protocolo*.

La razón de utilizar en esta instancia dos microcontroladores diferentes para implementar los tres bloques anteriores es por una limitación en la velocidad de los mismos y para poder realizar todas las tareas necesarias sin pérdida de datos y cumplir con los requerimientos máximos de tiempo establecidos por el estándar entre requerimientos y respuestas. Pues se debe tener presente que por cada operación se requiere un mínimo de cuatro ciclos de clock.

Actualmente se está trabajando en reemplazar dichos microcontroladores por uno solo. Probablemente esto requiera migrar a una gama alta de PICs y mayor programación en Assembler ó empleo de FPGA lo cual está bajo análisis.

### 5.1.4 Modulación/Demodulación - Conversión serie/paralelo-paralelo/serie

Este es un bloque de función múltiple que cumple el propósito de modular la información a enviar por el bus y demodular la que se encuentra presente en él. Se debe recordar que la transmisión se realiza utilizando Código Manchester II bifase.

Por otro lado, el procesamiento en el bloque *Procesador Central* se realiza de a 16 bits pero el bus Muxbus es serial, por lo que es necesario realizar dichas conversiones con cada palabra recibida/transmitida.

El proceso se realiza utilizando una serie de registros de desplazamiento de entrada serial y salida paralela de 8 bits tal como el 74HCT164 [11] que operan con un clock a una velocidad de 2 MHz combinados con compuertas And y cerrojos 74HCT373 [12] también de 8 bits. La razón de utilizar esta frecuencia, el doble de la que opera el bus, es debido a la utilización del código Manchester II (el cual presenta siempre un cambio de nivel lógico en el medio de un bit) existiendo por tanto dos niveles de lógicos por cada bit de información transmitida/recibida, excepto para los bits de sincronismo que es un código Manchester inválido.

Por tanto el operar este circuito a la frecuencia mencionada presenta varias ventajas importantes tales como:

- Diferenciar bits de información del sistema de los bits de sincronismo.
- En caso de detectar bits de sincronismo diferenciar CW (Command Word) y SW (Status Word) de DW (Data Word), dado que el sincronismo de los primeros se encuentra invertido respecto del último.
- Realizar un conteo de los bits recibidos para identificar el dato propiamente dicho (16 primeros bits) y bit de paridad para determinar si es una palabra válida o no.
- Informar al bloque *Procesador Central* cuando tiene información válida disponible.
- Toda la actividad se realiza mediante hardware (minimizando el tiempo necesario de procesamiento) por lo que no se sobrecarga al bloque *Procesador Central* de tareas adicionales.

### 5.1.5 Transmisión/Recepción

A fin de adaptar la tensión en modo diferencial presente en el bus (1 a 14 Vpp) con los niveles TTL a los cuales trabajan los componentes del circuito, existe una electrónica adicional destinada a ello.

En este caso se emplea un circuito integrado tipo DS75176 [13] y un arreglo de transistores push-pull para adecuar la tensión al nivel requerido por el resto del circuito.

Este bloque además contiene un transformador de acoplamiento el cual ofrece aislamiento eléctrico entre el circuito y el bus, adaptación de impedancia y rechazo en modo común. Ello puede realizarse con un transformador tipo PM-DB27XXX [14]. La selección de uno en particular dependerá principalmente de las relaciones de transformación deseadas y unidades deseadas por pastilla.

*Nota:* Aunque el estándar establece que no es mandatorio el uso de transformadores de acoplamiento cuando la longitud del stub que conecta la interfaz al bus sea menor a 30cm, dado que la placa ha sido desarrollada para tareas de laboratorio tal situación no puede garantizarse, por lo que se ha optado que las interfaces tengan integrado dicho transformador en todos los casos.

## 6 Resultados

En la figura puede visualizarse la forma de onda en las salidas del transformador de acoplamiento con respecto a masa. Ambos canales están en 5 V/div y la escala de tiempo es de 5  $\mu$ s/div. Claramente se observa que las mismas están invertidas una respecto a la otra y ambas componen la señal del código Manchester II bifase. La amplitud total de la onda en modo diferencial es de 10 Vpp lo que se encuentra dentro de los límites establecidos en el estándar.



La trama total tiene una longitud de 20  $\mu$ s, lo que corresponde a 20 bits transmitidos a 1 MHz. En la misma puede notarse la siguiente distribución de bits: 1 a 3 de sincronismo, 4 a 8 dirección de RT (es este caso 21, 10101 Hex), 9 de transmisión (correspondiendo un 1), 10 a 14 subdirección (se escogió también 10101H a fin que la forma de onda sea igual a la dirección y se puedan visualizar con mayor facilidad), 15 a 19 cantidad de palabras a transmitir (seteado en 2, 00010 Hex), 20 bit de paridad (impar), correspondiendo para los datos anteriores un 1.

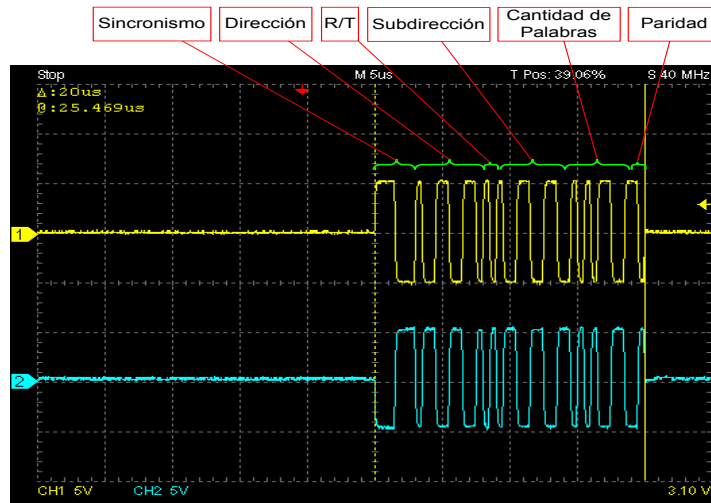


Fig. 3. Señal a la salida del transformador de acoplamiento.

*Nota:* Si bien en el mensaje se establece que se enviarán dos palabras, al realizar la captura de la señal solo se ha enviado una poder visualizar claramente la estructura de la palabra completa.

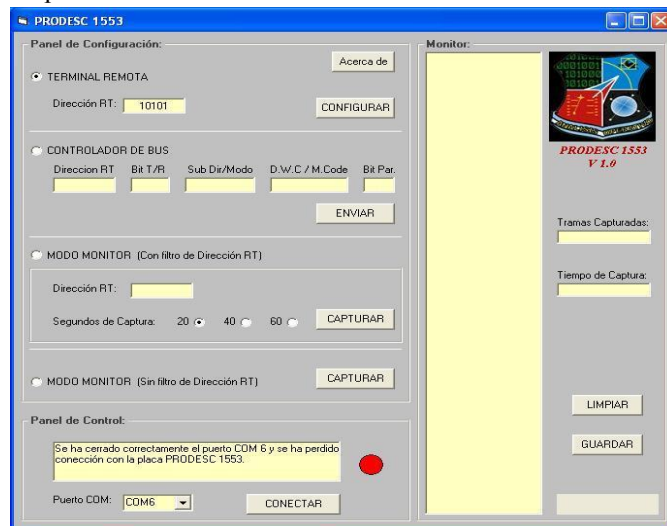


Fig. 4. Aplicación que corre en la RT.

La trama anterior corresponde a una SW (Status Word) generada por una RT (simulada por una aplicación que corre en una PC y se conecta a la placa mediante un COM virtual). La aplicación permite asignar a la RT su dirección, indicar desde que subdirección provienen los datos, y generar los mismos) y ya ha sido desarrollada para utilizar la placa como RT, BC ó Monitor.

## 7 Conclusiones

De lo expuesto anteriormente se concluye que es posible implementar una Interfaz MIL-STD-1553 con elementos COTS. La misma reemplaza perfectamente a las comerciales (utilizadas en condiciones ambientes estándar) y es posible construirla con un hardware cuyo costo en inferior a los USD100, permitiendo realizar experiencias de laboratorio a investigadores y desarrollistas con limitados recursos económicos. También posee la ventaja de la versatilidad en lo referente al tipo de comunicación con las unidades con las que interactúa.

El paso siguiente es la implementación de la misma en un microcontrolador más potente ó en FPGA a fin de optimizarlo, reduciendo dimensiones, componentes y consumo de energía y adecuación necesaria para que cumpla con normas ambientales que le permitan su utilización en sistemas embarcados.

## Referencias

1. MIL-STD-1553B with notice 1, 2, 3, and 4 RETYPED VERSION: Ballard Technology (1996).
2. [http://ieeexplore.ieee.org/xpl/freeabs\\_all.jsp?arnumber=198281](http://ieeexplore.ieee.org/xpl/freeabs_all.jsp?arnumber=198281)
3. [http://ieeexplore.ieee.org/xpl/freeabs\\_all.jsp?arnumber=722417](http://ieeexplore.ieee.org/xpl/freeabs_all.jsp?arnumber=722417)
4. <http://www.ddc-web.com/Products/209/Default.aspx>
5. <http://www.ballardtech.com/products.aspx/USB1553/>
6. Data Sheet HI-1565, HI-1566: Holt Integrated Circuits INC. (2009)
7. Data Sheet HI 6110: Holt Integrated Circuits INC. (2010)
8. MIL-STD-1553 Designers's Guide Sixth Edition: DDC – Data Device Corporation (1998)
9. SBS Technologies Incorporated: An Interpretation of MIL-STD-1553B. Doc PN: 500-553815-00 (2004)
10. [http://docente.ucol.mx/al000408/public\\_html/CODIGO%20MANCHESTER.html](http://docente.ucol.mx/al000408/public_html/CODIGO%20MANCHESTER.html)
11. Data Sheet 74HCT164 - 8-bit serial-in, parallel-out shift register: NXP Semiconductors.
12. Data Sheet 74HCT373 - Octal D-type transparent latch; 3-state: NXP Semiconductors.
13. Data Sheet DS75176B/DS75176BT Multipoint RS-485/RS-422 Transceivers: National Semiconductor (1998)
14. Data Sheet PM-DB2745S: Holt Integrated Circuits INC. (2003)