

# **Unidades aritméticas lógicas embebidas. Implementaciones dispositivos lógicos programables FPGA.**

**Ing. BIOUL Géry Jean Antoine - Mag.TOSINI Marcelo**  
Departamento de Computación y Sistemas, Instituto INTIA  
Facultad de Ciencias Exactas

Universidad Nacional del Centro de la Provincia de Buenos Aires, , grupo Hardware

## **1. Objetivos / finalidad**

### **1.1 Objetivos generales.**

El interés primario se fundamenta en las perspectivas que se desarrollen en Argentina industrias de hardware y diseños de circuitos integrados de consumo masivo. Además, en colaboración con la UAM Madrid, se participa en acciones de difusión de circuitos programables (tipo FPGA) por sus aplicaciones en el diseño de microcontroladores de uso generales, destacando en particular, las aplicaciones en telecomunicaciones y procesamiento de señales. El interés secundario resulta de la implementación en el ámbito Universitario de actividades de desarrollo tecnológico en micro-electrónica .

### **1.2 Objetivos específicos**

Realizar unidades aritméticas en FPGA, con circuitos dedicados para operaciones especiales, tales como exponenciales, logarítmicas y trigonométricas, de alta prestaciones en tiempo y precisión. Un enfoque particular se esta dando hacia la aritmética BCD por su recién y creciendo interés en aplicaciones comerciales y aplicaciones en la Internet.

## **2. Estado actual del conocimiento sobre el tema.**

Con la reducción importante en los costos de hardware, el desarrollo de nuevos algoritmos con sus respectivas implementaciones en tecnología de circuitos programables de alta prestaciones está generando unidades aritméticas lógicas de mayores prestaciones en precisión y rapidez. Algunos de los integrantes del proyecto ya desarrollaron productos y publicaciones en el tema (ver bibliografía en los curriculum individuales). También se publicó un libro de difusión internacional (J. Wiley Interscience) con el estado del arte en estos temas.

La tecnología actual permite desarrollar circuitos full-hardware para procesadores matemáticos de alta velocidad ejecutando funciones tales como exponenciales, logaritmos, trigonométricas y otras. Dichas funciones, en procesadores clásicos, se implementan en general por microprogramas o con circuitos altamente secuencializados, y por ende más lentos. Aplicaciones tales como procesamiento de señales necesitan de aritmética rápida para optimizar los rendimientos. Se están llevando a cabo varios proyectos de desarrollo de unidades dedicadas a reconocimiento de formas con unidades aritméticas rápidas embebidas.

### **3. Metodología de trabajo y factibilidad.**

En la fase inicial de un proyecto anterior se consiguió plataformas de diseño (Xilinx™) con las herramientas y accesorios (simuladores, interfaces). Varios integrantes del grupo tienen conocimientos teóricos y prácticos acerca de estos ambientes de desarrollo. Se capacitarán nuevos investigadores a través de cursos de HDL (lenguajes de descripción de hardware), algoritmos aritméticos y prácticas de las herramientas Xilinx™. Se desarrollarán actividades en el laboratorio, en aulas (cursos), sala de reunión y oficina de investigadores. Esencialmente el proyecto se llevará a cabo en el instituto INTIA de La Facultad de Ciencias de la UNCPBA pero algunas experimentaciones se ejecutarán en la Universidad Fasta de Mar del Plata, en la Universidad UAM de Madrid, y la Universidad URV de Tarragona. También se intercambiarán conocimientos y experiencias con grupos similares en otras Universidades Argentinas tales como la Universidad Nacional de Mar del Plata (departamento de electrónica), la Universidad Nacional de La Plata (CETAD) y la Universidad Nacional de Buenos Aires (departamento de electrónica).

El aspecto experimental y metodológico es tan importante como la realización de productos específicos.

### **4. Plan de actividades, estado de avance del proyecto, cronograma.**

**4.1** El proyecto se iniciará con el perfeccionamiento de los investigadores en las teorías de aritmética computacional más avanzadas como también acerca de las plataformas (FPGA) de desarrollo: en particular tecnología XILINX. Varios cursos y conferencias serán organizados con profesores locales e invitados, tanto en la parte teórica (computer arithmetic) como en la práctica de HDL (Lenguaje de Descripción de Hardware) y

tecnología Xilinx. Estos cursos estarán dirigidos a toda la comunidad informática interesada por los IC programables y el hardware en general: 6 meses a partir de la aceptación del proyecto.

**4.2** Se prepararán conferencias acerca de los algoritmos básicos (4 operaciones) y las versiones más recientemente publicadas en la literatura. Se propone enfocar la algorítmica en vista a aplicaciones concretas y sus materializaciones en circuitos lógicos a implementar en varias tecnologías. Se desarrollarán simulaciones de los mismos, tanto en lenguaje de alto nivel, como en simuladores: 6 meses.

**4.3** Los detalles de las implementaciones con tablas de performances en tiempo y consumo de hardware estarán consignados en informes y publicados en revistas y presentados en congresos: 6 meses.

**4.4** Implementaciones de ALU a materializar en circuitos programables FPGA: 6 meses.

**4.5** Desarrollo y perfeccionamiento de algoritmos para funciones especiales: logaritmos, exponenciales, funciones trigonométricas, raíces: 6 meses.

**4.6** Implementaciones a materializar en circuitos programables FPGA. Publicaciones de resultados: 6 meses

**4.7 Cronograma.**

**Tareas**

meses 01 -> 06	Cursos y talleres HDL / FPGA. Relevamiento bibliográfico. Estudio de los últimos avances en algoritmos orientados a diseño de alta prestaciones en término de precisión y tiempo de ejecución.
meses 07 -> 12	Algoritmos aritméticos básicos. Implementaciones de sumadores restadores rápidos binarios y BCD. Experimentación en simuladores.
meses 13 -> 18	Relevamiento de resultados. Publicaciones en revistas y congresos.
meses 16 -> 24	Implementaciones de Unidades aritméticas completas (4 operaciones) en binario y BCD
meses 24 -> 30	Algoritmos aritméticos para funciones especiales
meses 30 -> 36	Implementaciones de un co-procesador matemático para funciones especiales en binario y BCD. Publicaciones de resultados.

## **5. Aportes académicos y de transferencia esperados.**

Es esencial destacar la carencia de proyectos Hardware en el ámbito informático argentino, casi exclusivamente preocupado por el desarrollo de software de aplicación. Este proyecto es innovador y apunta a sensibilizar los recursos humanos locales acerca de la apertura futura de la Argentina en los mercados de productos Hardware. Es importante notar que los países líderes exportan tanto hardware como software, en general paquetes que incluyen los dos. Los integrantes del grupo son autores de varias publicaciones relacionadas con el tema (ver material de consulta) .Con respecto a los impactos científicos, económicos, sociales y ambientales se anticipa lo siguiente.

No hay impactos ambientales negativos, los impactos económico-sociales dependerán del rol futuro de la Argentina y de la zona de Mar del Plata / Tandil en la implantación de empresas TIC (Tecnologías de la Información y de Comunicaciones). Es una perspectiva de mediano plazo (5 años). Las Universidades se deben de adelantar en vista a estas perspectivas.

## **6. Facilidades disponibles.**

El laboratorio INTIA, dispone de varias PC en red con acceso a Internet las 24 horas vía banda ancha (cada investigador tiene un puesto de trabajo con PC), dispone de periféricos compartidos tales como impresora laser, scanner y otros. Dispone también de varias placas Xilinx Virtex IV con software de diseño, simuladores e interfaces, un puesto de montaje para elementos electrónicos básicos. El instituto es miembro de IBERCHIP, organización internacional con asiento en España y dedicada a promover las investigaciones y desarrollos en circuitos integrados en el mundo latino. IBERCHIP es integrado por universidades y empresas en Europa y en América Latina. Entre otros servicios IBERCHIP provee a sus miembros productos básicos como silicio o software CAD de diseño. También IBERCHIP organiza congresos y cursos internacionales. En Argentina los integrantes IBERCHIP de mayor trayectoria son la UBA (Facultad de Ingeniería), Universidad de La Plata (CETAD), Universidad de Rosario, UNC Tandil.

## 7. Antecedentes del grupo sobre el tema

El grupo tiene trabajos publicados y realizaciones particulares realizadas a través de su participación en el proyecto acreditado SPU “*SENYAL PLANA*”, en otros proyectos anteriores la realización de unidades aritméticas específicas ha sido necesaria. El director esta en el tema desde veintinueve años por su participación en grupos de investigación de la Empresa Philips (división Philips Labs. Bruselas) entre 1969 y 1978, y por su participación en varios proyectos acreditados SPU en Argentina. También publicó en 2006, en colaboración con uno de los integrantes Dr. G. Sutter y con el Dr. JP Deschamps (ver bibliografía) un libro de difusión internacional editado por J. Wiley Interscience. El co-director Mgr. M. Tosini tiene varias publicaciones en temas afines. Otro integrante, M. Vazquez esta preparando una maestría en el mismo tema y ya es autor de varias publicaciones de relevancia. El Dr. G. Sutter y el Ing. Bioul dirigen a M. Vazquez en sus trabajos de postgrado.

## 8. Personal Participante:

APELLIDO Y NOMBRE	CAT. INV.	CAT. DOC.	FUNCIÓN
Bioul Géry J. A.	I	Tit.	Dir.
Tosini Marcelo	III	Adj.	Cod.
Vazquez Martín	s/c	JTP	Int.
Leiva Lucas	s/c	Ayd	Int.
Sutter Gustavo	III	Adj.	Int.

## 9. Bibliografía sobre el tema.

- ❖ **G. Bioul, J.-P. Deschamps, G. Sutter**, “Efficient FPGA Implementation of Carry-Skip Adders,” III Jornadas de Computación Reconfigurable y Aplicaciones, Madrid, Sept. 2003, pp. 81-90..
- ❖ **JP. Deschamps, G. Bioul, G. Sutter**, “ Spartan-II / Virtex Implementation of High Speed Adders”, accepted for publication in "Microprocessors and Microsystems" Journal – Elsevier.2004.
- ❖ **G. Sutter G. Bioul, and J-P. Deschamps**, “ Improved FPGA Dividers for Floating Point Operations” FFCCM04: 12<sup>th</sup> IEEE Symposium on Field-Programmable Custom Computing Machines, Napa, California April, 2004.
- ❖ **G. Sutter, G.Bioul, and J.P. Deschamps**, “Comparative Study of SRT-Dividers in FPGA”, 14th International Conference on Field Programmable Logic and Applications

- (FPL'04), Antwerp, Belgium, September 2004. Appeared in Lecture Notes in Computer Science, Vol.3203, pp. 209-220, Springer-Verlag-Berlin, August 2004.
- ❖ **G. Sutter, G.Bioul, J.P. Deschamps, and E.Boemo**, “Power Aware Dividers in FPGA”, Fourteenth International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS 2004) Santorini, Greece. September, 2004. Lecture Notes in Computer Science, Vol. 3254, pp. 574-584. Springer-Verlag-Berlin, August 2004.
  - ❖ **JP. Deschamps, G. Bioul, G. Sutter**, *Synthesis of Arithmetic Circuits*, - ASIC, FPGA, Embedded Systems, John Wiley & Sons, New-York, February 2006.
  - ❖ **G.Sutter, G.Bioul and J.P. Deschamps**, "High Speed FPGA Dividers for Floating Point Mantissa", Actas de las IV Jornadas sobre Computación Reconfigurable y Aplicaciones - JCRA'2004, Universidad Autónoma de Barcelona, 13 – 15 Septiembre 2004, pp, 405-414 (J.Carrabina, Ll.Ribas, O.Navas, D.Castells (Editors), FPGAS: Computación & Aplicaciones, UAB - CEPHIS, ISBN 84-688-7667-4).
  - ❖ **Steve Kilts**, “Advanced Fpga Design: Architecture, Implementation, and Optimization” John Wiley & Sons Inc (June 2007)
  - ❖ **M.F. Cowlshaw**: “Decimal floating-point: algorithm for computers”, Proc. 16th IEEE Symposium on Computer Arithmetic, June 2003, pp. 104–111.
  - ❖ **G. Jaberipur and A. Kaivani**: “Binary-coded decimal digit multipliers”, IET Comput. Digit. Tech., 2007, 1, (4), pp. 377–381.
  - ❖ **F.Y. Busaba, C.A. Krygowski, W.H. Li, E.M. Schwarz and S.R. Carlough**: “The IBM Z900 decimal arithmetic unit”. Asilomar, Conf. on Signals, Systems and Computers, November 2001, vol. 2, pp. 1335–1339.
  - ❖ **Xilinx Inc.** “Virtex 4 User Guide”, Abril 2007, available in <http://www.xilinx.com>.
  - ❖ **Xilinx Inc.** “XST User Guide-9.2i”, 2008, available in <http://www.xilinx.com>.
  - ❖ **Xilinx Inc.** “ISE 9.2 Documentación”, 2008, available in <http://www.xilinx.com>.
  - ❖ **Xilinx, Inc.** “Constraints Guide – ISE9.2i”, chapter 2 Relative Location (RLOC), 2008, available in <http://support.xilinx.com>.