

Identificación por hardware de posición de jugadores en fútbol de robots

Tosini, Marcelo - Acosta Nelson – Claudio Aciti – Silvia Iarar
INTIA/INCA - Fac. de Ciencias Exactas - Universidad Nacional del Centro de la Prov. de Bs. As.
Paraje Arroyo Seco s/n – Tandil – Argentina (*)
{mtosini, nacosta}@exa.unicen.edu.ar

Resumen

El presente trabajo pretende el desarrollo de un sistema de análisis de imágenes a través de redes neuronales hardware sobre una plataforma Muren, que facilite la detección de la posición de jugadores en una cancha de fútbol de robots. La aplicación se restringe al reconocimiento de patrones específicos de forma y color en las imágenes procedentes de una cámara digital posicionada sobre la cancha. En la primera sección se describe la arquitectura del sistema de desarrollo Muren, basado en 2 procesadores ZISC de 78 neuronas cada uno, una FPGA Spartan II, bancos de memoria y lógica adicional de comunicación. La parte final del trabajo describe la metodología en desarrollo para el reconocimiento específico de los patrones.

Palabras clave

Redes neuronales, Tiempo real, Reconocimiento de patrones, fútbol de robots.

1. Introducción

El reconocimiento de patrones en imágenes es un tema de amplia investigación en la actualidad. Dicho reconocimiento deriva usualmente en complejos algoritmos de detección de formas y colores específicos en una imagen y su asociación a categorías previamente “aprendidas”. El grado de complejidad se incrementa si el análisis se realiza sobre información de video en tiempo real.

En este campo ha tomado gran difusión el desarrollo de controladores basados en redes neuronales, que poseen ciertas características estructurales y algorítmicas que las hacen apropiadas para la detección de patrones cuyas características son “parecidas” a la de algún patrón previamente reconocido y clasificado. Su principal desventaja es justamente la complejidad temporal del algoritmo de reconocimiento en implementaciones puramente secuenciales en software.

La tecnología actual permite que los controladores basados en redes neuronales puedan ser materializados por software sobre hardware de propósito general, sobre microcontroladores dedicados [1] o mediante un circuito específico (ASIC¹, FPGA², PLD³) [2][5]. Para cualquier forma de materialización es conveniente realizar una optimización del sistema que involucre operaciones a medida de la aplicación, tamaños de datos adecuados, módulos de comunicación rápidos, etc.

El requerimiento de velocidad para el cálculo en un controlador exige la migración de software a hardware, por ejemplo mediante técnicas de codiseño hardware/software. En un hardware a medida se pueden aprovechar características propias de la aplicación (paralelismo, tamaños de rutas de datos y operadores de cálculo a medida de los operandos) y técnicas de altas prestaciones.

El objetivo global de éste proyecto es el diseño de una aplicación basada en redes neuronales hardware para la detección de posición y dirección de movimiento de objetos simples en una

¹ Application Specific Integrated Circuit

² Field Programmable Gate Array

³ Programmable Logic Device

(*) El proyecto es financiado por la Empresa REDIMEC SRL, Mayor Novoa 845 – Tandil, Argentina.

superficie geográfica específica utilizando para ello el soporte de hardware neural de una placa Muren.

La sección 2 presenta la arquitectura de la placa utilizada como procesador acoplado. La arquitectura del ZISC es descrita en la sección 3, mientras que el estado de avance del desarrollo se propone en la sección 4. La sección 5 y 6 muestran los alcances del proyecto y las conclusiones.

2. Arquitectura Muren

Muren_EMB [8] es un sistema embebido diseñado para manejar señales digitales de entrada, reconocer patrones y transmitir resultados de salida sin necesidad de modelado de datos ni intervención de una PC.

La placa (figura 1) contiene: a) soporte para comunicación a través de puertos serie y paralelo, b) una red neuronal digital para reconocimiento de patrones de alta velocidad (2 procesadores ZISC78), c) un banco de memoria y d) una FPGA (Spartan II de Xilinx [6]) que puede ser programada para realizar operaciones específicas como adquisición y procesamiento de datos en tiempo real, extracción de características y comunicación con otros dispositivos periféricos.

Los resultados de salida obtenidos pueden ser: posición de determinados objetos, sus categorías, pertenencia a contextos y otras. Otra característica importante de Muren es su capacidad de reconfiguración. En cualquier momento puede cargarse un nuevo programa en la FPGA y un nuevo motor de reconocimiento en los ZISC.

Además, la placa está provista de una cámara digital para captura de imágenes en tiempo real, lo que permite la realización de sistemas de análisis de imágenes inteligentes como reconocimiento de rostros, huellas digitales, seguimiento de blancos y otros.

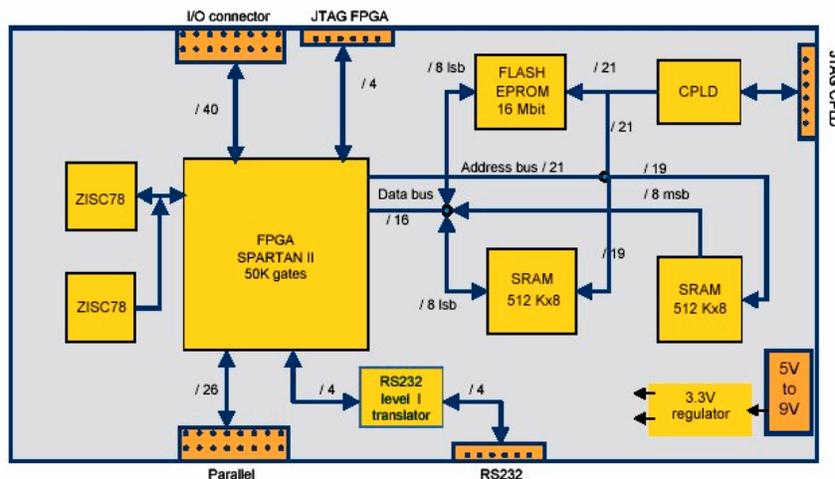


Figura 1: Diagrama de componentes del sistema Muren_Emb

3. Tecnología ZISC

ZISC (Zero Instructions Set Computer) [9] es una unidad de proceso en paralelo basada en redes neuronales y dotada de potencia informática ultra rápida para entornos de trabajo que requieren clasificar o reconocer patrones de información (figura 2). Su nombre se debe a que no es necesaria una programación meticulosa con instrucciones específicas para llevar a cabo una tarea determinada. ZISC sólo requiere que se alimente cada neurona con ejemplos representativos y que se los clasifique de acuerdo al trabajo.

Cada procesador ZISC contiene 78 neuronas independientes que pueden pensarse como neuronas de procesadores paralelos. Cada una de estas células trabaja utilizando dos técnicas de representación espacial, Radial Basis Function (RBF) y K-Nearest Neighbor (KNN), a partir de las cuales compara un vector de entrada de 64 bytes con un vector similar almacenado en la memoria de la célula. Si el vector de entrada es semejante al vector almacenado en la memoria de la célula se dispara una señal, de lo contrario no. Al trabajar en forma paralela, el chip ZISC le indica a sus 78 células comparar su memoria con el vector de entrada al mismo tiempo. Como resultado, la velocidad del sistema se incrementa drásticamente.

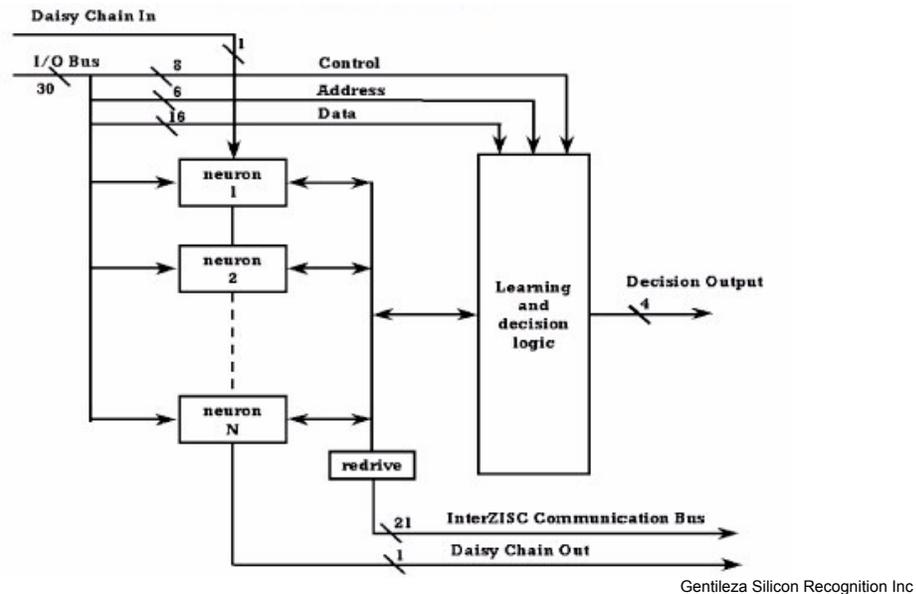


Figura 2: Diagrama de bloques del chip ZISC78

Los chips ZISC pueden usarse también para encontrar correspondencias aproximadas. En lugar de preguntar por la correspondencia exacta, se puede preguntar por la más parecida. Por lo tanto, las células que están por sobre un cierto umbral se disparan simultáneamente y el controlador en el chip se fija cual devuelve el valor más cercano.

La tecnología ZISC es capaz de realizar una evaluación detallada en menos de cuatro microsegundos, aspecto que la convierte en ideal para aplicaciones en tiempo real. Sin embargo, la potencia real de este chip está en su escalabilidad. Una red ZISC puede expandirse agregando más dispositivos ZISC, sin sufrir una merma en la velocidad de reconocimiento. No hay un límite teórico para el número de células que pueden formar una red neuronal, existiendo hoy día productos comerciales provistos por Silicon Recognition con 10.000 células o más.

4. Reconocimiento de jugadores en fútbol de robots

Una aplicación de reconocimiento orientada al caso particular de fútbol de robots debe reconocer la posición y orientación de cada uno de los jugadores en la cancha así como también la posición de la pelota. Puesto que este es un caso específico y delimitado de reconocimiento, se toman algunas convenciones que simplifican el reconocimiento de los objetos de interés. La principal convención es el uso de “parches” de formas y colores distintivos en la superficie superior de los robots que identifican el equipo al que pertenece un robot y el jugador particular dentro de un equipo. La dirección del mismo dentro de la cancha se determina por la posición relativa de estos 2 colores en el robot.

La pelota también tiene un color distintivo y diferente al resto de los colores presentes en el campo de visión, generalmente naranja (figura 3).

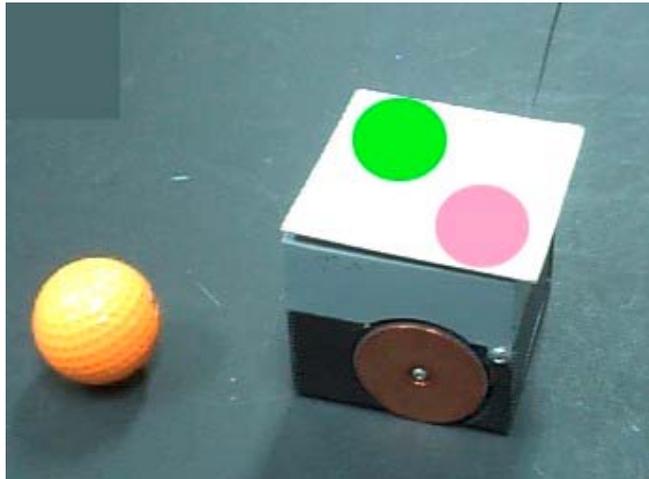


Figura 3: Robot con colores identificadores de equipo y jugador y pelota en color naranja.

Puesto que el sistema de detección completo estará sintetizado en la FPGA de la placa Muren, el algoritmo de reconocimiento debe ser compacto y rápido[7]. De este modo, cada frame de imagen se descompone en regiones de interés suficientemente chicas (p.e.: 16x16 pixels) y se proyecta horizontal y verticalmente de manera de obtener patrones de 32 palabras. Estos patrones se confrontan con los aprendidos por la red neuronal para obtener la categoría de pertenencia a un parche determinado (pelota, parche de equipo o de jugador) y con ello determinar las coordenadas espaciales del mismo. Analizando las coordenadas de cada par de parches -de equipo y jugador- próximos se establece la dirección del robot en el campo de juego.

5. Aplicaciones enfocadas

Las aplicaciones finales de ésta tecnología son:

- Un sistema de análisis de imágenes para el reconocimiento de patrones genéricos. Requiere la lectura del CCD, su almacenamiento en una memoria, el recorrido de la imagen completa para armar la sección a analizar, cálculo del vector de representación de la imagen, envío de ese vector al ZISC, y filtro de las categorías más cercanas.
- Un sistema de control para una cámara giro-estabilizada que tiene como función calcular las aceleraciones que sufre la cámara y realizar los movimientos para mantener su posición de enfoque. Se tiene en cuenta tanto movimientos del vehículo sobre el cual está colocada como las vibraciones. La aplicación requiere las funciones para cada eje del sistema, lectura del acelerómetro (incluida la digitalización de la señal), proceso de las señales de entrada (dependiendo del estado actual y el valor de la lectura), cálculo de la función de respuesta y próximo estado, y envío de las señales de salida a los actuadores de estabilización.

6. Conclusiones

La línea de desarrollo presentada en este artículo permitirá la síntesis de dispositivos hardware de detección de patrones específicos aplicados a problemas concretos como seguimiento de objetos, detección de colisiones, posicionamiento automático y otros. Los resultados obtenidos son muy preliminares, debido al estado actual (inicial) del proyecto. De

cualquier forma, se puede asegurar que ya se han encontrado los problemas principales a resolver.

Actualmente se está trabajando en la generación automática de circuitos que materialicen los diseños de las máquinas de estados sobre plataformas FPGA utilizando VHDL como lenguaje de síntesis.

Referencias

- [1] Burr, J., *“Digital neural networks implementations”*, in Neural Networks, Concepts, Applications, and Implementations, Vol III. Englewood Cliffs, New Jersey: Prentice Hall, 1991.
- [2] Guccione, S. & González, Mario, *“A neural network implementation using reconfigurable architectures”*, in: W. Moore, W. Luk (eds.), More FPGAs, Abingdon, Oxford, UK, 443-451, 1994.
- [3] Lee, J., Sheu, B., Fang, W. & Chellappa, R., *“VLSI neuroprocessors for video motion detection”*, IEEE Transactions on Neural Networks, Vol 4, Nro 2, 1993.
- [4] Schönauer, T., Jahnke, A., Roth, U. & Klar, H., *“Digital Neurohardware: Principles and Perspectives”*, Proc. Neuronale Netze in der Anwendung (NN'98), Magdeburg, invited paper, 1998.
- [5] Tosini, M., *“Implementación en FPGA de una arquitectura programable para redes neuronales digitales”*, VI Congreso Iberchip IWS'2000, Sao Paulo, Brasil, 169-180, 2000.
- [6] <http://www.xilinx.com/partinfo/databook.htm>
- [7] Rubio, M., Pérez, M., *“Técnicas de redes neuronales aplicadas al reconocimiento y clasificación de píxeles de imágenes de satélite”*, IV Simposio Nacional de Predicción, 1996.
- [8] *“MUREN: High-Speed Pattern Recognition Embedded Board Using a ZISC Neural Network”*, Manual revision 3.3, Silicon Recognition, Inc.
- [9] *“ZISC: Zero Instruction Set Computer”*, Version 4.2, Silicon Recognition, Inc., 2002