

Diseño de bloques IP: Programabilidad y Re-utilización

Horacio Villagarcía Wanza, Oscar Bria¹

*LIDI. Laboratorio de Investigación y Desarrollo en Informática.
Facultad de Informática. UNLP.
50 y 115. 1er Piso. La Plata*

Palabras Clave

Arquitectura de Computadoras, SoC -System on a Chip-, bloques IP -Intellectual Property-, VHDL.

Resumen

Una metodología de diseño de sistemas SoC basada en bloques IP (Hard o Soft), requiere el estudio, análisis y proposición de soluciones a cuestiones tales como: comunicación inter-bloques IP, Software IP, validación de IP y del sistema, cambios tecnológicos y costo. Nos proponemos abordar estos temas en un primer paso como proveedores de bloques IP; para ello nos basaremos en descripciones de hardware por lenguaje (en particular VHDL).y evaluaremos reutilización y programabilidad de estos bloques.

Introducción

La complejidad del hardware ha crecido de modo sostenido en los últimos años (y se espera que lo siga haciendo) a punto tal que es posible diseñar -y fabricar- computadores digitales completos (CPU, Memoria y E/S) o colocar múltiples procesadores en un único chip de silicio. Aparecen en consecuencia nuevos paradigmas a resolver como el Co-diseño Hardware/Software o el Diseño a nivel Sistema [2,3] a los que se proponen diversas soluciones tecnológicas (ASIC's, CPLD's, FPGA's y Systems-on-Chip entre otras) la mayoría de las cuales emergen por condiciones de mercado; también se proponen metodologías de diseño con distintos niveles de abstracción – flexibilidad que se basan en las nuevas soluciones tecnológicas.

La metodología de diseño System-on-Chip (SoC) [4] idealmente incorporaría todo elemento que el sistema necesite y que pueda ser implementado en silicio (no solo circuitos electrónicos digitales sino también analógicos y hasta algunos tipos de sensores) pero podemos limitarlo a una máquina de estados que ejecute funciones operativas básicas, periféricos y memoria. El diseñador de SoC combinará bloques pre-diseñados y pre-verificados en un chip para implementar funciones complejas, poseyendo solo un limitado conocimiento de la estructura interna de esos bloques.

Como consecuencia, la mayor parte de la propiedad intelectual (IP) del diseñador del sistema residirá en el chip sea en la forma de lógica especial en hardware y/o como programa a ser ejecutado por la máquina de estados. Asimismo la máquina de estados en si misma será un bloque IP y podrá contener un microprocesador, un DSP o un procesador especialmente diseñado. Debería entonces, ampliarse el concepto de IP -original de la industria del software- y asociarse con la propiedad del conocimiento, experiencia, innovación y recursos que se apliquen en la creación de un núcleo (core) de hardware específico y/o de programa software/firmware requerido para la realización de alguna función del sistema.

Como si todo cambio ocurrido fuera poco, la tecnología electrónica produce dispositivos de lógica programable con capacidad suficiente para dar soporte físico a SoC, agregando la facilidad de la

¹ Profesores Ordinarios Dedicación Exclusiva

programación en campo y disminuyendo los tiempos de diseño y puesta en mercado. Ya existen los PSoC (Programmable System on Chip) que abren aun mas el espectro de ventajas y desventajas. [1].

Temas de Investigación y desarrollo

A partir de los elementos anteriormente mencionados y sin ser excluyentes elegimos como primeros pasos los siguientes temas:

- **Programabilidad de bloques IP.** ¿La propiedad intelectual es ‘estática’?. ¿Un IP ‘hard-wired’ admite parametrización?. Un IP ‘software’, ¿cómo se depura?

En este tema pretendemos fundamentalmente analizar, discutir y de ser posible establecer hasta donde se podría ‘programar’ bloques IP, sin afectar la propiedad intelectual. No escapan a este tópico los temas relacionados con la protección de la propiedad.

- **Hardware y software de interfase de bloques IP.** Los ‘Buses de interconexión’ y los protocolos de comunicación, ¿deben ser estándares?, ¿quién los definirá?.

El establecimiento de estándares no afectados por intereses particulares requiere habitualmente tiempos que no son compatibles ni con la evolución tecnológica ni con los negocios. Existen propuestas de Buses de interconexión como CoreConnect (IBM), AMBA (ARM) y Wishbone (Silicore) que deben ser analizadas.

- **Portabilidad de bloques IP.** ¿Qué re-usabilidad de bloques IP puedo esperar?, ¿Qué métodos o técnicas de diseño ayudan a la re-usabilidad?. ¿Cómo afectan los cambios tecnológicos?

En todos los casos asumimos que la herramienta básica para generar un IP hardware será un Lenguaje como VHDL. En el caso particular de la portabilidad del IP existe el problema de la ‘compilación a silicio’ que es dependiente del proveedor tecnológico. Distintos resultados se obtienen según sea el mecanismo utilizado y se podrian lograr mejoras en velocidad (según límites de la tecnología usada) o en espacio.(área de silicio usada = dinero).

Algunos resultados obtenidos. Líneas de Investigación en curso.

Los lenguajes de descripción de hardware representan un modo de ‘programar’ hardware. El programa fuente se compila para obtener un ejecutable –que mediante procesos físico-químicos- se plasma en semiconductores de silicio. Hemos utilizado VHDL para realizar los primeros estudios académicos y elegimos el área de la aritmética de computadoras como fuente algorítmica. La Transformada de Mersenne, el algoritmo CORDIC y las posibles arquitecturas de implementación son los elementos sobre los que comenzamos a trabajar [5,6,7,8]. Estas experiencias están en proceso de ‘encapsulamiento’ para formar bloques IP y se utilizarán como ‘casos testigo’ para evaluar conectividad y portabilidad de los mismos. Asimismo se planea realizar la parametrización de descripciones VHDL y estudiar si existen mecanismos que aseguren la propiedad intelectual de los diferentes bloques IP generables.

Bibliografía

- 1- S. Wilton, R.Saleh, “Programmable Logic IP Cores in SoC Design: Opportunities and Challenges”, a publicar en IEEE Custom Integrated Circuit Conference, Mayo 2001.
- 2- S. Liao, “Towards a New Standard for System-Level Design”, Proc. VIII Int’l Workshop on Hardware Software Codesign, pág.2-6. Mayo 2000.

- 3- J. Plantin, E. Stoy, "Aspects on System-Level Design", Proc. VII Int'l Workshop on Hardware Software Codesign, pág.209-210. Mayo 1999.
- 4- M. Baron, "One chip, two chip, red chip, blue chip", CommVerge Magazine, Marzo 2000.
- 5- O. Bria, D. Gil, H. Villagarcía, "Implementaciones CPLD de la Transformada Numérica de Mersenne", Anales 6^{to} Workshop IBERCHIP, pág. 3-12. Marzo 2000.
- 6- J. Giacomantone, H. Villagarcia, O. Bria, "A fast CORDIC Co-Processor Architecture for Digital Signal Processing Applications", Anales VI Congreso Argentino de Ciencias de la Computación, pág. 587-596, Octubre 2000.
- 7- O. Bria, H. Villagarcía, "RTL Fast Convolution using the Mersenne Number Transform", Anales Parte I III Congreso Argentino de Ciencias de la Computación, pág. 254-270, Octubre 1997.
- 8- O.Bria, H. Villagarcía, "VHDL for Functional Modeling a DSP Algorithm", Anales Volumen II VII RPIC., pág. 713 a 718. Septiembre 1997.