

Metodología para la Reducción de Consumo en Circuitos Integrados Reprogramables

Gustavo Sutter y Elías Todorovich

INCA, Universidad Nacional del Centro, Tandil, Argentina
gsutter@exa.unicen.edu.ar
<http://www.exa.unicen.edu.ar/inca/>

Eduardo I. Boemo

ETS Informática, Universidad Autónoma de Madrid,
Ctra. Colmenar Km.15, Madrid, España
<http://www.ii.uam.es>

Introducción.- La utilización de una metodología de estimación y control del consumo de circuitos integrados resulta indispensable. En la actualidad, el calor generado por un circuito *semicustom*, a menudo sobrepasa los límites de disipación de los encapsulados. Hoy en día, el consumo medio de potencia de un *chip* se sitúa entre 1 y 10 vatios, con una tendencia a incrementarse en los próximos años al menos un orden de magnitud.

Las ventajas de la reducción de consumo sobrepasan el campo de aplicación natural, relacionado con la electrónica portátil (ordenadores, telefonía, sistemas remotos de adquisición, etc.). En primer lugar, tiene un importante impacto económico, pues permite reemplazar encapsulados cerámicos por plásticos cuyo costo es al menos un 25% menor, y a la vez simplifica o elimina la necesidad de elementos de refrigeración, tales como ventiladores, disipadores o sensores de temperatura. Por otro lado, teniendo en cuenta que todas las causas de falla de los circuitos integrados crecen exponencialmente con la temperatura, la reducción del consumo aumenta la fiabilidad y vida del producto. Finalmente un valor elevado del consumo, se refleja en picos de corrientes síncronos con el reloj, que pueden afectar al funcionamiento del circuito hasta proyectar su influencia sobre aspectos aparentemente independientes como la complejidad del PCB o la sincronización.

Uno de los aspectos más importantes para evitar un excesivo consumo, aún en las aplicaciones donde no existen restricciones en ese sentido, es que la velocidad de un circuito CMOS decrece en un factor del 0,35% por °C. En consecuencia, existe una relación oculta entre diseño de bajo consumo y diseño de alta velocidad, reforzada por el hecho de que la capacidad de cada nodo afecta tanto al consumo como al ancho de banda. Así, la optimización del primer parámetro usualmente produce mejoras en el segundo.

Marco tecnológico del proyecto.- Se utilizarán FPGAs de Xilinx y Altera. La elección de esta tecnología VLSI está justificada en su bajo costo y su capacidad de reutilización.

Selección de técnicas de reducción de consumo.- El consumo de un circuito integrado es función de la arquitectura, tecnología, interconexión, secuencia de datos de entrada y estados por los que evoluciona. Al igual que el área o la velocidad, su estudio, estimación y control pueden realizarse en cualquiera de los niveles de la jerarquía de diseño. En este trabajo, se desarrollarán técnicas de reducción de consumo en los niveles arquitecturales, funcionales y de implementación (diseño físico o *layout*), que son los que mejor se adaptan al marco tecnológico elegido.

En la primera etapa, la investigación sigue el camino clásico, revisando y adaptando a la tecnología marco las principales ideas sobre consumo. A partir de los resultados obtenidos, se espera realizar aportes a esta línea de investigación. A continuación se resumen las principales ideas sobre reducción de consumo que se aplicarán en la primera etapa de este proyecto:

Nivel arquitectural: Consiste en la caracterización y control del consumo a partir de los bloques que componen el sistema. Este enfoque tiene una precisión reducida pero permite predecir o presupuestar (*Power Budget*) el consumo de circuitos de gran tamaño y complejidad.

Las principales ideas han sido expuestas en [1] donde se estudia el consumo de μ -procesadores, dividiendo la potencia disipada en la correspondiente a puertas, memoria, interconexión y distribución de reloj, en [2] se analiza en detalle la potencia externa, principalmente la correspondiente a los *buses* de dirección, la cual es reducida un 37 % mediante la utilización de código Gray. En el campo de la estimación arquitectural, resulta aplicable el enfoque [3] donde se separa el consumo en el correspondiente a memoria, unidades de cómputo y E/S, hallando algunos heurísticos en función del número de bits, frecuencia de operación, nº de *pads* y tamaños de

memoria. En [4] y [5] se estudia la distribución de reloj en combinación con ideas de *Power Management*, basadas en la inhabilitación, ciclo por ciclo, de los bloques del sistema que no operan, la suspensión de la actividad en el *bus*, etc. La aplicación de esta técnica ha producido reducciones de consumo de microprocesadores cerca del 20 %.

Para el usuario final del FPGA, los resultados de la investigación a este nivel se traducirán en una biblioteca de bloques específicamente diseñados para bajo consumo y una herramienta para evaluar las diferentes alternativas de diseño. Por otro lado, para el fabricante del circuito, el análisis arquitectural dará información de gran utilidad para la elaboración de una nueva familia con características de bajo consumo.

Nivel funcional: Las técnicas a este nivel sólo son de utilidad para el usuario final. Consisten en la elección de un conjunto particular de datos o estados que permitan minimizar la actividad del circuito. Así, es posible reducir la "energía del *software*", o la potencia disipada por un procesador que ejecuta un determinado programa, reescribiendo el código con las instrucciones que exhiben menor consumo, o reasignando las instrucciones para minimizar la potencia, un enfoque llamado *Cold Scheduling* en [6]. Las técnicas de consumo a nivel funcional, requieren una caracterización exhaustiva del microprocesador, a partir del análisis del consumo de programas de pruebas con diferentes secuencias de operaciones.

Nivel de Implementación (Layout): Una vez definida la arquitectura, funcionalidad y secuencia de operaciones, aún es posible modificar significativamente el consumo de potencia en la última etapa por medio del diseño físico. Desde el punto de vista del usuario final, el único campo en el cual puede actuar es en los bloques de la FPGA, a través del control del proceso de particionado, emplazamiento y rutado. La idea central en la jerarquía de implementación es mejorar la interconexión en general, o en su defecto, las pistas de mayor actividad, con el objeto de reducir tanto capacidades como actividad espuria (*espurious activity* o *glitches*). Dos opciones en esta dirección son en la utilización eficiente de las LUTs, o la igualación de los caminos que componen la ruta de datos; ambas son tratados en [7] y [8]. Finalmente, una importante fuente para la reducción de consumo es la manipulación del proceso de mapeado tecnológico.

Plan de Trabajo.- Los temas se analizan en los diferentes niveles de la jerarquía de diseño: optimización a nivel LUT/interconexión, síntesis orientada a bajo consumo de núcleos aritméticos, la disposición (*layout*) de los diversos elementos, la incorporación de técnicas de manejo de potencia (*power management*), hasta finalizar en los aspectos de alto nivel, dirigidos a los usuarios finales. Para llevar a cabo este proyecto se ha dividido el problema en la siguiente serie de hitos:

Obtención de heurísticos .- En esta tarea, que se extiende a lo largo de todo el proyecto, se diseñarán e implementarán circuitos de referencia que hagan uso de los diferentes elementos presentes en el *chip*. Para la selección de los casos de estudio se tomará como fuente problemas de índole práctico; en particular los propuestos por el consorcio PREP, la organización de fabricantes de FPGAs, así como la colección de circuitos industriales reunidos en [9].

Análisis de temas relacionados con núcleos microprocesadores basados en FPGAs.- Las principales líneas de investigación en este campo son las desarrolladas por el equipo del Prof. Malik [10], de Princeton y por C. Piguet [11] del CSEM (Suiza). La primera tarea que se ha de desarrollar durante esta etapa es el análisis exhaustivo de la *netlist* de capacidades de algunos μ -procesadores, con el objeto de determinar si existen partes del mismo que pueden gobernar su consumo total.

De acuerdo a los resultados que se obtengan, una lista de alternativas de técnicas para analizar son: a) *power management* (estudio de mecanismos de deshabilitación de los mismos); b) determinación de la mínima frecuencia de operación del μ P, de utilidad en aplicaciones de baja velocidad y bajo consumo; c) reordenamiento de las instrucciones; d) costo de "parar y arrancar" (procesamiento en ráfaga); e) costo de utilización de lazos (que implican incrementar y comparar un contador en cada ciclo) en función de la longitud del programa; f) ídem punto anterior, pero en

referencia a la utilización de subrutinas; g) costo extra asociado a la utilización de un lenguaje de alto nivel; y h) definición de rutinas de utilidad general, orientadas a minimizar consumo.

Técnicas para el análisis de FPGAs.- Una lista de las principales alternativas a evaluar y clasificar son: a) asignación de estados en *FSMs*; b) particionado orientado a reducir caminos reconvergentes; c) particionado orientado a la extracción de sub-expresiones; d) replicación de bloques para distribuir la carga de un determinado nodo; e) costo de recursos de interconexión alternativos; f) particionado utilizando “co-factorio” de Shannon g) costo asociado al particionado automático; h) reducción de la profundidad de lógica; i) balance de caminos; j) inhabilitación selectiva de los *pads* de salida; k) reducción de consumo por medio de la conexión a tierra o *Vcc* (técnica *Tie*) de los bloques y los elementos de rutado que no se utilizan; l) reducción de consumo mediante la utilización de las LUTs a modo de vías entre pistas (*Through-Routes*).

En la mayoría de los casos, los compromisos de diseño incluyen el tiempo adicional de diseño, considerando que muchas técnicas requieren un proceso manual. Sin embargo, una vez cuantificada la eficacia de cada enfoque, se dispondrá de una serie de heurísticos para ser incorporados a la herramienta de PPR automático, agregándole capacidad de diseño de bajo consumo.

Avances.- La primera etapa consistió en la recopilación bibliográfica y análisis del estado del arte. Esta etapa convive a lo largo de todo el proyecto actualizando la base de datos bibliográfica, así como incorporando las nuevas ideas que surjan en la comunidad científica. Actualmente se cuenta con una base de datos del tema que supera las 300 referencias.

Estudio del marco tecnológico. Estudio de las FPGAs (Field Programmable Gate Arrays), en particular las provistas por las firmas Xilinx y Altera. También se investigaron las herramientas de desarrollo de estos fabricantes (Xilinx Foundation Series y MaxPlus II de Altera).

Revisión y adaptación a la tecnología marco en el área del consumo en IC, se estudio las principales ideas sobre el tema y se realizaron experimentos sobre consumo sobre diferentes tipos de multiplicadores, generando las siguientes publicaciones [12], [13] y [14] que resumen gran parte de los avances realizados.

Referencias

- [1] D. Liu y C. Svensson, "Power Consumption Estimation in CMOS VLSI Circuits". IEEE Journal of Solid-State Circuits, Vol.29, N°6, pp. 663-670, Jun.1994
- [2] C. Su, C. Tsui y A. Despaigne, "Low Power Architecture Design and Compilation Techniques for High Performance Processors", Proc. IEEE 1994 Spring COMPCON, pp.489-498. IEEE Press, 1994.
- [3] S. Powell y P. Chau, "A Model for Estimating Power Dissipation in a Class of DSP VLSI Chips", IEEE Trans. on Circuit and Systems, VOL. 38, N°6, pp.646-650, Jun 1991.
- [4] S. Gary, P. Ippolito, G. Gerosa, C. Dietz, J. Eno y H. Sanchez, "PowerPC 603, A Microprocessor for Portable Computers", IEEE Design and Test of Computers, pp.14-23. Invierno 1994.
- [5] Motorola Inc. PowerPC Tools, Edition 3. Noviembre 1994.
- [6] C. Su, C. Tsui y A. Despaigne, "Low Power Architecture Design and Compilation Techniques for High-Performance Processors", Proc. IEEE 1994 Spring COMPCON, pp.489-498. IEEE Press, 1994.
- [7] E. Boemo, S. López-Buedo, and J. Meneses, "Wave Pipelines via Look-Up Tables", Proc. IEEE ISCAS 96 (Int. Symp. on Circuits and Systems), Atlanta, Vol.IV, pp.185-188. Piscataway, NJ: IEEE Press, 1996.
- [8] E. Boemo, G. Gonzalez de Rivera, S. Lopez-Buedo and J. Meneses, "Some Notes on Power Management on FPGAs", Lecture Notes in Computer Science, N°975, pp.149-157. Berlin: Springer-Verlag 1995.
- [9] "Industrial Applications", Motorola Inc. 1992.
- [10] S. Devadas y S. Malik, "A Survey of Optimization Technique Targeting Low Power VLSI Circuits", 32nd DAC Conf, pp.242-247, 1995.
- [11] T. Schneider, C. Pigué y V. von Kaenel, "Low-voltage / Low-power Parallelized Logic Modules", Proc. PATMOS '95, Fifth Int. Workshop, pp.148-160. Oldenburg, Octubre 1995.
- [12] E. Todorovich, G. Sutter, N. Acosta, E. Boemo and S. López-Buedo "End-user low-power alternatives at topological and physical levels. Some examples on FPGAs", XV DCIS2000, Montpellier, France, November, 2000.
- [13] G. Sutter, E. Todorovich, E. Boemo and S. López-Buedo "Propiedad Conmutativa y Diseño de Bajo Consumo: Algunos Ejemplos en FPGAs", VII Workshop de IBERCHIP, Montevideo, Uruguay, marzo 2001.
- [14] E. Todorovich, G. Sutter, N. Acosta, E. Boemo and S. López-Buedo "Relación entre Velocidad y Consumo en FPGAs" VII Workshop de IBERCHIP, Montevideo, Uruguay, marzo 2001.