

Proposta de Estruturas de Comutador para Redes de Comunicação de Altíssima Velocidade

Magda Patrícia Caldeira Arantes

Shusaburo Motoyama

Departamento de Telemática

Faculdade de Engenharia Elétrica e Computação

Universidade Estadual de Campinas

DT – FEEC – UNICAMP

Cx. Postal 6101, 13081-970, Campinas , SP, Brasil

Fone 55-19-788-3765

Fax 55-19-289-1395

motoyama@dt.fee.unicamp.br

magda@dt.fee.unicamp.br

Resumo

Neste trabalho são apresentadas três estruturas de comutador para aplicações em redes de comunicação de altíssima velocidade como redes ATM (Asynchronous Transfer Mode). As três estruturas são do tipo crossbar, e utilizam buffers nas entradas e nos pontos de cruzamentos para armazenar células. Os buffers são divididos em classes de serviço e o encaminhamento de células é feito de acordo com uma prioridade de serviço. São discutidos os esquemas de transferência de células e o algoritmo de encaminhamento de células. A comparação das três estruturas é também feita.

Palavras-chave:

Comutadores ATM, Classes de Serviço, Comutadores Crossbar, Prioridade, Encaminhamento de células.

1. Introdução

Existem na literatura várias propostas de estruturas para comutadores ATM de alta velocidade [1]-[9]. Algumas propostas utilizam buffers na entrada [1] mas este tipo de estrutura apresenta o problema conhecido como HOLB (Head Of Line Blocking), e necessita um algoritmo de encaminhamento de células para melhorar a vazão do comutador [2], [3], [4], [5], o que limita a sua velocidade. Outras propostas utilizam buffers na saída [6] conseguindo vazão de 100%. Entretanto, para se conseguir transferir todas as células que chegam nas entradas do comutador aos buffers de saída durante o intervalo de um "slot" (tempo de duração de uma célula) é necessário um procedimento sofisticado. Existem propostas de estruturas que utilizam buffers na entrada e na saída [7], estas estruturas necessitam técnicas eficientes para transferir as células dos buffers de entrada para a saída. Existem também propostas para se utilizar estruturas do tipo crossbar com buffers nos pontos de cruzamentos [9], simplificando as técnicas de transferência de células da entrada para a saída. Embora estas estruturas não sejam adequadas a comutadores de grande porte pois o hardware é da ordem de N^2 , a simplicidade deste tipo de estrutura é muito conveniente para comutadores de porte médio usados em redes locais de alta velocidade.

Este trabalho apresenta propostas de três estruturas para um comutador ATM do tipo crossbar de altíssima velocidade com prioridade para o tráfego com maior exigência de qualidade de serviço. As três estruturas utilizam um conjunto de buffers nas entradas e nos pontos de cruzamentos, um buffer para cada tipo de serviço.

Nas entradas as células são discriminadas e armazenadas nos buffers apropriados. Os buffers dos pontos de cruzamentos têm a capacidade para armazenar uma única célula. A transferência de células da entrada para a saída é feita em duas fases. Na primeira as células são encaminhadas aos buffers dos pontos de cruzamentos e na segunda elas são encaminhadas às saídas. As estruturas diferem basicamente na quantidade de caminhos paralelos que ligam as entradas aos pontos de cruzamentos o que altera a primeira fase de transferência das células.

Na seção 2, a estrutura geral do comutador é discutida, descrevendo o esquema de transferência de células e detalhando o algoritmo de encaminhamento de células. Na seção 3, são descritas as estruturas de comutador com transferência de células em paralelo. As comparações das três estruturas em termos de quantidade necessária de hardware e da complexidade de gerenciamento dos buffers são feitas na seção 4. Finalmente, na seção 5 as principais conclusões são apresentadas.

2. Estrutura do Comutador Proposto

O comutador proposto possui uma estrutura do tipo crossbar com N entradas e N saídas como mostrado na Fig. 2.1. Cada entrada possui um discriminador de células e um conjunto de cinco buffers, um para cada uma das classes de serviço Constant Bit Rate (CBR), real-time Variable Bit Rate (rtVBR), non-real-time VBR (nrtVBR), Available Bit Rate (ABR) e Unspecified Bit Rate (UBR). As células que chegam a uma porta de entrada são discriminadas quanto ao tipo de serviço e armazenadas no buffer apropriado. Em cada ponto de cruzamento é providenciado também um conjunto de cinco buffers mas neste caso cada buffer pode armazenar somente uma célula.

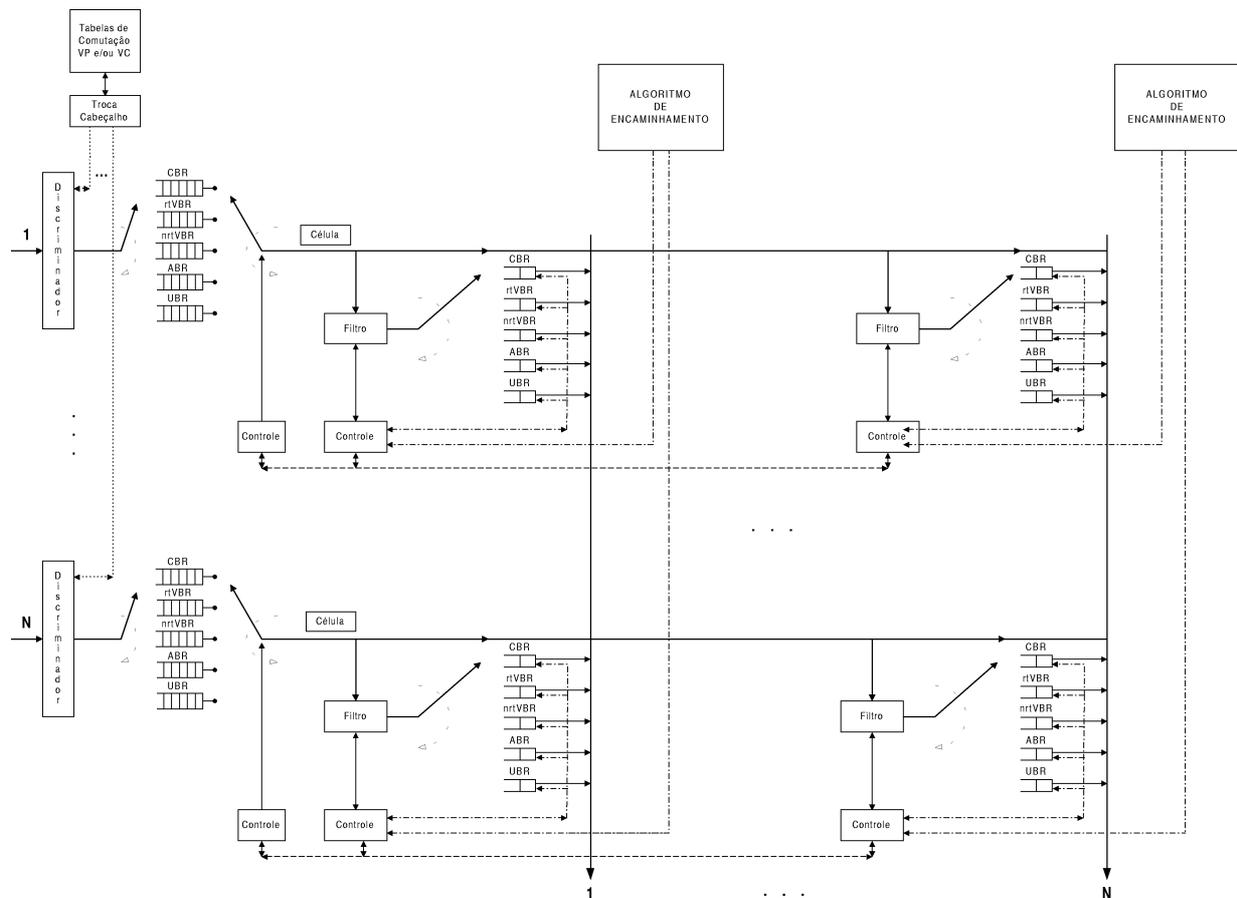


Figura 2.1 Comutador ATM proposto: Buffers na entrada e nos pontos de cruzamentos, com armazenamento de uma célula em cada conjunto de buffers dos pontos de cruzamentos - Estrutura 1.

O processo de comutação é feito durante um slot de tempo (tempo de processamento de uma célula) e é dividido em duas fases. Na primeira fase as células são encaminhadas aos buffers dos pontos de cruzamentos. Cada entrada, sob a monitoração de uma unidade de controle e um filtro, encaminha uma célula a um buffer de cruzamento. Este encaminhamento obedece a uma disciplina que privilegia as classes de serviço de maior prioridade, e dentro de uma mesma classe de serviço, obedece a disciplina FIFO (First In First Out). Na segunda fase é executado o algoritmo de resolução de encaminhamento, que escolhe a célula que será enviada por uma determinada saída, se existir mais de uma célula esperando nos buffers de cruzamento. Este algoritmo favorece as células de classes de serviços com maior prioridade e em casos da mesma classe de serviço é utilizado o esquema "round robin" para o encaminhamento.

2.1. Esquema de transferência de células aos buffers dos pontos de cruzamentos

A Fig. 2.2 ilustra o funcionamento do esquema que seleciona as células para encaminhamento aos buffers dos pontos de encaminhamento.

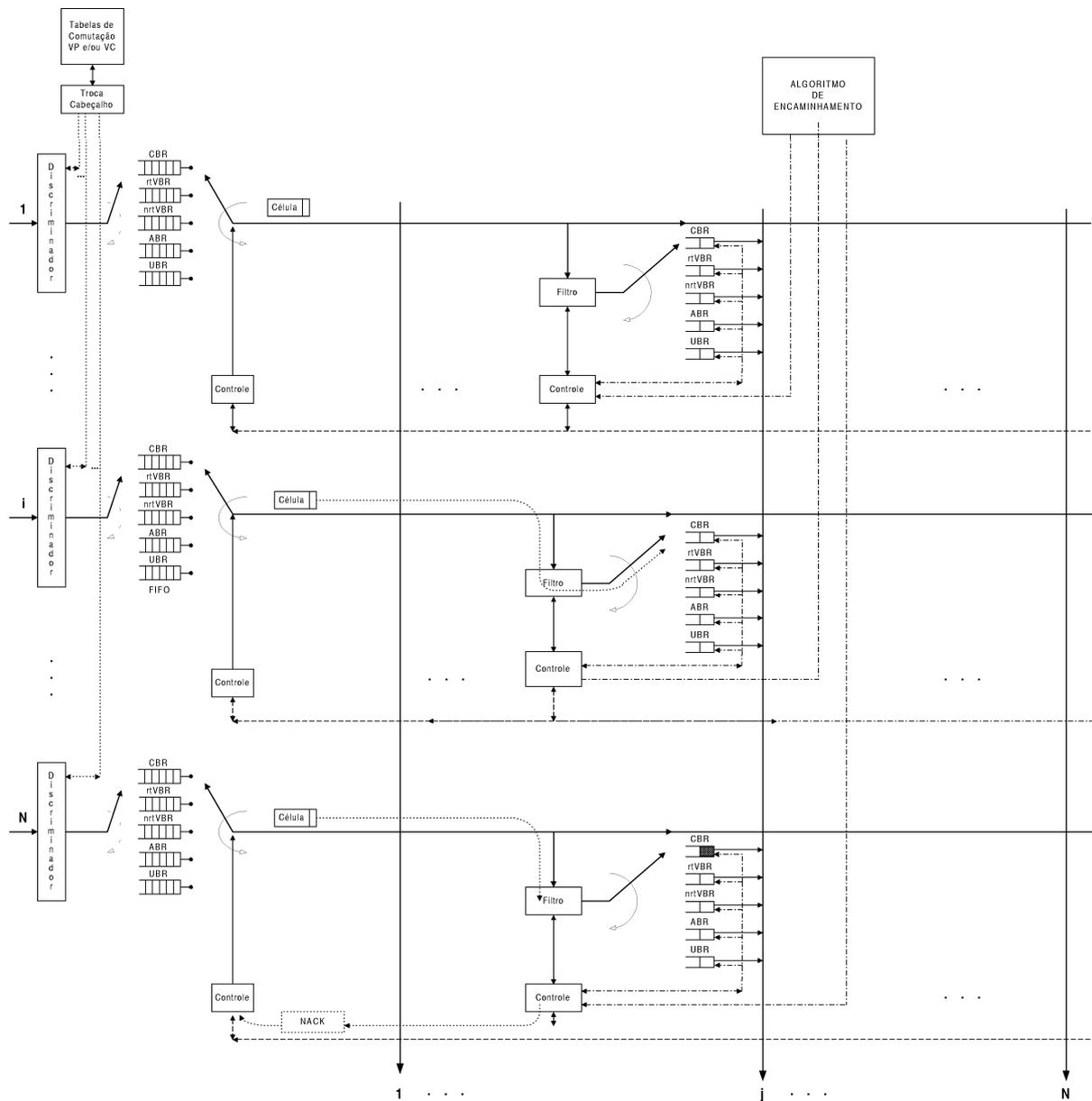


Figura 2.2 Esquema de encaminhamento de células aos buffers dos pontos de cruzamentos - Fase 1.

O conjunto de buffers de uma dada entrada, por exemplo da *entrada i* é examinado, começando pelo buffer da classe de serviço CBR. Se existir célula esperando, por exemplo na classe de serviço CBR, ela é transmitida pelo barramento. Uma cópia desta célula permanece no buffer de entrada. Os filtros selecionam as células que são direcionadas as respectivas saídas. Se o número da *porta j* é reconhecido e o buffer CBR do cruzamento (i,j) estiver vazio, a célula é armazenada no buffer da classe de serviço CBR do ponto de cruzamento (i,j). Se o referido buffer estiver ocupado, a célula é descartada e um sinal de controle (*NACK* - um bit apenas) é enviado à entrada para que a cópia seja preservada. Se o sinal de controle não é recebido pela *entrada i*, é admitido que a transferência de célula foi bem sucedida e a cópia da célula é apagada.

Se o buffer CBR da *entrada i* estiver vazio, o buffer rtVBR da *entrada i* é examinado. O procedimento é repetido até que uma célula seja armazenada em algum buffer dos pontos de cruzamentos ou até que o buffer UBR da *entrada i* seja examinado.

Este algoritmo é executado paralelamente em todas as entradas, ou seja, cada entrada encaminha uma célula para algum buffer dos pontos de cruzamentos. Os bits de cada célula podem ser encaminhados também em paralelo, possibilitando assim uma transferência em altíssima velocidade.

2.2. Algoritmo de encaminhamento das células

A Fig.2.3 ilustra a segunda fase da comutação de célula da estrutura proposta.

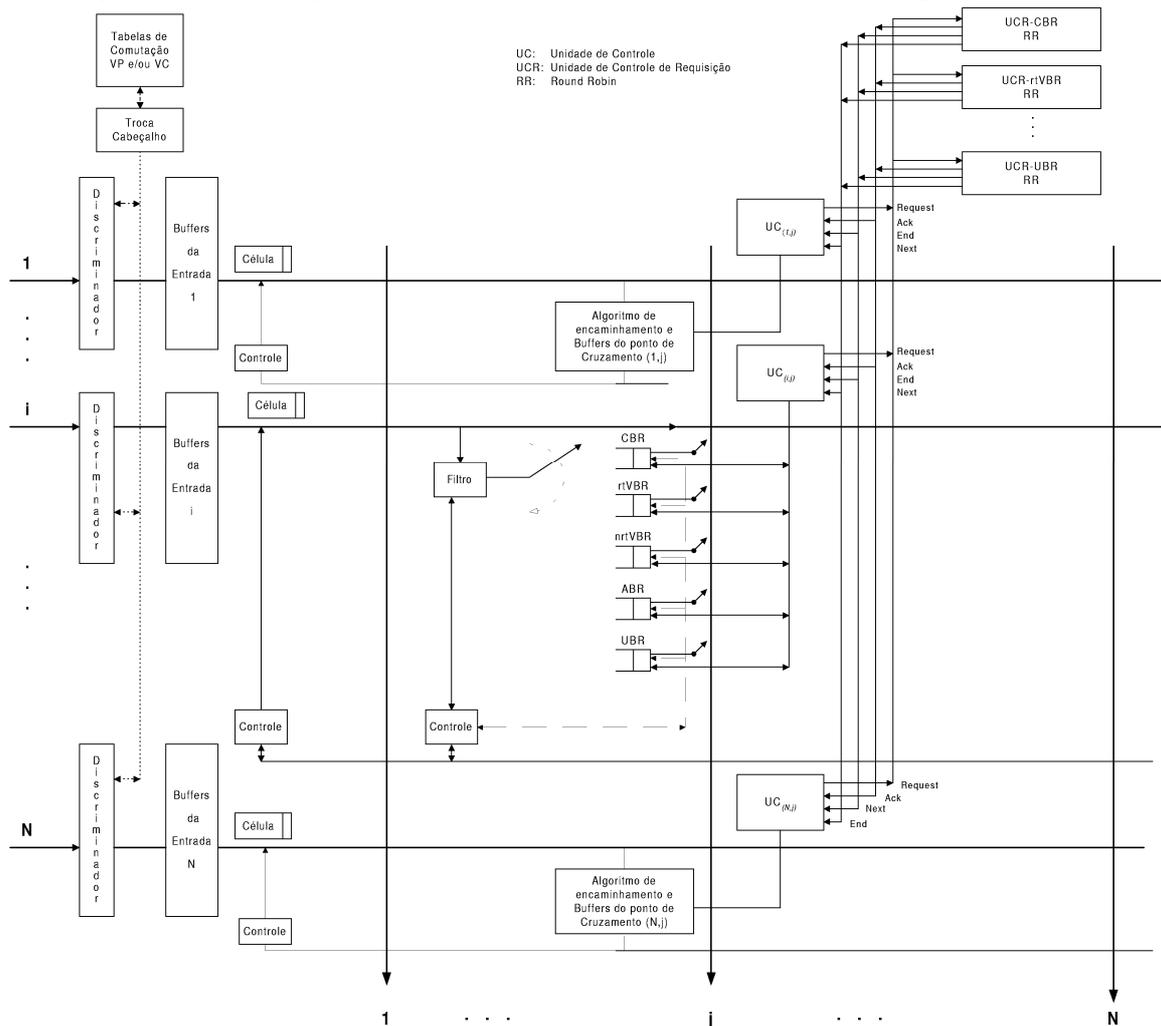


Figura 2.3 Algoritmo de encaminhamento de células - Fase 2.

Cada unidade de controle (UC) dos pontos de cruzamentos (1...N , j) verifica o estado do buffer CBR (1...N , j) e caso existam células esperando, um sinal de REQUEST (apenas um bit) é enviado para a Unidade de Controle de Requisição CBR (UCR-CBR) usando uma linha reservada (cada unidade de controle tem uma linha separada, reservada para propósitos de encaminhamento). Se existirem duas ou mais requisições a UCR-CBR seleciona uma célula de acordo com a disciplina "round robin", e envia um sinal de ACK (apenas um bit) para a UC_{i,j} escolhida através da linha reservada, e a informação END para as outras UC, sinalizando que a célula que será transmitida no próximo slot já foi selecionada. (As UCR-CBR, UCR-rtVBR, UCR-nrtVBR, UCR-ABR e UCR-UBR possuem cada uma, linhas separadas para informações ACK e END para cada UC dos pontos de cruzamentos). Se a UCR-CBR não receber requisições, ela envia uma informação NEXT (apenas um bit) para as UCs e para a UCR-rtVBR. Agora as UC_{1..N,j} examinam os buffers rtVBR e o mesmo procedimento é executado até que uma célula seja escolhida, ou até que os buffers UBR sejam examinados. Todas as portas de saída executam simultaneamente este algoritmo para selecionar a célula que será encaminhada.

2.3. Análise da vazão: Estudo de caso

A Fig. 2.4 mostra uma situação dos buffers de entrada de um comutador de três entradas e três saídas usado para avaliar o comportamento do esquema proposto. Cada entrada possui, então, um conjunto de cinco buffers, um para cada serviço CBR, rtVBR, nrtVBR, ABR, UBR. Os números representados nos buffers indicam o número da saída em que cada célula deve ser enviada, por exemplo: analisando o Buffer CBR da entrada E₁, da direita para a esquerda, verifica-se que o mesmo possui três células que devem ser encaminhadas para a Saída 2, duas células para a Saída 1, duas células para a Saída 3 e finalmente uma célula para a Saída 1.

A Tabela 2.1 apresenta as células encaminhadas em cada saída quando o algoritmo proposto é usado. Pela Tabela 2.1 verifica-se que saídas ficam ociosas, embora existam células endereçadas a elas armazenadas nos buffers de entrada. Ocorre o fenômeno conhecido como Head-Of-Line Blocking - HOLB, onde a célula posicionada na saída do buffer impede que as demais sejam transmitidas. Por exemplo, embora existam células no buffer CBR da entrada E₁ endereçadas à saída S₁, e S₁ esteja ociosa nos instantes de tempo T₂ e T₃ (Tabela 2.1), estas células não são enviadas enquanto as células endereçadas à saída S₂, que estão a sua frente no buffer, não forem enviadas.

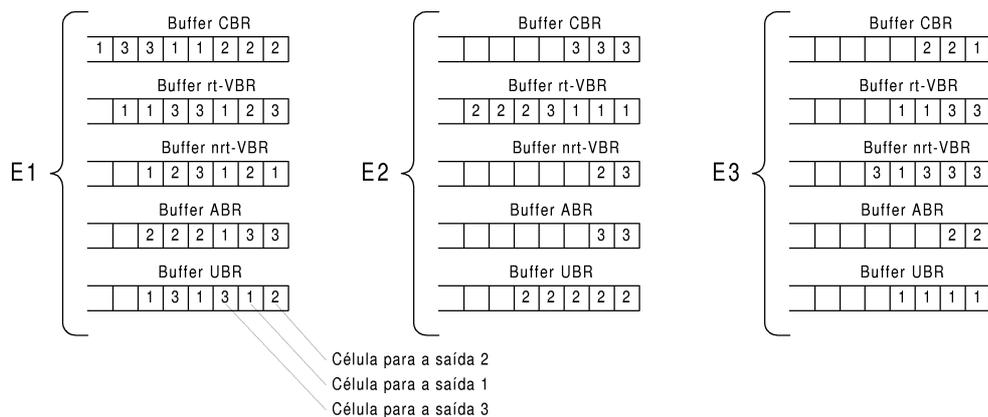


Figura 2.4 Um cenário de tráfego nos buffers de entrada de um comutador usado para estudo de caso.

O esquema proposto na Estrutura 1 é baseado em atendimento de serviço do tipo FIFO em cada classe de serviço. Para evitar o problema de bloqueio (HOLB) na saída do buffer e melhorar o desempenho do comutador, pode-se encaminhar na fase 1 as células em paralelo.

Tabela 2.1 Células da Fig. 2.4 transmitidas pelas saídas S1, S2 e S3 do comutador de acordo com o esquema proposto.

	S1	S2	S3
T_1	CBR-E3	CBR-E1	CBR-E2
T_2	-	CBR-E3	CBR-E2
T_3	-	CBR-E1	CBR-E2
T_4	rt-VBR-E2	CBR-E3	-
T_5	rt-VBR-E2	CBR-E1	rt-VBR-E3
T_6	CBR-E1	-	rt-VBR-E3
T_7	CBR-E1	-	-
T_8	rt-VBR-E3	-	CBR-E1
T_9	rt-VBR-E2	-	CBR-E1
T_{10}	CBR-E1	-	rt-VBR-E2
T_{11}	rt-VBR-E3	rt-VBR-E2	rt-VBR-E1
T_{12}	-	rt-VBR-E1	nrt-VBR-E3
T_{13}	rt-VBR-E1	rt-VBR-E2	nrt-VBR-E3
T_{14}	-	rt-VBR-E2	rt-VBR-E1
T_{15}	-	-	rt-VBR-E1
T_{16}	rt-VBR-E1	-	nrt-VBR-E2
T_{17}	rt-VBR-E1	nrt-VBR-E2	nrt-VBR-E3

	S1	S2	S3
T_{18}	nrt-VBR-E1	-	ABR-E2
T_{19}	nrt-VBR-E3	nrt-VBR-E1	ABR-E2
T_{20}	nrt-VBR-E1	UBR-E2	nrt-VBR-E3
T_{21}	-	ABR-E3	nrt-VBR-E1
T_{22}	-	nrt-VBR-E1	-
T_{23}	nrt-VBR-E1	ABR-E3	-
T_{24}	UBR-E3	UBR-E2	ABR-E1
T_{25}	UBR-E3	UBR-E2	ABR-E1
T_{26}	ABR-E1	UBR-E2	-
T_{27}	UBR-E3	ABR-E1	-
T_{28}	UBR-E3	ABR-E1	-
T_{29}	-	ABR-E1	-
T_{30}	-	UBR-E1	-
T_{31}	UBR-E1	UBR-E2	-
T_{32}	-	-	UBR-E1
T_{33}	UBR-E1	-	-
T_{34}	-	-	UBR-E1
T_{35}	UBR-E1	-	-

3. Estruturas com atendimentos paralelos

A Fig. 3.1 mostra o comutador da Fig. 2.1 modificado para melhorar o seu desempenho. Em cada entrada são introduzidos barramentos paralelos que possibilitam a transmissão de uma célula a cada buffer dos pontos de cruzamento para cada tipo de serviço.

O esquema de transferência de células aos buffers dos pontos de cruzamentos é explicado a seguir.

O conjunto de buffers de uma dada entrada é examinado. Se existir células esperando elas são transmitidas pelo barramento. Por exemplo, se existir uma célula na classe de serviço CBR da *entrada i*, ela é transmitida pelo barramento, paralelamente, se existir uma célula na classe de serviço rtVBR da *entrada i*, ela é transmitida pelo barramento e o mesmo se repete para cada uma das classes de serviço nrtVBR, ABR e UBR. Uma cópia destas células permanecem no buffer de entrada. Os filtros selecionam as células que são direcionadas as respectivas saídas. Se o número da *porta j* é reconhecido e o buffer CBR do cruzamento (i,j) estiver vazio, a célula é armazenada no buffer da classe de serviço CBR do ponto de cruzamento (i,j). Se o referido buffer estiver ocupado, a célula é descartada e um sinal de controle (*NACK* - um bit apenas) é enviado à entrada para que a cópia seja preservada. Se o sinal de controle não é recebido pela *entrada i*, é admitido que a transferência de célula foi bem sucedida e a cópia da célula é apagada.

Somente essa fase 1 de transferência de células é diferente nesta estrutura. A fase 2 de encaminhamento de células é a mesma utilizada na estrutura anterior, ou seja é baseada em atendimento do tipo "round robin".

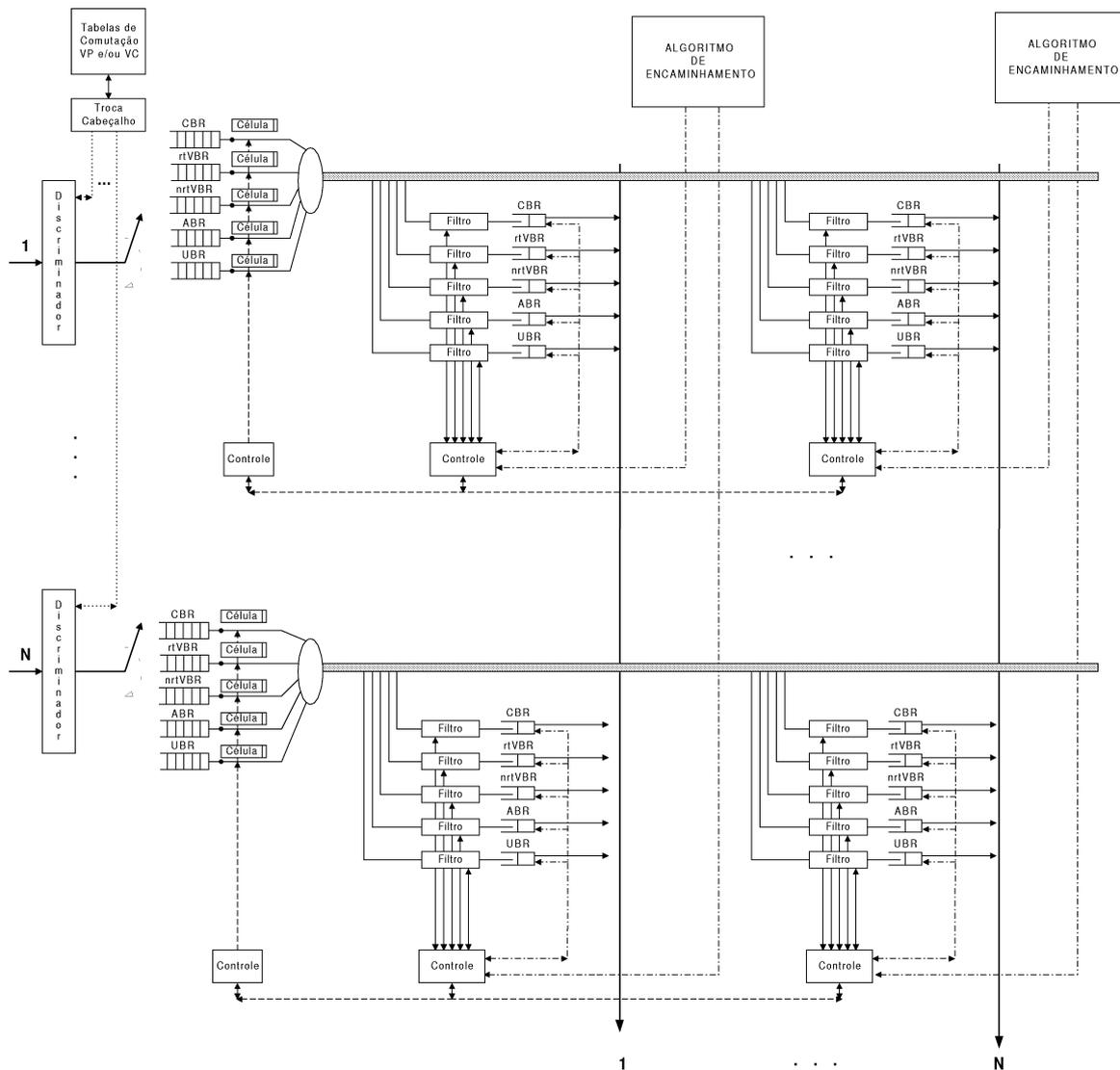


Figura 3.1 Buffers na entrada e nos pontos de cruzamentos, com armazenamento de uma célula em cada buffer de cada tipo de serviço - Estrutura 2

A tabela 3.1 mostra as células transmitidas pelas saídas S1, S2 e S3 para a mesma situação de ocupação de buffers de entrada mostrada na Fig. 2.4 e usando o esquema proposto na Estrutura 2.

Tabela 3.1 Células transmitidas pelas saídas S1, S2 e S3 para o Comutador da Estrutura 2.

	S1	S2	S3
t_1	CBR-E3	CBR-E1	CBR-E2
t_2	rt-VBR-E2	CBR-E3	CBR-E2
t_3	rt-VBR-E2	CBR-E1	CBR-E2
t_4	rt-VBR-E2	CBR-E3	rt-VBR-E1
t_5	nrt-VBR-E1	CBR-E1	rt-VBR-E2
t_6	CBR-E1	rt-VBR-E1	rt-VBR-E3
t_7	CBR-E1	rt-VBR-E2	rt-VBR-E3
t_8	rt-VBR-E3	rt-VBR-E2	CBR-E1
t_9	rt-VBR-E1	rt-VBR-E2	CBR-E1
t_{10}	CBR-E1	nrt-VBR-E1	rt-VBR-E1
t_{11}	rt-VBR-E3	ABR-E3	rt-VBR-E1
t_{12}	rt-VBR-E1	ABR-E3	nrt-VBR-E1

	S1	S2	S3
t_{13}	rt-VBR-E1	nrt-VBR-E2	nrt-VBR-E2
t_{14}	nrt-VBR-E1	UBR-E1	nrt-VBR-E3
t_{15}	UBR-E1	UBR-E2	nrt-VBR-E1
t_{16}	UBR-E3	nrt-VBR-E1	nrt-VBR-E3
t_{17}	nrt-VBR-E3	UBR-E2	ABR-E1
t_{18}	nrt-VBR-E1	UBR-E2	nrt-VBR-E3
t_{19}	UBR-E1	UBR-E2	ABR-E2
t_{20}	UBR-E1	UBR-E2	ABR-E1
t_{21}	ABR-E1	-	ABR-E2
t_{22}	UBR-E3	ABR-E1	UBR-E1
t_{23}	UBR-E1	ABR-E1	-
t_{24}	-	ABR-E1	UBR-E1
t_{25}	UBR-E1	-	-

Pela comparação das Tabelas 2.1 e 3.1 pode-se observar que a segunda estrutura proposta melhora a vazão do comutador, entretanto esta melhoria de desempenho não prioriza em algumas situações o tráfego com maior exigência de qualidade de serviço.

A Fig. 3.2 mostra outra proposta de estrutura para o comutador. Nesta estrutura o comutador possui um barramento que liga cada entrada aos buffers de cruzamentos. Existe um caminho dedicado ligando cada um dos buffers de cada uma das classes de serviços de entrada aos buffers da classe de serviço equivalente a cada um dos pontos de cruzamentos.

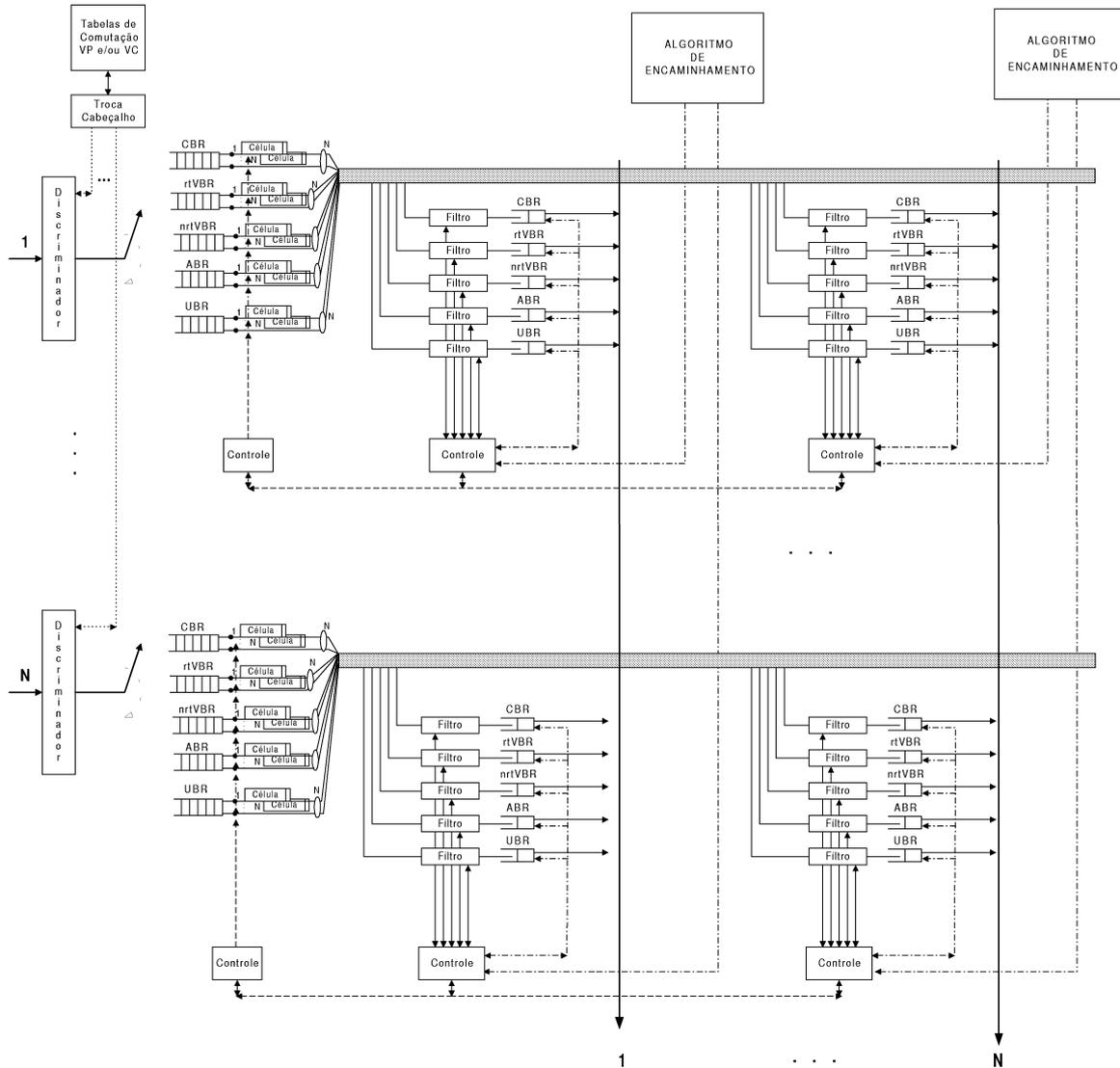


Figura 3.2 Buffers na entrada e nos pontos de cruzamentos, com armazenamento de uma célula em cada buffer de cada tipo de serviço, e leitura paralela dos buffers de entrada - Estrutura 3.

Nesta estrutura até N células de uma mesma classe em um enlace de entrada podem ser encaminhados aos buffers de pontos de cruzamentos. O esquema de transferência de células opera do seguinte modo.

O conjunto de buffers CBR de uma dada entrada é examinado e determina-se para quais saídas existem células esperando. A seguir as células são transmitidas pelo barramento, uma para cada saída. Por exemplo, o buffer da classe de serviço CBR da entrada i é examinado e verifica-se que existem células esperando para as saídas x, y e z; assim são enviadas pelos caminhos dedicados três células, a primeira é armazenada no buffer de

cruzamento do serviço CBR (i,x); a segunda no buffer CBR (i,y) e a terceira no buffer CBR (i,z).

Paralelamente, os buffers das outras classes de serviço são examinados e o mesmo esquema é executado simultaneamente em cada uma delas. As células de uma mesma classe de serviço endereçadas a uma mesma saída são transmitidas de acordo com a disciplina FIFO, mas dentro da mesma classe de serviço as células endereçadas as saídas mais ociosas podem ser encaminhadas primeiro. A fase 2 de encaminhamento de células é a mesma das Estruturas 1 e 2.

A Tabela 3.2 mostra as células transmitidas pelas saídas S1, S2 e S3 para o mesmo cenário proposto na Fig. 2.4 e usando o esquema proposto na Estrutura 3.

Tabela 3.2 Células transmitidas pelas saídas S1, S2 e S3 para o Computador da Estrutura 2.

	S1	S2	S3		S1	S2	S3
t_1	CBR-E1	CBR-E1	CBR-E1	t_{13}	nrt-VBR-E1	ABR-E1	nrt-VBR-E2
t_2	CBR-E3	CBR-E3	CBR-E2	t_{14}	nrt-VBR-E3	ABR-E3	nrt-VBR-E3
t_3	CBR-E1	CBR-E1	CBR-E1	t_{15}	nrt-VBR-E1	ABR-E1	nrt-VBR-E3
t_4	CBR-E1	CBR-E3	CBR-E2	t_{16}	nrt-VBR-E1	ABR-E3	nrt-VBR-E3
t_5	rt-VBR-E1	CBR-E1	CBR-E2	t_{17}	ABR-E1	ABR-E1	nrt-VBR-E3
t_6	rt-VBR-E2	rt-VBR-E1	rt-VBR-E1	t_{18}	UBR-E1	UBR-E1	ABR-E1
t_7	rt-VBR-E3	rt-VBR-E2	rt-VBR-E2	t_{19}	UBR-E3	UBR-E2	ABR-E2
t_8	rt-VBR-E1	rt-VBR-E2	rt-VBR-E3	t_{20}	UBR-E1	UBR-E2	ABR-E1
t_9	rt-VBR-E2	rt-VBR-E2	rt-VBR-E1	t_{21}	UBR-E3	UBR-E2	ABR-E2
t_{10}	rt-VBR-E3	nrt-VBR-E1	rt-VBR-E3	t_{22}	UBR-E1	UBR-E2	UBR-E1
t_{11}	rt-VBR-E1	nrt-VBR-E2	rt-VBR-E1	t_{23}	UBR-E3	UBR-E2	UBR-E1
t_{12}	rt-VBR-E2	nrt-VBR-E1	nrt-VBR-E1	t_{24}	UBR-E3	-	-

Comparando as Tabelas 3.1 e 3.2 observa-se que além da melhoria de desempenho a estrutura 3 prioriza o tráfego com maior exigência de qualidade de serviço.

4. Comparação das estruturas.

4.1. Comparação de hardware

A Estrutura 1 possui uma linha paralela ligando os buffers da entrada aos pontos de cruzamentos e um filtro em cada ponto de cruzamento, totalizando um total de N linhas e N^2 filtros onde N é o número de entradas ou saídas. Já a Estrutura 2 possui uma linha paralela ligando os buffers de cada classe de serviço aos pontos de cruzamentos e um filtro para cada classe de serviço em cada cruzamento, sendo portanto necessário $M_{CS} \times N$ linhas e $M_{CS} \times N^2$ filtros no total, onde M_{CS} é o número de classes de serviço. Finalmente, a Estrutura 3 possui N linhas paralelas que ligam os buffers de entrada de cada classe de serviço aos pontos de cruzamentos e o mesmo número de filtros da Estrutura 2, totalizando $M_{CS} \times N^2$ linhas paralelas e $M_{CS} \times N^2$ filtros.

4.2 Gerenciamento de buffer

As Estruturas 1 e 2 utilizam o esquema FIFO para transmissão das células de uma mesma classe de serviço o que facilita no gerenciamento do buffer.

A Estrutura 3 não utiliza a disciplina FIFO para atendimento das células de uma mesma classe de serviço. O buffer neste caso deve ser uma memória RAM e o gerenciamento de memória é mais complexo, pois é necessário selecionar quais as células devem ser encaminhadas.

4.3 Comparação do número de buffers com relação a uma estrutura com buffer na entrada e na saída

A capacidade total de armazenamento de células C nas estruturas com buffers nas entradas e nos pontos de cruzamentos é dada por:

$$C = K_E \times N + M_{CS} \times N^2$$

onde,

K_E = Capacidade de armazenamento de células nos buffers de cada entrada

$$K_E = \sum_{i=1}^{M_{CS}} K_i \quad K_i = \text{Capacidade do buffer da classe de serviço } i.$$

N = Número de entradas ou de saídas

M_{CS} = Número de Classe de Serviços.

Por outro lado a capacidade total de armazenamento de células C nas estruturas com buffers nas entradas e nas saídas é dado por:

$$C = K_E \times N + K_S \times N$$

onde,

K_E = Capacidade de armazenamento de células nos buffers de cada entrada

K_S = Capacidade de armazenamento de células nos buffers de cada saída

N = Número de entradas ou de saídas

Para que a capacidade de armazenamento das duas estruturas sejam iguais é necessário que:

$$N = \frac{K_S}{M_{CS}}$$

Por exemplo, se o número de entradas ou saídas de um comutador (N) for igual a 32, e o número de classes de serviço (M_{CS}) for 5, então para que as duas estruturas tenham a mesma capacidade de armazenamento interno de células a capacidade de armazenamento dos buffers de cada saída (K_S) deverá ser igual a 160 células, considerando que a capacidade de armazenamento dos buffers de cada entrada (K_E) são iguais nas duas estruturas.

A estrutura crossbar requer maior capacidade de armazenamento de células sempre que o número de entradas (N) for maior que a razão K_S/M_{CS} ; entretanto o algoritmo necessário para encaminhamento de células é mais simples.

4.4 Vantagens de cada estrutura

A Estrutura 3 permite transferência de até $M_{CS} \times N^2$ células para os pontos de cruzamentos em uma operação, conseguindo assim a melhor vazão.

A Estrutura 2 permite transferência de até $M_{CS} \times N$ células em uma operação conseguindo vazão total próxima a conseguida pela estrutura 3, entretanto em algumas situações não prioriza as classes de serviço com maior prioridade.

A Estrutura 1 permite transferência de até N células em uma operação e consegue a menor vazão das três estruturas, porém é a mais simples.

A estrutura com buffers nas entradas e nas saídas permite encaminhar até $K_S \times N$ células aos buffers das saídas. Sempre que N for maior que K_S/M_{CS} as estruturas crossbar

(Estruturas 1, 2 e 3) necessitam maior capacidade de armazenamento, entretanto, elas utilizam um algoritmo de encaminhamento de células mais simples.

5. Conclusão

Neste trabalho foram apresentadas três estruturas para comutadores ATM de altíssima velocidade. Os comutadores possuem um conjunto de cinco buffers em cada ponto de cruzamento, um buffer para cada tipo de serviço. A principal diferença entre as três estruturas propostas é a quantidade de caminhos paralelos no barramento que ligam os buffers de entrada aos buffers dos pontos de cruzamentos. O esquema de encaminhamento favorece as células de serviços prioritários.

Um estudo de caso foi feito para comparar o desempenho das três estruturas e verificou-se que a Estrutura 3 apresenta melhor desempenho e prioriza efetivamente o tráfego com maior prioridade. A Estrutura 1, apresenta o menor desempenho ao custo de baixa complexidade. A Estrutura 2 apresenta desempenho compatível com a Estrutura 3, ao custo de complexidade intermediária, porém não prioriza efetivamente o tráfego com maior exigência de qualidade de serviço.

A proposta feita para a Estrutura 3 considerou-se um barramento dedicado a transmitir as células de uma entrada a cada buffer de ponto de cruzamento, para cada tipo de serviço. Simulações podem ser feitas afim de especificar a quantidade de barramentos paralelos, assumindo o compromisso entre desempenho e complexidade do comutador. Os serviços menos prioritários poderiam transferir uma única célula em vez de transmitir células em paralelo aos buffers dos pontos de cruzamentos relacionados a cada saída.

6. Referências Bibliográficas

- [1] M. Karol, M. Hluchyj e S. P. Morgan, "Input versus output queuing in a space division switch", *IEEE Trans. Commun.*, vol. COM-35, pp.1347-1356, Dec. 1987.
- [2] S. Motoyama, D. W. Petr, e V. S. Frost, "Scheduling cells in an input-queued switch", *Electron. Lett.*, vol. 31, nº 14, pp. 1127-1128, July 1995
- [3] N. McKeown, P. Varaiya, e J. Walrand, "Achieving 100% throughput in an input-queued switch", *Electron. Lett.*, vol. 29, nº 25, pp. 2174-2175, December 1993
- [4] N. McKeown, V. Anantharam, e J. Walrand, "Achieving 100% throughput in an input-queued switch", in Proc. IEEE INFOCOM'96, San Francisco, CA, Mar. 1996
- [5] S. Motoyama, L. M. Ono, e M. C. Macigno, "An interative Cell Scheduling Algorithm for ATM Input-Queued Switch with Service Class Priority" in *IEEE Communications Letters*, vol. 03, nº 11, pp. 323-325, November 1999.
- [6] K. Y. Eng, M. J. Karol e Y. S. Yeh, "A Growable Packet (ATM) Switch Architecture: Design Principles and Applications", *IEEE Trans. Comm.*, Vol. 40, nº 2, pp. 423-430, February 1992
- [7] Genda K., Y. Doi, K. Endo, e N. Yamanaka, "A Very -High-Speed ATM Switch Architecture Using Internal Speed-up Technique", in *NTT Review.*, vol. 9, nº 2, pp.20-27, March 1997
- [8] J. L. Hammond, P. J. P. O'Relly, "Performance Analysis of Local Computer Networks", Addison-Wesley Publishing Company, Chap. 3, pp. 98-104, 1986.
- [9] S. Motoyama, "Simple high speed ATM switch with service class priority", *Electron. Lett.*, vol. 36, nº 6, pp. 590-591, March 2000.