

Sistemas de Tiempo Real con Requerimientos Heterogéneos: Integración Hardware-Software

Javier D. Orozco², José M. Urriza¹, Ricardo Cayssials², Elsa Fernández³, Mariano Ferrari³, Javier Echaiz⁴, Carlos E. Buckle¹, Damián P. Barry¹, Francisco E. Páez¹, Gabriela Olguín¹, Luis Diaz¹, Eduardo Schorb¹, Lucas Schorb¹, Sebastián Lucas¹, Edgardo Constabel¹

¹ Depto. de Informática, Fac.de Ingeniería, Universidad Nacional de la Patagonia San Juan Bosco.

Puerto Madryn, Argentina

+54 280-4472885 – Int. 117.

josemurriza@unp.edu.ar, cbuckle@unpata.edu.ar

² Depto. de Ingeniería Eléctrica y Computadoras - Universidad Nacional del Sur

Bahia Blanca, Argentina

+54 291-4595000 - Int. 3371.

jadorozco@gmail.com

³ Depto. de Matemática, Fac.de Ingeniería, Universidad Nacional de la Patagonia San Juan Bosco.

Puerto Madryn, Argentina

+54 280-4472885 – Int. 117.

⁴ Depto. de Ciencias e Ingeniería de la Computación - Universidad Nacional del Sur

Bahia Blanca, Argentina

+54 291-4595000 - Int. 3371.

1 Resumen

Este proyecto plantea el desarrollo de técnicas de modelado, diseño, análisis, optimización y testeo de sistemas embebidos con restricciones de tiempo y requerimientos heterogéneos, para diferentes plataformas de software y hardware, en la búsqueda de un apropiado balance entre prestaciones, rendimiento y eficiencia.

Palabras clave: Sistemas de Tiempo Real, Sistemas Operativos de Tiempo Real, Sistemas Embebidos, Planificación de CPU.

2 Contexto

El proyecto de investigación *Sistemas de Tiempo Real con Requerimientos Heterogéneos: Integración Hardware - Software* es dirigido por el Dr. Orozco de la Universidad

Nacional del Sur (UNS) y es codirigido por el Dr. Urriza de la Universidad Nacional de la Patagonia San Juan Bosco (UNPSJB). Las líneas de investigación de este proyecto, coinciden con las desarrolladas por los integrantes del *Real Time Systems Group*, perteneciente a la Facultad de Ingeniería de la UNPSJB Sede Puerto Madryn y con líneas de investigación desarrolladas en el Laboratorio de Sistemas Digitales del Departamento de Ing. Eléctrica y de Computadoras de la UNS del cual los doctores Orozco y Cayssials pertenecen. Además, participan dos doctores del departamento de matemática de la UNPSJB y un doctor del Departamento de Ciencias e Ingeniería de la Computación de la UNS. El proyecto es financiado por la Secretaría de Ciencia y Técnica de la UNPSJB.

3 Introducción

Una nación industrializada debe dominar imprescindiblemente las tecnologías de los Sistemas de

Tiempo Real (*STR*). En la actualidad los *STR* han dejado de pertenecer de forma exclusiva a grandes aplicaciones de las industrias automatizadas, la exploración espacial, dispositivos e instrumentación militar, aviónica, redes de comunicaciones, etc., para pertenecer a la gran mayoría de dispositivos electrónicos que se utilizan hoy en día. Se los puede encontrar en computadoras portátiles, tablets, teléfonos celulares, GPS, MP3s, en las computadoras de los automóviles, etc.

Los dispositivos de tiempo real por lo general cuentan con un Sistema Operativo de Tiempo Real (*SOTR*). En este, se implementan diversas técnicas y métodos como: el desarrollo de políticas de tolerancia a las fallas, atención de tareas esporádicas y aperiódicas, atención de tareas mandatorias / opcionales, calidad de servicio (*QoS*), por mencionar solamente algunas. Estas técnicas, que son parte fundamental del dispositivo, son implementadas en el núcleo del Sistema Operativo, siendo las que gobiernan parte de las decisiones del planificador de tareas.

Los *STR*, embebidos o no, por lo general están constituidos por tareas periódicas que incluyen entre sus parámetros, los instantes máximos en que las mismas deben finalizar su ejecución. Este parámetro extra se denomina vencimiento. Si finaliza después de este tiempo, se dice que la tarea ha perdido su restricción temporal o vencimiento.

La clasificación de los *STR* se realiza dependiendo de si se permite que la ejecución de una tarea finalice luego de su vencimiento o no. Si la ejecución termina en un instante posterior se los denomina *STR* blandos, si la ejecución debe terminar antes del vencimiento se los denomina *STR* duros o críticos. Si solo se permite una determinada cantidad de pérdidas de vencimientos por parte de cada tarea, se los denomina firmes.

Consecuentemente, una de las principales funciones del núcleo de un *SOTR*, es la planificación de las tareas a ejecutar garantizando, en principio, el cumplimiento de su vencimiento. Para esto, el planificador debe elegir a que tarea otorgar el derecho de ejecución en el microprocesador. Cada vez que una tarea se instancia o termina, el planificador debe examinar la cola de tareas listas y dependiendo de la política de ejecución implementada, elegir una para ejecutarla.

Por otro lado, para lograr una heterogeneidad de aplicaciones a ejecutar, es necesario utilizar el tiempo ocioso que deja libre el *STR* en su ejecución. Con este tiempo es posible atender aplicaciones no críticas y así ofrecer soporte para una diversidad de aplicaciones sobre el mismo dispositivo sin comprometer al *STR*.

En la actualidad, se puede encontrar ejemplos como: que un teléfono celular moderno puede mantener una agenda, tener juegos, sacar fotos, filmar videos, además de la principal aplicación de tiempo real que es digitalizar la voz y enviarla de manera consistente sin que las aplicaciones secundarias produzcan cortes o micro cortes en la transmisión.

En el último tiempo, ha surgido un nuevo e importante requerimiento que es el ahorro de energía en dispositivos móviles que funcionan a baterías. El incremento en la heterogeneidad de las aplicaciones, ha traído aparejado un importante incremento en la potencia de cálculo de los microprocesadores, para poder atender las necesidades de cómputo de estas nuevas aplicaciones.

Consecuentemente, la gran mayoría de los sistemas móviles necesitan técnicas y métodos de ahorro de energía que le permitan extender la carga de la batería de los mismos. De no ser así, el consumo de energía por parte del microprocesador a máximo desempeño, podría agotar la batería rápidamente, quedando el dispositivo sin utilidad (algunas técnicas puede consultarse en [1, 2, 3, 4]).

Para lograr esta heterogeneidad de aplicaciones, se necesitan herramientas de cálculo que permitan conocer, en tiempo de ejecución, cuánto tiempo ocioso existe y dónde se encuentra, para poder disponerlo por sobre el requerido por el *STR*. Existen diversas técnicas (algunas pueden verse en [2, 3, 4]) que permiten adelantar este tiempo ocioso, de manera de agruparlo y distribuirlo según sea necesario, logrando así flexibilizar al *STR*.

En particular, en los *STR* críticos que realizan planificación heterogénea, las tareas de tiempo real deben ser ejecutadas de manera obligatoria, respetando y garantizando que sus restricciones temporales se cumplan, dada la importancia de las mismas para la integridad del sistema o de la función del mismo.

Para poder realizar esto, es necesario garantizar a priori que el sistema pueda funcionar con esta heterogeneidad de aplicaciones, de manera que el planificador no ponga en riesgo las restricciones temporales que imponen las tareas de tiempo real por sobre las otras tareas ([5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17]).

Para satisfacer los requerimientos previamente planteados, el planificador debe contar con métodos y técnicas que calculen en tiempo de ejecución el tiempo ocioso disponible para la atención de tareas heterogéneas. De esta manera, el planificador puede anticipar el comportamiento del sistema y mantener la garantía de que las restricciones temporales de las tareas se cumplan, permitiendo brindar, por ejemplo, una *QoS* aceptable a las tareas heterogéneas.

Por otro lado, el tiempo de ejecución de las tareas no es el mismo en todas las ocasiones y aunque para el cálculo de los métodos antes mencionados se toma siempre el peor tiempo de ejecución, cuando este no ocurre, es necesario recuperarlo como tiempo ocioso, para que el sistema pueda utilizarlo.

Lamentablemente, garantizar tanto la ejecución de las tareas de tiempo real, como la ejecución de tareas heterogéneas (muchas de ellas complejas temporal y espacialmente) no es una labor sencilla. Trae aparejada la necesidad de incrementar la potencia de cálculo, no sólo para soportar la sobrecarga introducida por las nuevas aplicaciones, sino también la requerida para garantizar la factibilidad del *STR* heterogéneo en tiempo de ejecución.

Además, la eficiencia que estos sistemas tienen está aún muy lejos en varios aspectos de ser óptima y eficiente, y existen diversos problemas aún sin resolver de manera satisfactoria. Muchos de estos problemas son NP-Complejos, por lo cual su resolución es solo sub-óptima y es en general un compromiso entre la complejidad espacial (memoria utilizada por el método), la complejidad temporal (tiempo utilizado por el método) y los recursos con que cuenta el *SO* y el dispositivo.

En diversos centros de investigación en el mundo, este tema de trabajo es investigado de manera intensiva, ya que es fundamental proveer herramientas que permitan implementaciones tecnológicas que maximicen las prestaciones de los recursos computacionales, alcanzando así el menor costo posible. Además, un diseño adecuado puede permitir cumplir con los requerimientos establecidos por la aplicación, con otros adicionales como un correcto manejo de la calidad de servicio o el ahorro de energía y consecuentemente resulta de sumo interés para la industria.

Encontrar un apropiado balance entre una sencilla implementación, robustez y eficiencia, posibilita extender el ciclo de vida del software de tiempo real y mejorar las herramientas para el desarrollo de nuevas tecnologías. Por otro lado, es necesario contar con herramientas de validación de la especificación, diseño, optimización y testeo.

Finalizando, encontrar una integración del software y del hardware que permita satisfacer de manera óptima o subóptima lo planteado en el párrafo anterior será el tema principal de este proyecto de investigación.

4 Líneas de Investigación y Desarrollo

Se trata de un proyecto de investigación científica y aplicada, con desarrollo experimental en el área de Sistemas de Tiempo Real, particularmente enfocado a la planificación de tareas con requerimientos heterogéneos y como se integran el software con el hardware. El principal campo de aplicación es la producción y tecnología de dispositivos de propósito dedicado y de propósito general con requerimientos de tiempo real.

5 Resultados y Objetivos

El proyecto comienza a mediados de 2013, consecuentemente, a la actualidad no existen resultados del mismo. Sin embargo, se espera obtener buenos resultados del mismo.

Los objetivos más importantes se pueden resumir en:

- Investigar los *SOTR* de propósito general y dedicado y cómo implementan la administración de sus recursos, cumpliendo con las constricciones temporales que le imponen las tareas que conforman el sistema. También investigar las plataformas en las cuales estos *SOTR* se utilizan.

- Determinar la factibilidad y aplicabilidad de los métodos teóricos en los entornos prácticos estudiados. Proponer mejoras o nuevas técnicas y/o reformulaciones a las técnicas existentes para el manejo de recursos, temporales y espaciales.
- Implementar y validar las técnicas y métodos propuestos sobre plataformas de desarrollo concretas.
- Publicar las investigaciones realizadas. Además, fomentar, incentivar y difundir las tareas de investigación en la Universidad y consecuentemente mejorar la formación de recursos humanos, brindando gran participación a los alumnos del proyecto.

Como resultados del proyecto, además de los trabajos académicos y de divulgación científica, se espera mejorar la eficiencia de dispositivos de propósito dedicado desarrollando, mejorando e implementando nuevos métodos y técnicas de planificación dentro del núcleo de un Sistema Operativo de Tiempo Real.

Al momento de la redacción de este trabajo, en el proyecto que antecede a este, y que es base para la ejecución del mismo, se ha construido el simulador de *STR*, un generador de *STR* para alimentar al simulador y se han publicado varios trabajos en congresos nacionales e internacionales, así como trabajos en revistas ([18, 19, 20, 21, 22, 23, 24, 25, 26, 27]). Actualmente se está trabajando en la implementación de métodos de *Slack Stealing* en MarteOS (en PC), FreeRTOS (Microchip) y con el kit de Lego Mindstorm NXT 2.0 que seguramente su culminación serán parte de este proyecto.

6 Formación de Recursos Humanos

En este proyecto de investigación participan 10 (Diez) docentes, 6 son docentes con el grado de doctor, 3 están en proceso de obtener un posgrado. Además, 5 (cinco) alumnos de la carrera Licenciatura en Informática de la Sede Puerto Madryn de la UNPSJB de los cuales 4 (cuatro) de ellos han comenzado sus tesis de grado en el marco de este proyecto que antecede y terminarán o publicarán su trabajo bajo este proyecto. Uno de los docentes ha obtenido una Beca Doctoral Tipo I de CONICET de comienzo en 2012, en temas afines a este proyecto y es dirigido por otros dos docentes del proyecto, uno de la UNS y otro de la UNPSJB.

7 Referencias

- [1] B. Novelli, J. C. B. Leite, J. M. Urriza, and J. D. Orozco, "Regulagem Dinâmica de Voltagem em Sistemas de Tempo Real," in *XXXII Seminário Integrado de Software e Hardware (SBC 2005 SEMISH)*, Unisinos -Sao Leopoldo, Brazil, 2005.
- [2] J. M. Urriza, R. Cayssials, and J. D. Orozco, "Optimización del Cálculo del Tiempo Ocioso en Planificadores DVS con Tiempos de Ejecución Variables," in *XXXII Conferencia*

- Latinoamericana de Informática, Clei 2006*, Santiago, Chile, 2006.
- [3] J. M. Urriza, R. Cayssials, J. D. Orozco, and J. C. B. Leite, "Modelo de Tareas para recuperacion de Slack para Aplicaciones en Sistemas Enbebidos con DVS," Dep. de Ing. Eléctrica y Computadoras, Universidad Nacional del Sur, Argentina., Bahía Blanca, Reporte Interno22 de Mayo 2005.
- [4] J. M. Urriza, B. Novelli, J. C. B. Leite, and O. Javier Dario, "Economia de energia em dispositivos móveis," in *VI Workshop de Comunicação sem Fio e Computação Móvel*, Fortaleza, CE, Brasil, 2004, pp. 48–56.
- [5] R. I. Davis, "Approximate Slack Stealing Algorithms for Fixed Priority Pre-Emptive Systems," Real-Time Systems Research Group, University of York, York, England, Internal Report 1994.
- [6] R. I. Davis, "Dual Priority Scheduling: A Means of Providing Flexibility in Hard Real-Time Systems," Department of Computer Science, University of York, York, England, Internal Report1995.
- [7] R. I. Davis, K. W. Tindell, and A. Burns, "Scheduling Slack Time in Fixed-Priority Preemptive Systems," *Proceedings of the Real Time System Symposium*, pp. 222-231, 1993.
- [8] J. P. Lehoczky and S. Ramos-Thuel, "An Optimal Algorithm for Scheduling Soft-Aperiodic Tasks in Fixed-Priority Preemptive Systems," in *IEEE Real-Time Systems Symposium*, Phoenix, Arizona, EUA, 1992, pp. 110-123.
- [9] S. Ramos-Thuel and J. P. Lehoczky, "Algorithms for Scheduling Hard Aperiodic Tasks in Fixed-Prioriys Systems using Slack Stealing," in *Real-Time Systems Symposium*, 1994, pp. 22-33.
- [10] S. Ramos-Thuel and J. P. Lehoczky, "On-Line Scheduling of Hard Deadline Aperiodic Tasks in Fixed-Priority Systems," in *Real-Time Systems Symposium*, 1993, pp. 160-171.
- [11] B. Sprunt, L. Sha, and J. P. Lehoczky, "Aperiodic Task Scheduling for Hard Real-Time Systems," *The Journal of Real-Time Systems*, vol. 1, pp. 27-60, 1989.
- [12] J. M. Urriza, R. Cayssials, and J. D. Orozco, "A Fast Slack Stealing Method for embedded Real-Time Systems," Dep. de Ing. Eléctrica y Computadoras, Universidad Nacional del Sur, Argentina., Bahía Blanca, Internal ReportMay 31 2005.
- [13] J. M. Urriza, J. D. Orozco, and R. Cayssials, "Fast Slack Stealing methods for Embedded Real Time Systems," in *26th IEEE International Real-Time Systems Symposium (RTSS 2005) - Work In Progress Session*, Miami, EEUU, 2005, pp. 12-16.
- [14] R. M. Santos, J. M. Urriza, J. Santos, and J. D. Orozco, "New methods for redistributing slack time: applications and comparative evaluations," *The Journal of Systems & Software*, vol. 70-2, pp. 115-128, 2004.
- [15] J. M. Urriza, R. Cayssials, and J. D. Orozco, "Optimización on-line de Sistemas de Tiempo Real con Computación Imprecisa Basados en Recompensas.," in *32 JAIIO AST2003*, Buenos Aires, Argentina, 2003.
- [16] J. M. Urriza, J. Santos, and J. D. Orozco, "Un Algoritmo para la Diagramación de Tareas No-Duras mediante el Cálculo del Slack Time Disponible en cada Instante," in *XXIX Conferencia Latinoamericana de Informática. CLEI*, Bolivia, La Paz, 2003.
- [17] T.-S. Tia, J. W. Liu, and M. Shankar, "Aperiodic Request Scheduling in Fixed-Priority Preemptive Systems," Department of Computer Science, University of Illinois, Internal Report UIUCDCS-R-94-1859, 1994.
- [18] J. M. Urriza, J. D. Orozco, R. Cayssials, and L. Schorb, "Reduced Computational Cost in the Calculation of Worst Case Response Time for Real Time Systems," *Journal of Computer Science & Technology*, vol. 9, pp. 72-81, 2009.
- [19] J. M. Urriza, J. D. Orozco, C. Buckle, and R. Cayssials, "Ahorro de Energía en Dispositivos con un SO de Tiempo Real que planifican en RM o DM," in *Encuentro Chileno de Computacion*, Santiago, Chile, 2009.
- [20] J. M. Urriza, R. Cayssials, and E. Ferro, "Hardware Co-Processing Unit For Real-Time Scheduling Analsys," presented at the VI Southern Conference on Programmable Logic 2010 - Designer Forum 2010, Ipojuca Porto Galinhas Beach, Brazil, 2010.
- [21] J. M. Urriza, F. E. Paez, R. Cayssials, J. D. Orozco, and L. Schorb, "Low Cost Slack Stealing Method dor RM/DM," *International Review in Computers and Software (IRECOS)*, vol. 5, pp. 660-667, 2010.
- [22] G. Olguín, L. Biscayart, and J. M. Urriza, "Generador de Conjuntos de Tareas para Simulación en Sistemas de Tiempo Real," presented at the JAIIO 39 - Jornadas de Informática Industrial (JII) 2010, Buenos Aires, 2010.
- [23] C. E. E. Buckle, J. M. Urriza, and F. E. Paez, "Transitando Hacia las Bases de Datos de Tiempo Real," presented at the JAIIO 39 - Jornadas de Informática Industrial (JII) 2010, Buenos Aires, 2010.
- [24] L. Moreno, C. Geymonat, and J. M. Urriza, "Conceptos de Tiempo Real Aplicados a la Informática Industrial," presented at the CACIC 2011 - XVII Congreso Argentino de Ciencias de la Computación, La Plata, Arg., 2011.
- [25] F. E. Paez, J. M. Urriza, J. D. Orozco, and C. R. Buckle, "Un Modelo de Eventos Discretos para la Simulación de Sistemas de Tiempo Real," presented at the CACIC 2011 - XVII Congreso Argentino de Ciencias de la Computación, La Plata, Arg., 2011.
- [26] C. E. Buckle, J. M. Urriza, D. P. Barry, and F. E. Paez, "Tipo de Dato Abstracto para Sistemas de Bases de Datos de Tiempo Real," presented at the CACIC 2011 - XVII Congreso Argentino de Ciencias de la Computación, La Plata, Arg., 2011.
- [27] G. Olguin, L. Biscayart, and J. M. Urriza, "Generación de Tareas Periódicas y Aperiódicas para Simulación de Sistemas de Tiempo Real," presented at the JAIIO 40 - Jornadas de Informática Industrial 2011, Cordoba, Arg., 2011.