

Sistema Embebido para Corrección de Errores Implementado en Lógica Programable

Leonardo Capossio *, Jorge R. Osio, Walter Aroztegui, Jose A. Rapallini

Centro de Técnicas Analógico – Digitales (CeTAD)
Calle 116 y 48 2° piso - Facultad de Ingeniería
Universidad Nacional de La Plata La Plata, Argentina

*Becario CIC – Comisión de Investigaciones Científicas de la Prov. de Bs. As.

I. INTRODUCCIÓN

El objetivo de este trabajo es desarrollar un Sistema Embebido sobre una FPGA, para la corrección de errores en caracteres alfanuméricos representados en una matriz de pixeles LCD de 5x8. Los caracteres alfanuméricos serán obtenidos a partir de una comunicación USB con una PC, y luego de recibidos se modificará aleatoriamente 2 pixeles. Finalmente se entregarán los caracteres con errores uno por uno al Bloque de Corrección de Errores donde se procesarán para recobrar el carácter original. Los resultados se presentarán en un LCD de 2 Líneas con representación de caracteres en una matriz de 5x8 pixeles.

II. PARTE EXPERIMENTAL y RESULTADOS,

El Sistema se compone de un procesador MicroBlaze (Xilinx) de Arquitectura 32-bit RISC embebido en la FPGA, el cuál actúa como controlador principal del sistema. Este procesador se comunica y controlará los siguientes periféricos a través de un BUS (PLB – Processor Local Bus):

- 256MB de Memoria DDR2
- Interfaz con LCD
- Interfaz USB
- Interfaz RS-232
- Bloque de Corrección de Errores

El diseño del Sistema se realizó en la herramienta XPS de Xilinx que permite configurar el MicroBlaze, conectar los periféricos y generar el mapa de memoria de todo el sistema. Finalmente XPS hace la síntesis del sistema y genera el “bitstream” el cuál es utilizado para programar el hardware de la FPGA. La programación del MicroBlaze realizada en C con el entorno de desarrollo Xilinx SDK, que además de simulación cuenta con debugging (depuración de código) en hardware.

La interfaz con el LCD es resuelta mediante un bloque de GPIO (General Purpose Input-Output o Entrada-Salida de Propósito General) de 11-bits (8 bits de datos y 3 de control) conectado al procesador. Las rutinas para el controlador LCD siguen las normas de los controladores HITACHI HD44780 e implementadas por software.

La interfaz USB es implementada por un módulo de la empresa Digilent conectado al MicroBlaze. Este módulo llamado “USB_EPP_IF” transforma los datos serie provenientes del puerto USB en datos tipo Paralelo, como el modo EPP del puerto paralelo de una PC. La interfaz para enviar y recibir datos desde la PC, es a través del programa “Adept”, de distribución gratuita.

El Bloque de Corrección de Errores (BCE) se implemento en lógica personalizada dentro de la FPGA. Este Bloque se comunica con el procesador mediante el bus PLB, y tiene la función de corregir los errores en los caracteres recibidos. Este desarrollo se realizó en VHDL con el ISE

III. DISCUSIÓN y CONCLUSIONES

En el presente trabajo se investigaron las alternativas de ECC disponibles en la actualidad. El requerimiento de este trabajo es corregir hasta dos pixeles con errores en un

matriz de 5x8 pixeles de LCD, con hasta un pixel erróneo por fila o columna (errores no correlacionados).

Una implementación paralela de código Hamming SEC cumple con los requerimientos expuestos. Se realizará una codificación Hamming apropiada para el largo de fila y de columna que minimice el tiempo de procesamiento.

Esta implementación se realizó enteramente en Hardware, en forma de dos coprocesadores, un codificador y un decodificador Hamming. Estos co-procesadores se comunicarán con el procesador principal mediante el bus FSL.

Esto permitió obtener un Sistema Embebido que tiene un almacenamiento en memoria más confiable gracias a la detección y corrección de errores.

BIBLIOGRAFÍA.

- *“Introducción a los Dispositivos FPGA. Análisis y Ejemplos de Diseño”*, 2005, Bozich Eduardo Carlos (Trabajo Final FI UNLP)
- *“Diseño de un microprocesador en un dispositivo FPGA con VHDL”*, Mineo Marcos (Trabajo Final FI UNLP)
- *“Digital Systems Design with FPGAs and CPLDs”*, 2008, Ian Grout.
- *“VHDL: Hardware Description and Design”*, 1989, Roger Lipsett et. al.
- *“Digital System Design with VHDL (2nd Edition)”*, 2004, Mark Zwolinski
- *“Embedded Systems Design with Platform FPGAs: Principles and Practices”*, 2010, Ronald Sass and Andrew G. Schmidt, Morgan Kauffmann
- *“Genesys Board Reference Manual”*, Digilent Inc.
- *“Standard IEEE 1284”*. Marzo, 1994.
- *“Embedded Systems Design with Platform FPGAs: Principles and Practices”*, 2010, Ronald Sass and Andrew G. Schmidt, Morgan Kauffmann
- *“Error Correction Coding: Mathematical Methods and Algorithms”*, 2005, Todd K. Moon.
- *“Parallel Double Error Correcting Code Design to Mitigate Multi-Bit Upsets in SRAMs”*, Riaz Nasser, Jeff Draper, 2008.
- *“Error Correcting Code Analysis for Cache Memory High Reliability and Performance”*, Daniele Rossi et.al., 2011.