

## **Agradecimientos**

Este trabajo va dedicado a mis padres, que posibilitaron la culminación de mi carrera, debido al apoyo brindado y su gran insistencia.

Quisiera agradecer a mis directores el M.Sc. Prof. Oscar N. Bria y el Ing. Prof. Horacio A. Villagarcía por su apoyo y excelentes consejos, a los profesores de la Facultad de Informática, a mi hermano Gerrit y a mi novia Andrea por apoyarme y soportarme siempre. Y por último un agradecimiento muy especial para Constanza, mi sobrina, que me acompañó durante las pausas que me tomé en la realización del trabajo.

## Indice

<b>Agradecimientos</b>	<b>i</b>
<b>Indice</b>	<b>ii</b>
<b>Introducción</b>	<b>vi</b>
El algoritmo de cómputo numérico CORDIC	vi
Problema a resolver	vii
Objetivos a cumplir	vii
Motivaciones y expectativas	vii
Organización del informe	viii
<b>Capítulo 1 – El algoritmo CORDIC</b>	<b>1</b>
1.1 Fundamento teórico	1
1.2 Cálculo del seno y del coseno	6
1.3 Transformación de coordenadas polares a cartesianas y viceversa	7
1.4 Arcotangente y módulo de un vector	8
1.5 CORDIC generalizado	8
1.5.1 Caso lineal	8
1.5.2 Caso hiperbólico	9
1.6 Arquitecturas para implementar el algoritmo CORDIC	10
1.6.1 La arquitectura Bit-Paralela Iterativa	10
1.6.2 La arquitectura Bit-Paralela Desplegada	11
1.6.3 La arquitectura Bit-Serie Iterativa	12
<b>Capítulo 2 – Metodologías de diseño de hardware</b>	<b>14</b>
2.1 Herramientas CAD	14
2.2 Diseño Bottom-Up	16
2.3 Diseño Top-Down	17
2.4 Ventajas del diseño Top-Down	18
2.5 Descripción de un diseño	19
<b>Capítulo 3 – El lenguaje de descripción de hardware VHDL</b>	<b>20</b>
3.1 VHDL describe comportamiento	20
3.2 VHDL describe estructura	21
3.3 Un ejemplo de descripción en VHDL	21
3.4 Modelo de tiempo basado en eventos discretos	24
3.5 VHDL como lenguaje de programación	25
3.6 Elementos de sintaxis	25
3.6.1 Comentarios	25
3.6.2 Identificadores	25
3.6.3 Números	25
3.6.4 Caracteres	26
3.6.5 Cadenas de caracteres (Strings)	26
3.6.6 Cadenas de bits	26
3.6.7 Tipos de datos del lenguaje	26
3.6.7.1 Tipo entero	26
3.6.7.2 Tipos físicos	27

3.6.7.3	Tipos de punto flotante	27
3.6.7.4	Tipo enumerativo	27
3.6.7.5	Tipo arreglo	28
3.6.7.6	Tipo registro	29
3.6.7.7	Tipo puntero	29
3.6.7.8	Tipo archivo	30
3.6.7.9	Subtipos	30
3.6.8	Declaración de objetos de datos	30
3.6.9	Atributos	31
3.6.10	Expresiones y operadores	32
3.6.10.1	Operadores lógicos	32
3.6.10.2	Operadores de desplazamiento	32
3.6.10.3	Operadores relacionales	32
3.6.10.4	Operador de concatenación	33
3.6.10.5	Operadores aritméticos	33
3.6.11	Construcciones secuenciales	33
3.6.11.1	Asignación a variables	33
3.6.11.2	Sentencia IF	33
3.6.11.3	Sentencia CASE	34
3.6.11.4	Sentencia nula	34
3.6.11.5	Aserciones (Assertions)	34
3.6.11.6	Sentencia de bucle	34
3.6.12	Subprogramas y paquetes	35
3.6.12.1	Funciones y procedimientos	35
3.6.12.2	Sobrecarga de operadores (Overloading)	37
3.6.12.3	Paquetes (Packages)	38
3.6.12.4	Alcance, visibilidad y utilización de los paquetes	38
3.6.13	Declaración de entidad	38
3.6.14	Declaración de arquitectura	39
3.6.14.1	Bloques	40
3.6.14.2	Declaración de componentes	40
3.6.14.3	Instanciación de componentes	41
3.6.15	Asignación a las señales	41
3.6.16	Ejecución secuencial: Procesos y la sentencia WAIT	42
3.6.17	Asignación concurrente a señales	44
3.6.18	Unidades y bibliotecas	45
3.6.19	La sentencia GENERATE	45
3.6.20	La unidad de configuración	46
3.6.20.1	Especificación de configuración	46
3.6.20.2	Declaración de configuración	47
3.6.21	Buses y resolución de señales	48
3.6.22	Aserciones concurrentes	49
3.6.23	Invocación a procedimiento concurrente	49
3.6.24	Transacciones nulas	50
3.7	Descripción de bancos de prueba	50
3.7.1	Método tabular	50
3.7.2	Utilización de archivos	51
3.7.3	Utilización de un algoritmo	51

<b>Capítulo 4 – Descripción del algoritmo CORDIC en VHDL</b>	<b>52</b>
4.1 Herramienta de desarrollo	53
4.2 La descripción funcional algorítmica	54
4.2.1 La descripción del package CORDIC	54
4.2.2 El banco de pruebas para la descripción funcional algorítmica	56
4.3 Descripción de las arquitecturas particulares	57
4.3.1 El formato numérico	57
4.3.2 Componentes comunes a ambas arquitecturas	59
4.3.2.1 El sumador completo (Full-Adder)	60
4.3.2.2 La unidad de suma	61
4.3.2.3 El multiplexor de dos bits	63
4.3.3 La descripción bit-paralela desplegada y sus componentes	63
4.3.3.1 La unidad de desplazamiento aritmético cableada	64
4.3.3.2 La entidad y arquitectura correspondientes a una iteración	65
4.3.3.3 Descripción final de la arquitectura bit-paralela desplegada	67
4.3.4 La arquitectura bit-paralela iterativa y sus componentes	69
4.3.4.1 La unidad de desplazamiento aritmético para la descripción iterativa	69
4.3.4.2 Las compuertas lógicas de múltiples entradas	71
4.3.4.3 La tabla de búsqueda	73
4.3.4.4 El multiplexor múltiple de dos bits	75
4.3.4.5 Circuitos secuenciales	76
4.3.4.6 Los elementos de almacenamiento: Flip-flops	77
4.3.4.7 El flip-flop D	77
4.3.4.8 El registro	80
4.3.4.9 El contador de iteraciones	81
4.3.4.10 La unidad de control	83
4.3.4.11 Diseño y descripción de la unidad de control	84
4.3.4.12 Descripción final de la arquitectura bit-paralela iterativa	91
4.3.5 El banco de pruebas para las descripciones particulares	94
<b>Capítulo 5 – Simulación de las descripciones</b>	<b>95</b>
5.1 Herramientas de simulación	95
5.2 Valores para la simulación	97
5.3 Simulación de la descripción funcional algorítmica	98
5.4 Simulación de las arquitecturas particulares	102
5.4.1 Cálculo de valores	102
5.4.2 Visualización de ondas	108
<b>Conclusiones</b>	<b>115</b>
Acerca del uso de VHDL	115
Acerca de las descripciones del algoritmo CORDIC	116
Acerca de la exactitud de los resultados numéricos	116
Perspectivas sobre trabajos futuros	117

<b>Anexos</b>	<b>118</b>
	<b>119</b>
	119
	122
	<b>123</b>
	123
	124
	124
	125
	126
	127
	<b>128</b>
	<b>131</b>
	<b>136</b>
	<b>141</b>
	<b>143</b>