

Cluster de microprocesadores RISC para problemas de agricultura de precisión

Horacio Martinez del Pezzo, Emmanuel Robador, Fernando Emmanuel Frati

Departamento de Básicas y Aplicadas, Universidad Nacional de Chilecito
9 de Julio 22, Chilecito, La Rioja, Argentina
{hmartinezdelpezzo, erobador, fefrati}@undec.edu.ar

Resumen

En la agricultura de precisión se utilizan técnicas de cálculo estadístico y modelos de predicción climática que requieren de gran capacidad de cálculo.

Sin embargo, el costo asociado a la adquisición de un cluster de altas prestaciones resulta en muchos casos demasiado elevado. Una alternativa consiste en utilizar para tareas de cómputo intensivo una GPGPU, pero se limita a problemas de paralelismo de datos.

Este trabajo presenta una línea de I+D centrada en el desarrollo de un cluster de bajo costo destinado específicamente a resolver problemas de paralelismo de tareas.

Los temas abordados son transversales a varias áreas, como programación, electrónica digital, arquitectura de computadoras y sistemas paralelos.

Palabras clave: *cluster, ARM, RISC, sistemas paralelos*

Contexto

La línea de investigación presentada es parte del proyecto “Implementación de un cluster de procesadores RISC” aprobado en el año 2013 por la Secretaría de Ciencia y Tecnología, convocatoria para estímulo y desarrollo de la investigación científica y tecnológica (FICyT - UNDeC).

Introducción

Una característica de las regiones semiáridas como la provincia de La Rioja es que la única agricultura sustentable es la de precisión. Para llevar adelante una agricultura de precisión es necesario aplicar técnicas de cálculo estadístico y modelos de predicción climática que requieren de gran capacidad de cálculo.

Por un lado, el costo asociado a la adquisición de un cluster de altas prestaciones y su mantenimiento resulta muy elevado. Además, los clusters basados en procesadores tradicionales (arquitectura CISC 80x86) enfrentan nuevos desafíos relacionados a la reducción del consumo energético y excesiva generación de calor que producen [3, 4]. Una tendencia actual para aumentar la potencia de cómputo de los clusters sin incrementar proporcionalmente el consumo consiste en equiparlos con GPGPUs y delegar cómputo en estas nuevas arquitecturas. Las GPGPUs son placas gráficas con una gran cantidad de procesadores simples pero muy efectivos en la resolución de problemas de paralelismo de datos [5, 6, 7]. Sin embargo, la utilidad de esta tecnología es limitada en problemas donde predomina el paralelismo de tareas.

Por otro lado, el foco de la industria tecnológica se encuentra en la reducción de las dimensiones de los dispositivos, la disminución de su consumo y la aceleración de las respuestas generadas a los usuarios. Esto es posible gracias a la evolución de los microprocesadores basados en una arquitectura estándar RISC de 32 bits, y en particular la arquitectura ARM

(Advanced Risc Machines) [1]. ARM se ha constituido como la arquitectura más ampliamente utilizada en unidades producidas, con presencia en más del 90% de los dispositivos móviles desde 2009 [2].

Esta arquitectura de procesadores ha alcanzado una gran potencia de cómputo (algunos modelos superan los 1500 MHz), e incluso comienzan a aparecer versiones con varias unidades de cómputo[8]. Actualmente muchas empresas comercializan dispositivos equipados con estos procesadores que incluyen una unidad de almacenamiento, cantidades de memoria RAM y puertos de entrada / salida similares a una computadora tradicional, pero con un costo y relación de consumo muy inferior a esta [9].

En este sentido, interesa plantear el desarrollo de un computador de propósito dedicado para la resolución de problemas de paralelismo de tareas implementado a través de un cluster de procesadores de tecnología RISC de bajo costo.

Se espera que este computador permita experimentar con problemas de cálculo estadístico aplicados a agricultura de precisión.

Líneas de investigación y desarrollo

- Arquitecturas RISC.
- Programación de algoritmos paralelos.
- Consumo energético.
- Modelos de programación y predicción de rendimiento en estas nuevas arquitecturas.

Resultados y Objetivos

Se espera:

- Obtener un cluster de bajo costo que sirva de entorno de experimentación
- Estudiar las características de estas arquitecturas aplicables a problemas de paralelismo, en particular asociados a la agricultura de precisión

- Formar recursos humanos en esta tecnología emergente de carácter estratégico

Formación de Recursos Humanos

El equipo de trabajo está formado por dos docentes de las carreras Ingeniería en Sistemas y Licenciatura en Sistemas de la UNDeC (acreditadas por CONEAU), uno de los cuales está finalizando su doctorado. También participa un alumno avanzado de grado.

Los integrantes son docentes de las asignaturas Arquitecturas de computadoras II, Arquitecturas paralelas y Programación I. Estas asignaturas contemplan la aprobación mediante la participación en proyectos de investigación, por lo que pueden surgir nuevos trabajos en esta línea.

Referencias

- [1] ARM, *ARM Architecture Reference manual*, ARM, 2013. [Online]. Available: <http://infocenter.arm.com>
- [2] J. Fitzpatrick, "An interview with steve furber," *Commun. ACM*, vol. 54, no. 5, p. 34–39, May 2011. [Online]. Available: <http://doi.acm.org/10.1145/1941487.1941501>
- [3] C.-h. Hsu and W.-c. Feng, "A power-aware run-time system for high-performance computing," in *Proceedings of the 2005 ACM/IEEE Conference on Supercomputing*, ser. SC '05. Washington, DC, USA: IEEE Computer Society, 2005, p. 1–. [Online]. Available: <http://dx.doi.org/10.1109/SC.2005.3>
- [4] Q. Tang, S. K. S. Gupta, and G. Varsamopoulos, "Energy-efficient thermal-aware task scheduling for homogeneous high-performance computing data centers: A cyber-physical approach," *IEEE Transactions on Parallel and Distributed Systems*, vol. 19, no. 11, pp. 1458–1472, Nov. 2008.
- [5] M. F. Piccoli, *Computación de alto desempeño en GPU*. La Plata: EDULP, 2011,

XV Escuela Internacional de Informática, realizada durante el XVII Congreso Argentino de Ciencia de la Computación (CACIC 2011). [Online]. Available: <http://hdl.handle.net/10915/18404>

- [6] E. Montes de Oca, L. C. De Giusti, A. E. De Giusti, and M. Naiouf, “Comparación del uso de GPU y cluster de multicore en problemas con alta demanda computacional,” Oct. 2012, eje: Workshop Procesamiento distribuido y paralelo (WPDP). [Online]. Available: <http://hdl.handle.net/10915/23623>
- [7] A. G. H. Wolfmann, “Optimización de cómputo paralelo científico en un entorno híbrido multicore - MultiGPU,” 2012, eje: Procesamiento distribuido y paralelo. [Online]. Available: <http://hdl.handle.net/10915/19393>
- [8] G. Yeap, “Smart mobile SoCs driving the semiconductor industry: Technology trend, challenges and opportunities,” in *Electron Devices Meeting (IEDM), 2013 IEEE International*, Dec. 2013, pp. 1.3.1–1.3.8.
- [9] Cubieboard, “Main boards,” Commercial web site., December 2013. [Online]. Available: <http://docs.cubieboard.org/products/start>