

Performance de arquitecturas multiprocesador: técnicas de modelado y simulación, plataformas reconfigurables y cloud computing.

Diego Encinas^{1,2}, Eduardo Kunysz¹, Brian Galarza¹, Gonzalo Zaccardi¹,
Martin Morales¹

¹Instituto de Ingeniería y Agronomía - Universidad Nacional Arturo Jauretche

²Instituto de Investigación en Informática LIDI (III-LIDI) - Facultad de Informática
- UNLP

dencinas@unaj.edu.ar, ekunysz@unaj.edu.ar, briangalarza@hotmail.com,
gezaccardii@gmail.com, martin.morales@unaj.edu.ar

Resumen

El objetivo de esta línea de investigación es el estudio de la performance de las arquitecturas multiprocesador a través de modelos de simulación, plataformas reconfigurables y cloud computing. Enfocando a la obtención de herramientas que permitan predecir la eficiencia del sistema ante posibles escenarios y reconfigurar el sistema en tiempo real.

Los temas centrales son:

- Realizar un análisis de los diferentes componentes del sistema que pueden influir en las prestaciones significativamente y llegar a modelarse y/o reconfigurarse.
- Estudiar aspectos de la implementación de infraestructuras de Cloud Computing a fin de optimizar la performance.

Palabras clave: *Arquitecturas Multiprocesador. Simulación. Sistema E/S paralela. Modelado Orientado al Individuo (MoI). Plataformas*

reconfigurables para procesamiento paralelo. Lógica programable. Cloud Computing. OpenStack.

Contexto

Se presenta una línea de Investigación que es parte del Proyecto de Investigación “Modelado y Simulación en Cómputo de Altas Prestaciones (HPC). Aplicaciones en arquitecturas multiprocesador, sistemas paralelos y redes de datos” actualmente en evaluación en la Universidad Nacional Arturo Jauretche (UNAJ).

En el tema existe un convenio de colaboración en actividades de Investigación y Postgrado con el Instituto de Investigación en Informática – LIDI y el Centro de Técnicas Analógico-Digitales – CeTAD de la Universidad Nacional de La Plata.

Por otra parte, se tiene financiamiento en el marco del programa “Universidad, Diseño y Desarrollo Productivo” del Ministerio de Educación a través de varios proyectos aprobados en la UNAJ.

Introducción

El crecimiento sostenido en la demanda del poder de cómputo remarca la necesidad de sistemas con enfoques de paralelización masiva y cómputo de alta performance (HPC, High Performance Computing) [1]. Los clusters se han convertido en uno de los enfoques principales para lograr paralelismo a bajo costo. Una noción extendida lo constituye la utilización de grid computing y más recientemente cloud computing. Independientemente de la solución, estos sistemas constan de un gran número de componentes incluyendo nodos de procesamiento, bancos de memoria, discos, entre otros.

Sistemas de E/S Paralela

Las exigencias en los sistemas de E/S paralelos se han incrementado debido al aumento en número, velocidad y potencia de las unidades de procesamiento en los clusters. También las aplicaciones científicas que utilizan cómputo de altas prestaciones acrecientan estos requerimientos.

En muchos casos, el cuello de botella de los sistemas paralelos es la E/S de estos sistemas dada las exigencias que debe afrontar [2]. La E/S Paralela es esencial para emparejar el avance de las arquitecturas de los procesadores y el rápido crecimiento de la capacidad computacional. Aunque la arquitectura jerárquica de memoria multinivel puede evitar grandes pérdidas de prestaciones debido a los retardos de acceso a disco, la capacidad de memoria es limitada. Además, como la capacidad computacional aumentará, la disponibilidad de memoria por core decrecerá, especialmente si la escala de los sistemas de HPC se proyecta a millones de cores o más. Varias

simulaciones científicas y de ingeniería de áreas críticas de investigación, tales como la nanotecnología, astrofísica, clima y energía física están convirtiéndose en aplicaciones intensivas de datos. Para poder disminuir la brecha entre CPUs-E/S se deben identificar los factores que influyen en las prestaciones y proponer nuevas soluciones [3] [4].

En el área de tolerancia a fallas en sistemas de cómputo de alta prestaciones se puede notar la importancia de la unidad de E/S en las arquitecturas paralelas como un punto a mejorar para lograr cubrir las exigencias de las aplicaciones que utilizan HPC. Una manera de llevar a cabo este trabajo es utilizar técnicas de simulación para evaluar el efecto de los cambios de los factores con mayores influencias en las prestaciones del sistema de E/S paralelo.

Se puede disminuir la complejidad y la probabilidad de errores en la generación de sistemas híbridos desarrollando una simulación específica de éstos utilizando diferentes frameworks [5] [6] [7].

Se propone modelar y simular la arquitectura de E/S paralela, por medio de técnicas de simulación basadas en modelos orientados al individuo (Sistemas Multi-Agente, MAS-Multi Agent Systems), para evaluar el efecto de dimensionar el sistema de E/S o cambiar componentes como la red de almacenamiento, dispositivos de E/S, entre otros.

Plataformas reconfigurables para procesamiento paralelo

La computación de alta performance (HPC), ha evolucionado desde la incorporación de procesadores gráficos (GPUs) hacia la utilización de tecnologías de lógica programable (FPGAs). Esto ha servido como soporte a los procesadores de propósitos generales, en las

operaciones a problemas de cálculos intensivos [8].

Una de las grandes motivaciones de utilizar unidades de arreglos de lógica programable es la flexibilidad que permite generar circuitos digitales reconfigurables. Cuando se ejecutan instrucciones dentro de un procesador, éstas deben pasar a través de toda la lógica de control que éste posee. Siendo estas instrucciones genéricas. Cuando se resuelven problemas de cálculo masivo, muchas veces los investigadores se encuentran con algoritmos recurrentes. Los lenguajes de descripción de hardware como VHDL, o sistemas más modernos de alto nivel ([10][11][12][13]) utilizan C o Fortran, incluso entornos de programación gráficos [14][15]. Esto posibilita implementar estos algoritmos recurrentes en circuitos dedicados. Reduciendo enormemente el “Overhead” producido al ejecutar múltiples instrucciones en un procesador.

Una visión más avanzada de la computación de alta performance prescinde de los procesadores de propósitos generales para cada nodo e incorpora unidades completas de procesamiento compuestas por múltiples FPGAs. Estos sistemas son conocidos como HPRC (High performance Reconfigurable Computer) [19]. En un sistema como este se pueden paralelizar algoritmos que se ejecutan en cada dispositivo individual para luego devolver los resultados a un único procesador. Estos dispositivos tienen altos requerimientos de comunicación así como de velocidad de almacenamiento.

Hoy es conocido que los recursos de los dispositivos de arreglos de lógica programable, se incrementan cada año debido a la Ley de Moore, con el agregado de memoria RAM embebida. Con estos incrementos se logran diseños de gran magnitud. Hasta tal punto es así

que la tendencia actual es integrar dentro de una FPGA sistemas digitales completos que incluyen un microprocesador de propósito general y todo el hardware de propósito específico que requiere la aplicación.

Análisis de performance en arquitecturas de Cloud Computing

Las comunicaciones en Cloud Computing son una parte fundamental del paradigma que consisten en utilizar distintos nodos y lograr hacerlos funcionar conjuntamente.

Para lograr una comunicación entre estos nodos se propone utilizar OpenStack [16].

OpenStack es un software de código abierto que permite la implementación de, por ejemplo, una “Infraestructure as a Service” (IaaS) a través de múltiples servicios que, de manera coordinada, cumplen diferentes propósitos para lograr el correcto funcionamiento de dicha infraestructura. Algunos de los servicios ofrecidos por OpenStack son: hypervisor (Nova), autenticación (Keystone), Imágenes (Glance), Dashboard (Horizon) y block storage (Cinder). Según las necesidades se pueden requerir de ciertos servicios u otros. La Arquitectura básicamente consiste en dos tipos de nodos: “Compute Node” y “Controller Node”. Se llaman Compute Node a todos aquellos que se encargan del procesamiento de servicios específicos mientras que Controller Node es aquel que comunica a cada uno de los anteriores [17] [18].

La implementación de estas infraestructuras ofrece ventajas en las cuales los clústers virtualizados trabajan en conjunto ofreciendo un buen rendimiento a bajos costos y con posibilidad de escalabilidad al poder

agregar mayor cantidad de nodos para procesamiento de manera sencilla.

Líneas de Investigación, Desarrollo e Innovación

Temas de Estudio e Investigación

- Arquitecturas multiprocesador para procesamiento paralelo: multiprocesador de memoria compartida, multiprocesador on-chip de memoria distribuida. Multicore, Clusters, Clusters de multicore. Grid. Cloud.
- Arquitectura de E/S paralela considerando el software, hardware, comunicaciones entre módulos y dispositivos de almacenamiento.
- Técnicas de comunicación entre dispositivos de lógica programable para optimizar el rendimiento y consumo de las HPRC (High Performance Reconfigurable Computing).
- Plataformas de software para implementar y administrar Clouds públicos, privados e híbridos.

Resultados y Objetivos

Investigación experimental

- Diseño y desarrollo de modelos mediante técnicas de Modelado Orientado al Individuo (MoI) o Sistemas Multi-Agente.
- Utilización de agentes para generar la funcionalidad de los elementos físicos (procesadores, memoria, buses, drivers, entre otros) como así también de las interfaces en las arquitecturas de E/S.

- Análisis y modelado de librerías de archivos para aplicaciones que utilizan computo de altas prestaciones-HPC.
- Generar múltiples dispositivos reconfigurables para implementar sistemas paralelos con múltiples unidades de procesamiento.
- Simular distintas topologías de interconexión entre unidades de procesamiento reconfigurables para optimizar el camino de la información.
- Implementación de un IaaS encargado de realizar operaciones en procesamiento paralelo aumentando la eficiencia y reduciendo los costes generados.
- Implementación de OpenStack Dashboard y de un sistema propio desarrollado para poder controlar/administrar de manera visual (web) y más básica cada uno de los servicios.

Formación de Recursos Humanos

Dentro de la temática de la línea de I/D se participa en el dictado de la carrera de Ingeniería Informática de la UNAJ. También aportan trabajos de alumnos de las materias Redes de Computadoras 2, Programación en Tiempo Real, Sistemas Operativos 2 y Sistemas Distribuidos.

En esta línea de I/D existe cooperación a nivel nacional e internacional. Hay 3 investigadores realizando su Doctorado y 2 alumnos avanzados de grado colaborando en las tareas.

Referencias

1. Grama A, Gupta A, Karypis G, Kumar V. "Introduction to parallel computing". Second Edition. Pearson Addison Wesley, 2003.
2. H Hennessy, J. L., Patterson, and D. A., Computer Architecture, Fourth Edition: A Quantitative Approach. San Francisco, CA, USA: Morgan Kaufmann Publishers Inc., 2006.
3. J. M. May, Parallel I/O for high performance computing. San Francisco, CA, USA: Morgan Kaufmann Publishers Inc., 2001.
4. V. Balaji, Earth system modelling – Volume 4. IO and Postprocessing. Springer, 2013.
5. D. Encinas, Utilización de un reloj global para el modelado de un ambiente simulado distribuido. XVIII Congreso Argentino de Ciencias de la Computación. 2012
6. D. Encinas, Simulación de una red CAN para dimensionar las comunicaciones de una IMU. VII Congreso Argentino de Tecnología Espacial. 2013.
7. D. Black, SystemC: From the Ground Up. Second Edition, Springer, 2010.
8. V. Kindratenko, A case study in porting a production scientific supercomputing application to a reconfigurable computer. IEEE Symposium on Field-Programmable Computing Machines. 2006.
9. C. Rupp, The NAPA Adaptive Processing Architecture. IEEE Symposium on FPGAs Custom Computing Machines. 1998.
10. "Implementing Simulink Designs on SRC-6 System", David Meixner, Volodymyr Kindratenko¹, David Pointer, Innovative Systems Laboratory, National Center for Supercomputing Applications, University of Illinois at Urbana-Champaign (<http://www.srccomp.com/carte-programming-environment>)
11. "Using Hardware Libraries with Impulse C", Ralph Bodenner, Director of Product Development, Impulse Accelerated Technologies, Inc. Application Note (<http://www.impulseaccelerated.com/>)
12. "Low Power Hybrid Computing for Efficient Software Acceleration", Mitronics, White Paper. (<http://www.mitronics.com/>)
13. "DK4 - Handel-C Language Reference Manual", Celoxica, (<http://www.celoxica.com/>)
14. "CoreFire™ Design Suite", Annapolis Micro Systems, Inc., DataSheet (<http://www.annapmicro.com/>)
15. "Model-Based Design with Simulink, HDL Coder, and Xilinx System Generator for DSP", Kiran Kintali and Yongfeng Gu, MathWorks, White Paper (<http://www.mathworks.com/fpga-design/simulink-with-xilinx-system-generator-for-dsp.html>)
16. OpenStack Cloud Software: Open source software for building private and public clouds. <http://www.openstack.org>. Febrero 2015.
17. Galarza, B.; Tuamá, C.; Zaccardi, G.; Encinas, D.; Morales, M. "Implementaciones de Cloud Computing y aplicaciones en el ámbito universitario". I Congreso Nacional de Ingeniería Informática y Sistemas de Información (CoNaIISI 2013). Ciudad de Córdoba, Argentina.
18. Zaccardi, G.; Galarza, B.; Encinas, D.; Morales, M. "Implementación de Cloud Computing utilizando OpenStack". II Congreso Nacional de Ingeniería Informática y Sistemas de Información (CoNaIISI 2014). Ciudad de San Luis, Argentina.
19. "BEE2: A High-End Reconfigurable Computing System", IEEE, Chen Chang, John Wawrzynek, and Robert W. Brodersen University of California, Berkeley.