

## IMPLEMENTACION DE LA ETAPA DE PROCESAMIENTO DIGITAL DE UN RECEPTOR PARA EL SISTEMA DE RECOLECCION DE DATOS AMBIENTALES

Iñigo Juan, Juárez José, Carlotto Adrián, Sager Gerardo

UIDET GridComD (Grupo de Investigación y Desarrollo en Comunicaciones Digitales)  
Facultad de Ingeniería, Universidad Nacional de La Plata, Calle 116 y 48  
gridcomd@ing.unlp.edu.ar

*Palabras claves*- Procesamiento Digital, Receptor DCS, Sistema de Recolección de Datos Ambientales.

### INTRODUCCIÓN

El sistema Argentino de Recolección de Datos Ambientales está formado por tres segmentos: el espacial, el segmento de usuario y el segmento terrestre. El segmento espacial lo conforman el receptor DCS (Data Collection System) a bordo del satélite (actualmente el SAC-D/Aquarius). El segmento de usuario lo integran las plataformas recolectoras de datos DCP (Data Collection Platform) y el segmento terrestre es el centro de control para la recuperación, procesamiento y distribución de los datos adquiridos a los usuarios (Estación Terrena Córdoba).

Las DCP están compuestas por los sensores de las variables ambientales de interés y los terminales transmisores PTT (Platform Transmitter Terminal) que transmiten de manera ininterrumpida los datos al satélite el cual pasa sobre territorio nacional cuatro veces por día. Estas plataformas son autónomas y pueden estar distribuidas en el territorio nacional en diferentes lugares, incluso algunos inaccesibles como montañas, ríos, selva o boyas marinas.

El interés que dio origen a este trabajo es el de disponer de un receptor DCS en tierra de manera de poder monitorear el funcionamiento de las DCP una vez instaladas, a una cierta distancia y sin necesidad de esperar la pasada del satélite y la disponibilidad de los datos, para verificar su correcto funcionamiento.

El sistema utiliza una frecuencia de portadora de 401.55 MHz y la modulación es PSK binario, con dos señales cuya fase varía en  $\pm 1,1$  rad, de esta manera se transmite una portadora residual. La forma del pulso en banda base es Manchester (biphase-L) y la tasa de 400 bits por segundo. Las DCP envían, sin ningún tipo de sincronización entre ellas, un mensaje que puede variar desde 32 bits (mínimo) a 256 bits (máximo) dependiendo de los requerimientos de ciencia.

| 160 ms solo portadora | Sinc. Bit | Sinc. Trama | Inicial. | # grupos N | DCP ID | Datos (N x 32bits) |
|-----------------------|-----------|-------------|----------|------------|--------|--------------------|
|                       | 15        | 8           | 1        | 4          | 20     | Hasta 256          |

**Fig. 1.** Estructura del mensaje transmitido

El formato de mensaje enviado por las DCP se puede observar en la Fig. 1. Primero se transmite 160 milisegundos de portadora, en este tiempo el receptor debe detectar la señal y sincronizarse con la misma. Luego se transmiten 15 unos los cuales sirven para que el receptor encuentre el sincronismo de bit. Los 8 bits de trama se utilizan para indicar al receptor que el mensaje que se está recibiendo es un mensaje del sistema y solucionar la ambigüedad de  $\pi$  en la fase provocado por el sincronismo de portadora. Luego, a partir del siguiente uno el receptor comenzará a recibir los bits que corresponden a los datos relevantes del mensaje. Dentro de estos datos los primeros 4 bits corresponden al número N, que indica la cantidad de paquetes de 32 bits de datos que incluirá el mensaje. Los 20 bits siguientes indican la identificación de la plataforma que transmite y finalmente se transmiten los datos ambientales.

La etapa de procesamiento digital del receptor, desarrollada en este trabajo, recibe la señal en frecuencia intermedia de 455 kHz, la digitaliza y la procesa. Se organiza en 5 bloques principales: conversión analógico-digital, unidad de detección, sincronismo de portadora, sincronismo de bit y trama, y por último, decodificación y almacenamiento.

### REQUERIMIENTOS DEL RECEPTOR

Se puede demostrar que la probabilidad de error de bit del receptor óptimo, considerando que en el canal se suma ruido blanco y gaussiano con densidad espectral de potencia bilateral  $N_0/2$  es [1]:

$$P_{eb} = \frac{1}{2} \operatorname{erfc} \left( \sqrt{\frac{\operatorname{sen}^2(\theta) E_b}{N_0}} \right), \quad (1)$$

donde  $E_b$  es la energía de un bit y  $\theta = 1.1$  rad. Por lo tanto, si se desea que el receptor trabaje por lo menos con una probabilidad de error de bit de  $10^{-5}$  entonces se precisará una relación  $E_b/N_0$  de 10,6 dB, y suponiendo una degradación por la implementación respecto al receptor óptimo de 2 dB será de 12,6 dB. Luego la mínima relación señal a ruido en la entrada de la etapa FI del receptor, será:

$$\left( \frac{S}{N} \right)_{\min} [\text{dB}] = \frac{E_b}{N_0} [\text{dB}] - 10 \log (T_b B) \quad (2)$$

donde  $T_b$  es el tiempo de bit y  $B$  el ancho de banda. El ancho de banda de la etapa FI en 455 kHz se especifica en 20 kHz, de manera de considerar el ancho de banda de la señal transmitida por las plataformas de 1.6 kHz y la tolerancia de los osciladores tanto de las plataformas como de la etapa de RF del receptor. Por lo tanto, la mínima relación señal a ruido en la entrada de la etapa FI del receptor deberá ser de -4.4 dB.

### COMPONENTES DE LA ETAPA DIGITAL DEL RECEPTOR

Para la implementación se utilizó un kit de desarrollo que contiene el procesador digital de señales (DSP) ADSP21262. Este dispositivo es un procesador de 32 bits de arquitectura SHARC que opera a una frecuencia de 200 MHz y capaz de realizar una FFT real Radix 2 de 4096 muestras en 0.26 ms. Para digitalizar la señal de entrada al Receptor en FI se optó por utilizar el convertor analógico digital (ADC) LTC1604 de 16 bits, interconectado al kit a través del puerto paralelo en el modo de 16 bits y con una frecuencia de muestreo de 260 kHz.

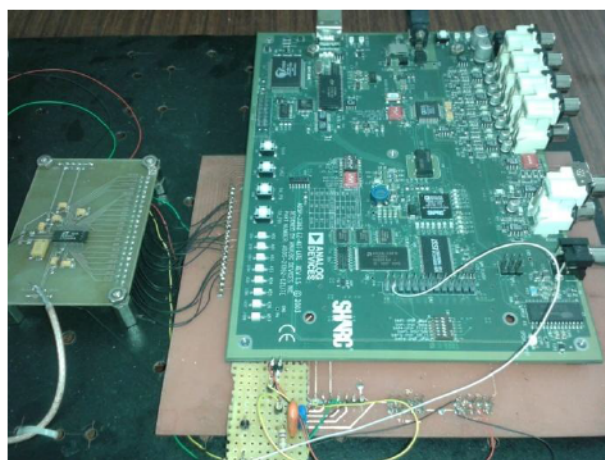


Fig. 2. Plataforma de desarrollo: Kit de desarrollo ADSP21262, ADC LTC1604 y filtro DAC.

Por último, se utilizó el periférico generador PWM con filtrado externo para implementar un conversor digital analógico (DAC), utilizado para ensayar y verificar el comportamiento del receptor, el cual se detalla en la sección de ensayos. En la Fig. 2 se observa la plataforma de desarrollo utilizada.

### UNIDAD DE DETECCION

Dado que al comienzo de cada mensaje se transmiten 160 ms de portadora, lo primero que debe realizar el receptor es detectar dicha portadora y estimar su frecuencia y amplitud. El algoritmo de detección implementado en el DSP realiza una FFT real Radix 2 de 4096 muestras. El algoritmo evalúa si la señal está presente cuando supera el umbral de detección establecido. Si el resultado es positivo los parámetros se estiman como:

$$\hat{f}_0 = \frac{k}{N} f_m \quad (3)$$

$$\hat{A} = \frac{2\sqrt{P_{\max}}}{N} \quad (4)$$

donde  $\hat{f}_0$  es la frecuencia estimada,  $f_m$  es la frecuencia de muestreo,  $N$  es el número total de muestras,  $k$  es la muestra en la cual se produce el valor pico de la FFT,  $\hat{A}$  es la amplitud estimada y  $P_{\max}$  es el valor del pico de la FFT. Si la frecuencia  $f_0$  no es múltiplo de  $1/N$  entonces habrá un error en la estimación de la frecuencia lo que producirá una degradación en el comportamiento del detector. Dicho error de frecuencia será como máximo de 32 Hz en este caso.

Para obtener mayor precisión en el valor de la amplitud estimada se consideró utilizar el valor pico de la FFT, la muestra anterior y la muestra siguiente al mismo, es decir:

$$\hat{A} = \frac{2\sqrt{P_{\max(i-1)} + P_{\max(i)} + P_{\max(i+1)}}}{N} \quad (5)$$

Este valor permite normalizar las muestras de la señal de entrada al lazo de portadora y así evitar la modificación de los parámetros del mismo. Luego se inicia el proceso de sincronismo de portadora a partir de la frecuencia estimada como se detalla a continuación.

### SINCRONISMO DE PORTADORA

Para realizar el sincronismo de portadora [3] se implementó el PLL digital (Phase Locked Loop) que se muestra en la Fig. 3.

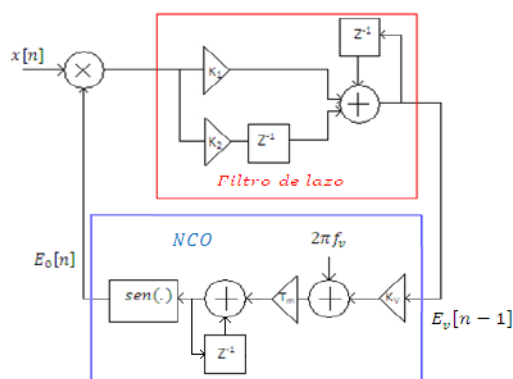


Fig. 3. PLL Digital de Segundo Orden Implementado

El mismo consta de un detector de fase multiplicativo, un filtro de lazo de primer orden, con constantes  $K_1$ ,  $K_2$  y un NCO (numerically controlled oscillator), implementado mediante una tabla de 256 valores del seno. El PLL obtenido es de segundo orden y por lo tanto posee un error de estado estacionario nulo al escalón de frecuencia ocasionado por el error en la estimación de  $f_v$  en el proceso de detección.

Para el diseño se utilizaron como constantes del lazo un factor de amortiguamiento  $\varepsilon = 0.707$  y una frecuencia natural  $\omega_0 = 125,66$  rad/s. Con estos valores se obtuvieron las constantes  $K_1$  y  $K_2$  del filtro de lazo logrando un tiempo de establecimiento de aproximadamente 45 ms con un ancho de banda de ruido equivalente del PLL de 66 Hz.

### SINCRONISMO DE BIT Y DE TRAMA

El receptor óptimo de un correlador se implementó con un filtro adaptado para una señal Manchester. La ecuación en diferencias del filtro es la siguiente:

$$y[n] = y[n - 1] + 2x[n] - 4x\left[n - \frac{N}{2}\right] + 2x[n - N] \quad (6)$$

donde  $y[n]$  es la salida del filtro adaptado,  $x[n]$  es la señal de entrada al filtro.

Para implementar el sincronismo de bit se utilizó un esquema denominado SCCL (Sample Correlate Choose Largest) [4]. Dado que la frecuencia de muestreo es de 260 kHz se tienen 650 muestras por bit. El sincronizador óptimo utilizaría estas 650 muestras para realizar un test de hipótesis usando el criterio de máxima probabilidad a posteriori para determinar en qué instante se encuentra el centro del bit. Sin embargo, una implementación más simple (sincronizador sub-óptimo) considera tres hipótesis posibles: reloj adelantado, reloj atrasado o reloj en hora. El algoritmo de sincronismo implementado mide el valor absoluto de la salida del filtro adaptado, examinando el valor en la muestra actual, en las 5 muestras anteriores y en las 5 muestras siguientes. En base a cuál de las observaciones sea mayor, el instante de muestreo no se modifica, se adelanta o atrasa en 1, 2, 3, 4 o 5 muestras. Para los primeros 15 unos transmitidos en el mensaje, se observa que el módulo de la salida del filtro adaptado presentará máximos cada medio tiempo de bit. Por lo tanto existen 30 de estos máximos con los cuales el algoritmo de sincronismo tiene oportunidad de corregir el reloj de bit y sincronizarse.

Por otro lado, el sincronismo de trama se utiliza para solucionar la ambigüedad de  $\pi$  en la fase de la señal recibida provocada por el sincronismo de portadora. La implementación realizada posee dos registros en los cuales va almacenando los bits recibidos alternadamente cada medio tiempo de bit. Luego compara cada registro con la secuencia de bits [000101111] incluida en el mensaje, considerando también el bit de inicio. Cuando se detecta dicha secuencia en alguno de los dos registros, se indica mediante un bandera que el receptor se encuentra sincronizado en trama y a partir de ese momento el sincronismo de bit comienza a actuar cada tiempo de bit.

Para la decodificación de los bits se toma la salida del filtro adaptado cada tiempo de bit. Debido a que las señales son antipodales el umbral de decisión es 0, es decir si la muestra es mayor al umbral se decide que el bit es un '0' y si la muestra es menor se decide que el bit es '1'. De esta manera los datos transmitidos son decodificados y almacenados en memoria para su posterior utilización.

## ENSAYOS Y RESULTADOS

Para validar el comportamiento de la etapa digital implementada se utilizó un generador de ruido y un simulador de DCP que transmite cada dos segundos un mensaje conocido. Combinando ambos se puede generar una señal real para aplicar a la entrada del receptor en FI con distintas posibilidades: fijando una determinada relación señal ruido, solo señal o solo ruido. De esta manera la validación final consistió en hacer funcionar el receptor y obtener el mensaje transmitido bajo distintas condiciones de operación. En la Fig. 4a se muestra el sistema bajo ensayo donde se visualizan los elementos utilizados.

Durante el desarrollo del sincronismo de bit y trama se utilizó además la visualización del diagrama de ojos para verificar y validar dichos algoritmos. Este diagrama se obtiene de la salida del filtro adaptado a través de un DAC. Para esto se utilizó un generador PWM, disponible en el DSP, junto con un filtro pasabajos externo.

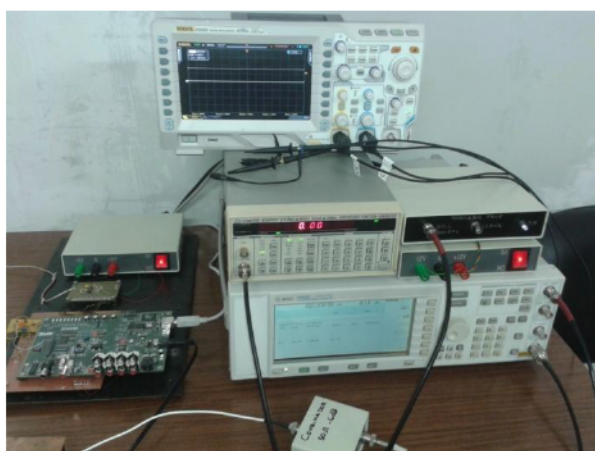


Fig. 4a: Sistema de Ensayos y Validación

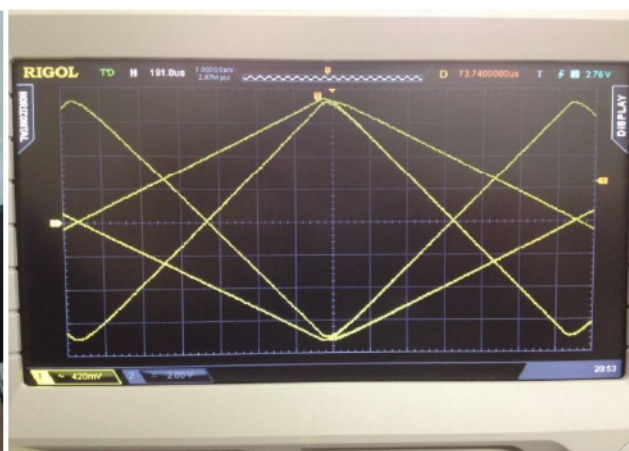


Fig. 4b: Ejemplo del Diagrama de Ojos

La resolución del DAC implementado depende de la resolución del generador PWM, de la frecuencia de PWM y de la frecuencia de corte del filtro. La elección de estos parámetros se basó en el criterio de diseño presentado en [5]. Se diseñó un filtro pasabajos RC de dos polos con frecuencia de corte de -3 dB igual a 10 kHz y la frecuencia de PWM se seleccionó en 1,5 MHz. De esta forma se logró un total de 66 pasos en el ancho de pulso, es decir un DAC equivalente de 6 bits de resolución y se comprobó que el nivel del ripple presente luego del filtrado era despreciable para la resolución lograda. En la Fig. 4b se puede ver un ejemplo del diagrama de ojos (salida del DAC medida con un osciloscopio).

Finalmente, para caracterizar el receptor se realizó un ensayo para medir la tasa de error de bit en función de la relación señal a ruido presente en la entrada del mismo. Para esto se utilizó un generador de ruido y un generador continuo de secuencias de bits pseudo aleatorias con período de repetición de 512 bits, que modula en fase un generador de RF con portadora de 455 kHz. Por otro lado, dado que el receptor mantiene una copia en memoria de dicha secuencia y se engancha con esta el inicio del ensayo, se consiguió estimar la tasa de error de bit contando la cantidad de bits transmitidos necesarios para que se detecten 100 errores con una determinada relación señal a ruido. En la Fig. 5 se observan las mediciones obtenidas de la tasa de error de bit para diferentes relaciones señal ruido y la comparación con la curva de probabilidad de error de bit teórica presentada en Ec. (1). Se puede observar una diferencia de 1,7 dB entre la curva teórica y la experimental para  $p_{eb}=10^{-5}$ .

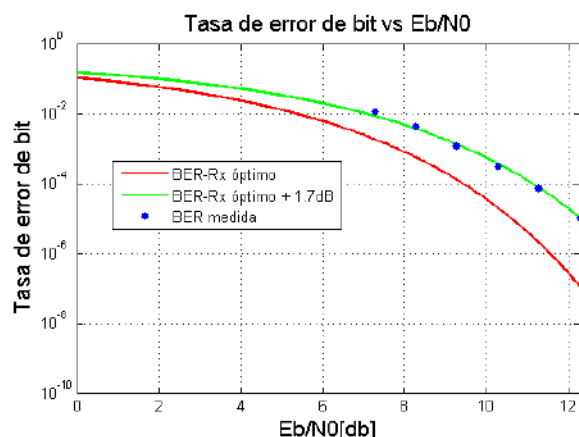


Fig. 5: Comparación del Receptor implementado con el ideal

La degradación del receptor implementado posee dos causas principales: el sincronismo de bit y el sincronismo de portadora cuya implementación no son las óptimas. Dado a que el reloj de bit se puede corregir hasta en  $\pm 5$  muestras, se detectó que en media sufre un corrimiento de 3 tiempos de bit lo que genera una degradación de 0,3 dB respecto del instante óptimo de muestreo. Por otro lado, el ruido de fase presente en la señal recibida provoca en el lazo de portadora un error de fase generando así un acercamiento de las señales a la frontera de decisión. Realizando un análisis teórico utilizando el criterio de distorsión pico, se determinó que la degradación debido al error de fase en el sincronismo de portadora es de 2,6 dB. De esta manera se puede obtener entonces una cota para la degradación total de 2,9 dB.

## CONCLUSIONES

En el presente trabajo, se implementó, validó y caracterizó con éxito, la etapa digital de un Receptor para el Sistema de Recolección de Datos Ambientales. Se obtuvo para esta implementación una degradación total respecto al Receptor óptimo de 1,7 dB para una probabilidad de error deseada de  $10^{-5}$ . Se observa que la degradación medida es menor que la cota de degradación calculada teóricamente. Esto resultó muy satisfactorio y permite continuar con el diseño de la etapa de RF de manera de obtener un Receptor completo que permita validar el funcionamiento de las plataformas transmisoras desde su lugar de instalación hasta algunos kilómetros de distancia de las mismas.

## BIBLIOGRAFIA

- [1] A. Carlotto, J. Juárez, J. Fernández Michelli, G. Sager, H. Lorente. "Sistema de Recolección de Datos Satelital. Implementación del Receptor Utilizando un DSP". XV Workshop Iberchip. Buenos Aires, Argentina. Vol. 1 Pág.344. 2009.
- [2] Steven M. Kay. "Fundamentals of Statical Signal Processing Volumen II Detection Theory". Prentice-Hall, 1998.
- [3] Roland E. Best. "Phase Locked Loops Design, Simulation and Applications". 6Ed, McGraw-Hill.2007.
- [4] Chen, Kwang-Cheng. "Analysis of a New Bit Tracking Loop-SCCL", IEEE Trans. on Communications, Vol.40, No.1. 1992.
- [5] David M. Alter. "Using PWM Output as a Digital-to-Analog Converter on a TMS320F280x Digital Signal Controller". App. Report .Texas Instruments. 2008.