

PLATAFORMA DE CÁLCULO BASADA EN TECNOLOGIA RECONFIGURABLE

Jorge Osio, Jorge L. Anderson, Eduardo Kunysz, José Rapallini

UIDET – CeTAD, Calle 116 y 48 Depto. de Electrotecnia (2do piso)
Facultad de Ingeniería, UNLP. La Plata (1900). jorge.osio@ing.unlp.edu.ar

INTRODUCCIÓN

En este trabajo se detalla el estado actual del diseño de la plataforma de cálculos de Alta Performarce (HPRC). Como objetivo principal se pretende especificar la selección final de componentes, así como la interconexión entre los mismos basándonos en la topología de comunicación seleccionada y la cantidad de recursos empleados por cada periférico. También se analizarán brevemente los costos de los componentes elegidos, debido a la necesidad de lograr una herramienta de bajo costo, y la topología de diseño elegida. Como conclusión final se dará una breve reseña de la continuación del proyecto.

PARTE EXPERIMENTAL

Para el diseño del sistema HPRC a medida, en una primera etapa se realizó la planificación del sistema completo, seleccionando cuidadosamente cada uno de los elementos y definiendo las características de la interacción entre los mismos. Para el proyecto se eligió una topología con dos FPGAs (Arreglo de compuertas programables por campo), comunicadas entre sí por medio de una memoria compartida y puertos GTX (Gigabit transceiver, formado por una línea de clock y una interfaz de datos paralela) y GPIO (puertos de entrada / salida genéricos). Cada FPGA se encuentra conexionada a su vez con diferentes periféricos, estableciendo una topología asimétrica debido a la limitación de recursos disponibles. En la Fig. 1 se muestra un esquema general, donde a continuación se analizará brevemente cada uno de sus componentes.

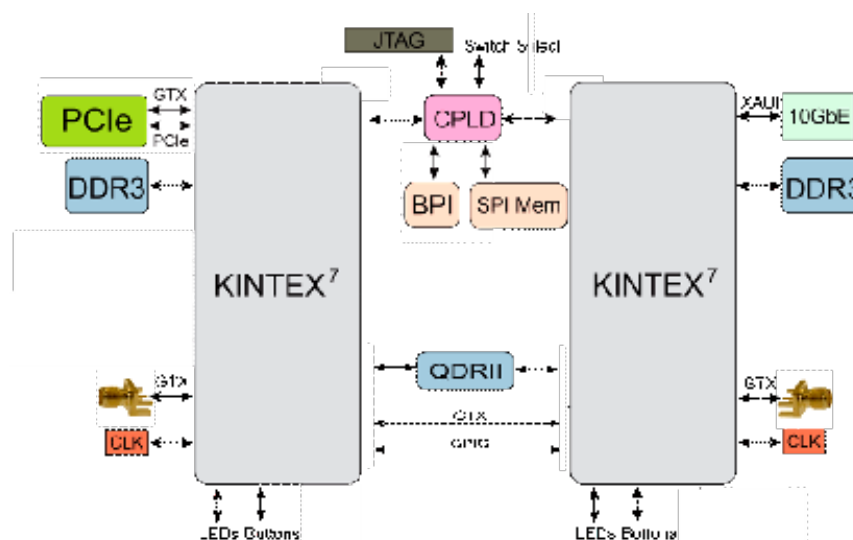


Fig. 1. Topología de diseño

FPGA Kintex

Como base principal del proyecto se utilizó la serie 7 de la familia de FPGAs Kintex de Xilinx [1]. Debido a la necesidad de mantener cierta relación de compromiso entre los recursos disponibles, el tipo de encapsulado y el precio del componente en cuestión, se seleccionó la versión XC7K70T con encapsulado FBG676 (encapsulado ball grid array). De esta manera se disponen de 8 pines GTX, distribuidos en GTX Quads, 20 I/O HR (High-Range con soporte de tensión de 1.2V a 3.3V) y 100 I/O HP (High-Performance con soporte de tensión de 1.2V a 1.8V). En la Fig. 2 puede observarse la distribución de los diferentes recursos.

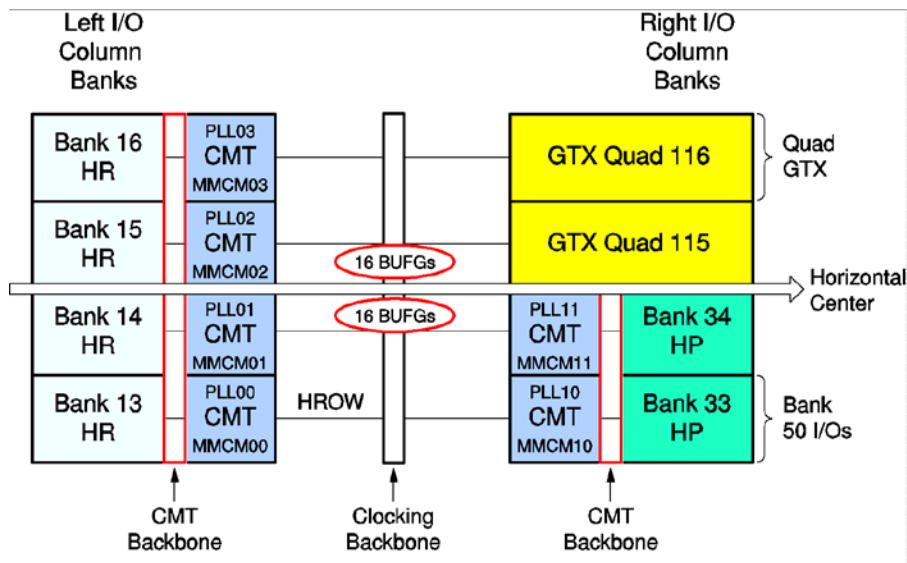


Fig. 2. Distribución de los recursos en la FPGA XC7K70T

Memoria DDR3

Como memoria DDR3 SDRAM (Double Data Rate type three Synchronous Dynamic Random-Access Memory) se eligió la correspondiente a la empresa Micron [2], de 1 Gb con un tamaño de palabra de x8, distribuidas en 8 bancos. El encapsulado utilizado por esta memoria en particular es el 78BGA. Respecto al direccionamiento se utilizarán 3 puertos para la selección del banco más 14 puertos para la selección de la dirección. Al ser el tamaño de palabra de 8 bits, se utilizarán 8 puertos como salida de datos. Un total de 25 puertos, más los correspondientes puertos de control y comandos. A partir de estos números, se selecciona el Bank HP34 para el conexionado de la memoria.

PCIe

El PCI Express es un bus para la interconexión de periféricos serie de alta velocidad. Debido a la limitación en la cantidad de recursos GTX, este periférico sólo se encuentra conectado a una sola de las FPGAs. Para su implementación se utiliza la totalidad de un GTX Quad, el cual consta de cuatro puertos GTX, obteniendo así un PCIe x4.

Memoria QDRII+ (Quad Data Rate)

Para la comunicación entre FPGAs se propuso la utilización de la memoria CY7C2263KV18 de Cypress, la cual posee un tamaño de palabra de 18 bits, distribuidos en 4 arreglos de 512K (2M x 18).

Puertos GTX

Otra de las formas propuestas para la comunicación entre las FPGAs, es por comunicación serie de alta velocidad por medio de los puertos GTX [8]. Debido a la limitación en la cantidad de puertos GTX disponibles, se optó por la utilización de 2 puertos reservados para la comunicación entre las FPGAs, más 2 puertos en cada FPGA para múltiples propósitos.

CPLD (Dispositivo de Lógica Programable)

Para posibilitar la configuración de las FPGAs de diversas formas, se interconecta una CPLD XC2C128 de la familia CoolRunner II de Xilinx [4], con encapsulado 132-TFBGA, configurada a través del protocolo JTAG. Esta CPLD dispone de 100 puertos I/O de propósito general para su utilización.

Como se observa en la Fig. 3, la configuración de las FPGAs es realizada mediante 3 diferentes métodos. El primero de ellos se realiza mediante dos memorias SPI, destinadas una para cada FPGA. A su vez se dispone de una memoria BPI para ambas FPGAs, y una interfaz USB a través de un FTDI para emular la interfaz JTAG.

También se dispone la posibilidad de configuración mediante una interfaz JTAG externa.

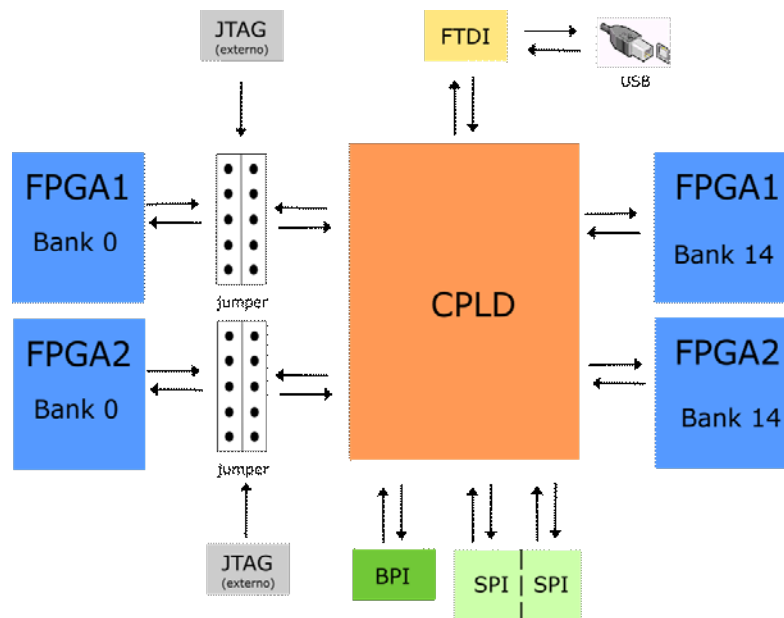


Fig. 3. Conexión de Configuración

Memoria SPI (serial peripheral interface)

Para la configuración mediante una memoria SPI, o también para usos generales en caso de no utilizarse en la configuración, se asocian dos memorias de este tipo a la CPLD. Se seleccionó la memoria N25Q12 de 128 Mbits [6], la cual puede funcionar mediante protocolo Dual o Quad, compatibles con la serie 7 de FPGAs de Xilinx [7]. La misma posee una frecuencia de clock de 108 MHz, llegando a 432 MHz para el modo de operación Quad. Cabe destacar, que la memoria seleccionada posibilita su programación mediante la interfaz iMPACT [5], a través de la FPGA seleccionada. La configuración de la FPGA por medio de memoria SPI utiliza el banco I/O 14.

BPI

Otra de las posibilidades de configuración de la FPGA es mediante una memoria Parallel NOR Flash o BPI (Byte Peripheral Interface) de Micron. Se considera la memoria de 1Gbit de 64Mx16, de encapsulado 56-TSOP.

FTDI

Para la implementación del protocolo JTAG, se utiliza un FT2232D [3], el cual se encuentra conectado directamente al CPLD para la programación de las FPGAs. Este integrado posee un encapsulado de 48 pines, 48LQFP. A su vez, se dispone un módulo auxiliar, el cual permite la implementación de otro protocolo serie o paralelo, como puede ser una transferencia UART o FIFO.

RESULTADOS Y DISCUSIÓN

Los principales resultados de la propuesta permiten afirmar que se ha diseñado una plataforma de bajo costo que permitirá realizar cómputo de altas prestaciones oem (a medida). Cada uno de los componentes y la topología de comunicación fueron cuidadosamente seleccionados y planificados para lograr una herramienta de cómputo potente y versátil.

A continuación, se da un listado del costo estimado de los principales componentes del diseño, lo cual permitirá estimar la relación costo/prestaciones en las aplicaciones propuestas. De esta manera se puede tener una noción básica de los costos de producción de la placa en base a las posibles aplicaciones de la misma.

Tabla I. Costo estimado

Componente	Cantidad	USD p/unidad	TOTAL (USD)
XC7K70T	2	137.500	275.00000
Micron Memory	1	3.91000	3.91000
CY7C2263KV18	1	98.7300	98.73000
XC2C128	1	9.15000	9.15000
N25Q12	2	1.62000	3.24000
BPI	1	6.06000	6.06000
FT2232D	1	6.99000	6.99000
		TOTAL	403

CONCLUSIONES

En este informe se definen los componentes que forman el proyecto HPRC, así como se analiza de forma breve la cantidad de recursos requeridos por cada periférico. El diseño del proyecto se realizó en base a la topología de 2 FPGAs, con una modificación del ordenamiento de los periféricos para lograr un mayor aprovechamiento de los recursos. Dichos recursos se encuentran muy limitados, por lo que si se desea extender las capacidades del proyecto, es necesario migrar a una versión de FPGA superior, que implica un aumento de costo elevado, en comparación a la alternativa elegida. La presente propuesta abarca la totalidad de los componentes principales del proyecto HPRC, así como su esquema de conexionado. Como tarea a futuro se propone el diseño y fabricación del circuito impreso y la incorporación de una interfaz de comunicación Ethernet. Dicha interfaz requiere la utilización de 4 puertos GTX para su implementación, por lo que se ha asociado únicamente a una de las FPGAs.

BIBLIOGRAFÍA

- [1] Xilinx, "VC707 Evaluation Board for the Virtex-7 FPGA", 2016.
- [2] Micron, "DDR3 SDRAM" - Micron Technology Inc., 2006
- [3] Future Technology, "FT2232D USB JTAGFIFO/UART IC", Datasheet, 2010.
- [4] Xilinx, "CoolRunner-II CPLD Family", datasheet, 2008.
- [5] iMPACT SPI/BPI Flash Programming Support.
- [6] N25Q128 128-Mbit 3 V, multiple I/O, 4-Kbyte subsector erase on boot sectors, XiPenabled, serial flash memory with 108 MHz SPI bus interface.
- [7] 7 Series FPGAs Memory Interface Solutions v1.9 and v1.9a - User Guide.
- [8] 7 Series FPGAs GTX/GTH Transceivers - User Guide