

EVALUACIÓN DEL DESEMPEÑO DE SISTEMAS EMBEBIDOS HETEROGÉNEOS PARA APLICACIONES DE TOMOGRAFÍA MAGNÉTICA

Oliva, Matías Javier - García, Pablo A. y Veiga, Alejandro.

Instituto de Investigaciones en Electrónica, Control y Procesamiento de Señales LEICI (CONICET - UNLP), Calle 48 y 116, CC 91 (1900), La Plata, Buenos Aires, Argentina.
Email: matias.oliva93@gmail.com

INTRODUCCIÓN

La hipertermia magnética (MH, del inglés Magnetic Hyperthermia) consiste en implantar nanopartículas ferromagnéticas en tumores y elevar su temperatura mediante la aplicación de campos magnéticos de alta frecuencia [Jordan et al, 2001]. De acuerdo con la temperatura alcanzada, en el tumor se inician procesos de necrosis o de apoptosis, que permiten reducir el tejido cancerígeno. Estas terapias se encuentran actualmente en la etapa de experimentación en pequeños animales. Un problema a resolver en su implementación es determinar la posición y densidad de las nanopartículas implantadas, dado que éstas pueden migrar, encapsularse o difundirse.

La tomografía magnética (MIT, del inglés Magnetic Induction Tomography) permite determinar, sin contacto alguno, el perfil de conductividad y de permeabilidad magnética de un cuerpo. Los trabajos que pueden encontrarse en la literatura generalmente apuntan a determinar el perfil de conductividad [Scharffeter et al, 2000], [Korjnevsky et al, 2001], [Chen et al, 2010], siendo muy escasas las referencias y aplicaciones en la determinación del perfil de permeabilidad. Este último caso [Soleimani, M., 2009], [Griffits et al, 1999] tiene aplicación directa en la determinación de la distribución de las nanopartículas utilizadas en las terapias oncológicas y es el que se está explorando actualmente en el departamento.

La instrumentación de un equipo de MIT requiere la captura y el procesamiento de señales de alta frecuencia (del orden de los cientos de kHz y superiores) con muy alta precisión, lo cual demanda sistemas de adquisición de alta velocidad y resolución. A su vez, procesar y visualizar este gran flujo de datos en una PC, hace necesario que el sistema de cómputo utilizado sea capaz de manejar los datos en tiempo real. Este requerimiento imposibilita la resolución del problema con un microprocesador de propósitos generales, planteando la necesidad de un sistema de adquisición diseñado para este propósito particular utilizando hardware dedicado, por ejemplo, basado en FPGA o SoC (del inglés system on chip).

Los SoC son sistemas de cómputo heterogéneos que integran en un solo chip un procesador, un arreglo de celdas programables (FPGA) y dispositivos de entrada/salida (E/S). En este esquema las FPGAs resultan ideales para manejar tareas de baja latencia o tiempo real, mientras que el procesador embebido resuelve la interfaz de usuario y el resto de las tareas que no requieren baja latencia.

En este trabajo se decidió evaluar las prestaciones de un sistema SoC de-10-nano fabricado por Altera para la implementación de un equipo de tomografía magnética. El mismo combina una FPGA Cyclone V y un procesador ARM- Cortex A9, que porta un sistema operativo Linux embebido.

PARTE EXPERIMENTAL

Como ya se ha mencionado, la instrumentación de un equipo para MIT requiere muestrear una señal a una tasa de, por lo menos, 200 kHz con una resolución

del 0.005% (Por lo menos 15 bits efectivos) [Griffiths, 2001], [Sharfetter et al, 2000]. Con el objetivo de evaluar la capacidad de cómputo del SoC se decidió implementar el sistema de muestreo y almacenamiento de datos, utilizando el convertor analógico digital (en adelante ADC) LTC2308, integrado en la placa de-10 nano. Este es un convertor de aproximaciones sucesivas, 8 canales, 12 bits de resolución y 500 kmps. Si bien su resolución no permite la aplicación directa en el problema planteado, su tasa de muestreo sí es adecuada, y conforma una primera implementación del sistema que permitirá evaluar las características de cómputo del SoC. La implementación futura del sistema requerirá reemplazar este ADC por uno de mayor resolución, con cambios mínimos en el diseño del dispositivo.

Como la velocidad de cómputo es un aspecto determinante del diseño se decidió implementar el esquema de muestreo y almacenamiento cableado totalmente en el hardware de la FPGA, prescindiendo del procesador embebido, el cual se utilizó para diseñar la interfaz de usuario.

El hardware de la FPGA se programó en HDL (Hardware description language) utilizando el software Quartus II de Altera. Junto con este software, Altera también provee bloques de IP (Intellectual property) que implementan distintas funcionalidades, como el controlador del ADC, bloques de memoria, e incluso procesadores por software (soft-processors).

Como primera implementación se decidió sincronizar el muestreo con un procesador implementado por software (Programado en las celdas lógicas de la FPGA). Este procesador se implementa con un bloque IP provisto por Altera (Procesador Nios 2). En este esquema, el ADC envía interrupciones periódicas al procesador, que se encarga de procesar los datos en cada interrupción. Esta configuración tiene la ventaja de ser de fácil implementación, pero una limitación importante: el tiempo que demora el procesador Nios 2 en gestionar una interrupción está en el orden de los 12 μ S, por lo cual resulta imposible atender interrupciones periódicas cada 4 μ S (Para una frecuencia de muestreo de 250 kmps).

Para solucionar este problema se decidió prescindir del procesador durante el muestreo en tiempo real, conectando directamente las líneas de datos y de reloj del ADC a un bloque de memoria dedicado, como se puede observar en la Figura 1.

En esta segunda implementación se decidió utilizar el procesador embebido por hardware en la FPGA (HPS) para gestionar los datos dado que cuenta con mejores prestaciones temporales que su variante implementada por software.

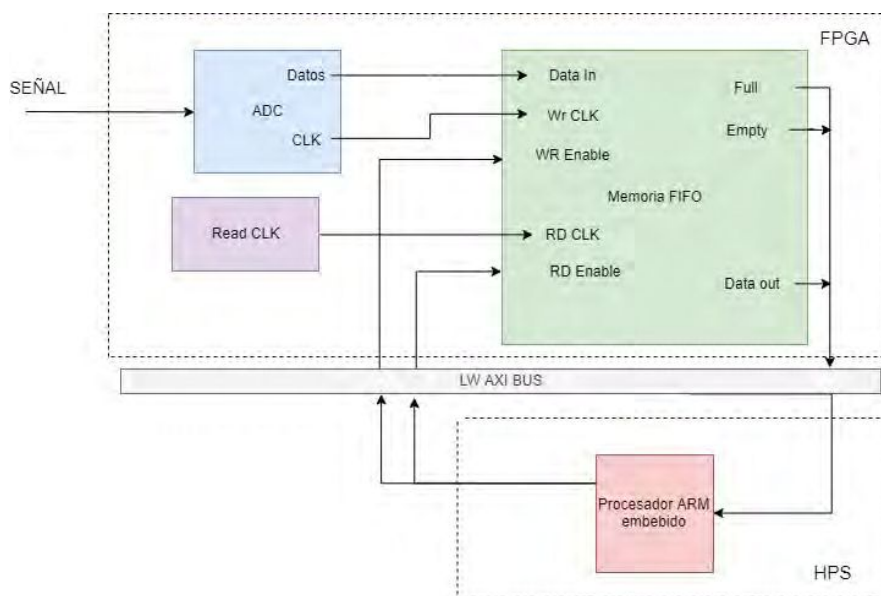


Figura 1: Esquema de muestreo implementado

El bloque de IP que implementa el ADC se configuró a su frecuencia de operación máxima que es de 230 kHz para dos canales.

Una vez iniciado el muestreo por medio del procesador HPS (Por medio de la línea WR enable) este bloque pone, en cada flanco ascendente de su reloj, a disposición del bloque de memoria las muestras. Esta memoria es del tipo FIFO (First in, first out), y fue implementada con dos memorias de 131072 muestras, que es el máximo disponible, logrando un tamaño de la memoria suficiente para almacenar 262144 muestras, lo que garantiza poco más de 1 segundo de adquisición continua. Estas memorias funcionan guardando lo que tienen disponible en su línea de datos en cada flanco ascendente del clock de escritura, que al estar conectado al clock del ADC garantiza la correcta sincronización de las muestras.

Una vez que se llena la memoria se levanta una bandera que notifica al procesador ARM para que lea las muestras y las guarde en un archivo de texto. Esta operación la comienza el HPS por medio de una línea readenable, y es sincronizada por un clock de lectura, de frecuencia igual a 50 kHz. Esta frecuencia se programó más baja que la de escritura porque la intención no es, en esta primera aproximación al problema, que los datos se lean en forma simultánea con la escritura.

Para que el procesador embebido pueda acceder a las zonas de memoria de la FPGA debe incluirse un puente (FPGA to HPS bridge) en el diseño. En este caso el utilizado es el Light weigh taxi bus, que es el más básico de los posibles puentes, suficiente para la aplicación planteada.

Utilizando la herramienta QSYS disponible en el software Quartus II se implementaron e interconectaron los distintos bloques funcionales del sistema:

- La interfaz del conversor ADC, cuya frecuencia de operación es configurable (Figura 2).
- Memorias de tipo FIFO dedicadas a guardar las muestras (Figura 3).
- Plls para sincronización de los momentos de escritura (Figura 4).
- Lógica para sincronizar el cambio de memorias.
- Interfaz del procesador (Incluye el puente hps- fpga).
- Zonas de memoria reservadas para la señalización al procesador embebido

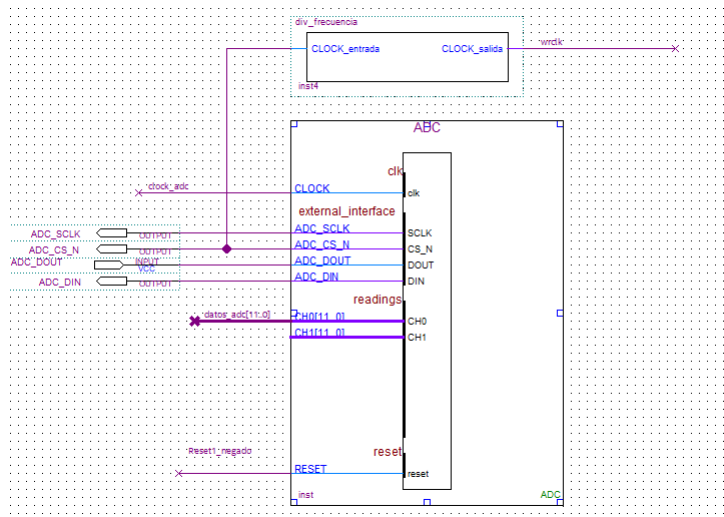


Figura 2: Bloque de IP ADC

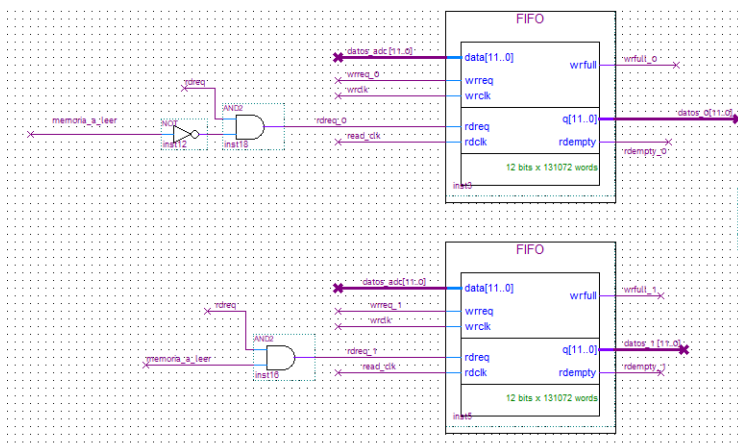


Figura 3: Bloques de memorias FIFO

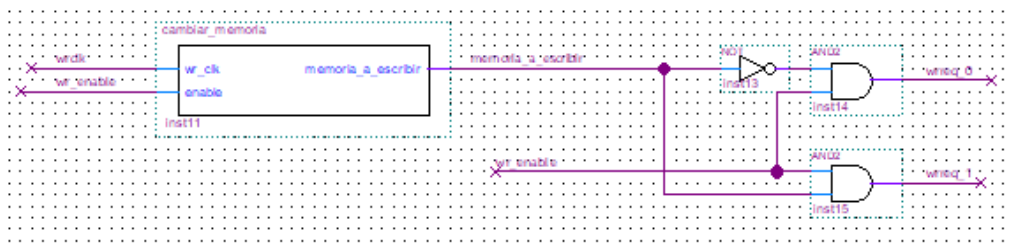


Figura 4: Bloque de lógica para cambiar memoria de escritura

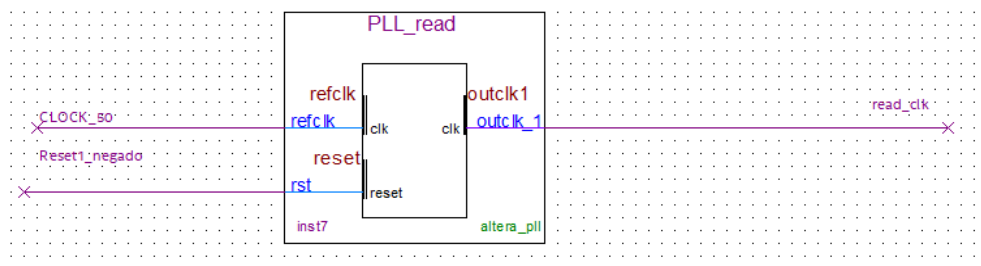


Figura 5: Clock de lectura

El módulo HPS es un procesador ARM-Cortex A9, que porta un sistema operativo Linux embebido, el cuál se carga desde una tarjeta micro SD.

Una vez definida la configuración necesaria en la FPGA se debe programar el sistema operativo para que la misma se cargue en el momento en que está booteando el Linux. De esta manera el muestreo corre completamente por cuenta de la FPGA y el usuario no debe preocuparse más que por empezarlo y luego almacenar las muestras obtenidas.

El programa que ejecuta el procesador ARM fue escrito en C. El mismo debe comenzar el muestreo, esperar la señalización de memoria llena proveniente de la FPGA y luego solicitar la lectura de la memoria sucesivamente hasta que se vacíe. Mientras se van leyendo los datos se guardan en un archivo de texto en la tarjeta de memoria micro-sd, quedando fácilmente disponibles para el usuario. El usuario puede empezar una nueva ventana de lectura cuando sea necesario.

RESULTADOS Y DISCUSIÓN

Con el objeto de verificar la correcta operación de la etapa de instrumentación implementada se tomaron muestras de una señal sinusoidal de 10 KHz de frecuencia. El archivo de texto generado por el HPS tiene un formato sencillo, fácilmente manejable por cualquier software. De esta forma, el usuario puede generar rápidamente un gráfico de la señal muestreada como se observa en la Figura 6.

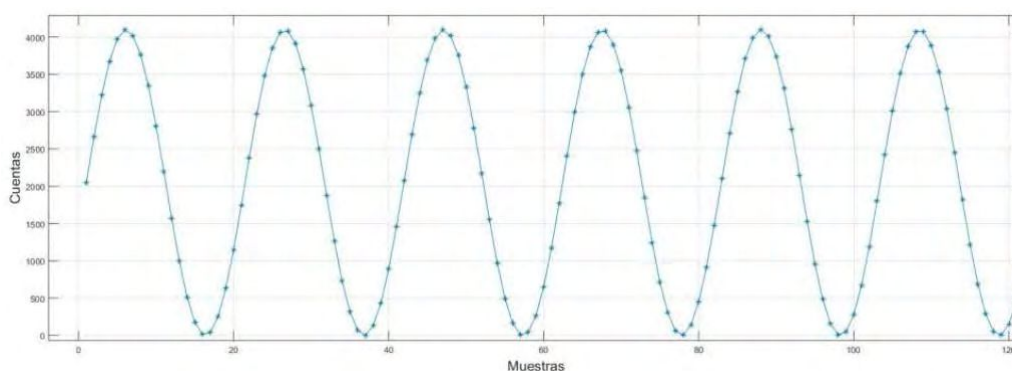


Figura 6: Señal de 10 kHz muestreada con el dispositivo

Se puede verificar la correcta adquisición de la señal. La amplitud varía entre 0 y 4096 muestras, como era esperable por la resolución del ADC (12 bits). En cada periodo de la señal entran 22 muestras, por lo cual la frecuencia de muestreo es también la esperada.

CONCLUSIONES

Con el diseño planteado se logró implementar un sistema de muestreo cableado exclusivamente en el hardware de la FPGA. Si bien el mismo no logra alcanzar la resolución necesaria para la aplicación planteada se verificó el correcto desempeño del sistema en la adquisición de señales a tasas de 230 kmps, por lo que cambiando el ADC integrado en la placa por uno de mayor resolución debería posibilitarse la aplicación planteada con cambios mínimos en el dispositivo.

Por otra parte, durante el desarrollo del presente trabajo se ha logrado hacer la puesta en marcha y manejar las distintas herramientas de las cuales disponen los novedosos sistemas heterogéneos (SoC) que resultan muy útiles para este tipo de sistemas de instrumentación.

TRABAJO A FUTURO:

Con el objeto de lograr un sistema que registre datos de manera continua, se pretende implementar un esquema en el que el procesador HPS pueda leer una de las memorias implementadas mientras la otra se sigue llenando, implementando un doble buffer circular (Figura 7).

La ventaja de implementar un sistema como este es que posibilitaría el muestreo continuo de los datos, el cuál no estaría limitado por la capacidad de la memoria FIFO utilizada, ya que los datos de una podrían llenarse mientras el sistema continúa escribiendo en la otra.

Cabe destacar que esta mejora implicaría incrementar la frecuencia del reloj de lectura de datos para lograr que sea superior a la del reloj de escritura.

Adicionalmente se pretende cambiar el conversor ADC utilizado por uno externo a la placa, de mayor resolución.

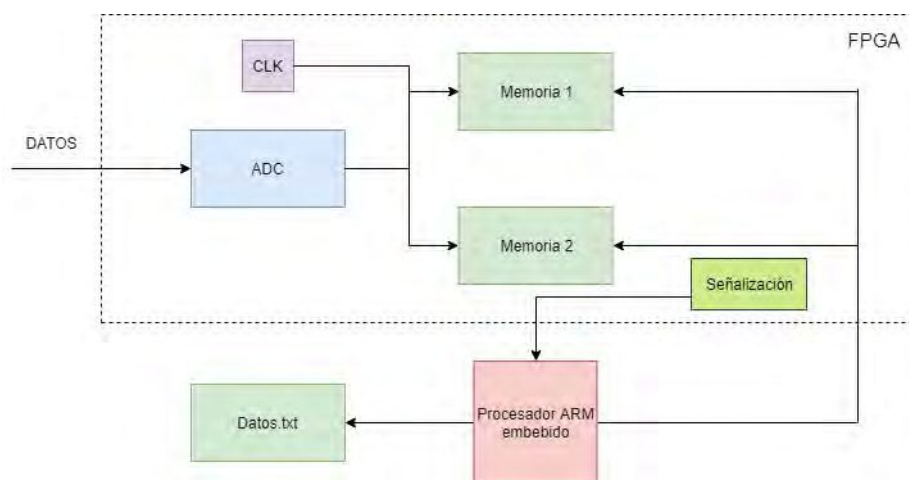


Figura 7: Trabajo a futuro

REFERENCIAS

1. Jordan, A., Scholz, R., Maier-Hauff, K., Johannsen, M., Wust, P., Nadobny, J., & Lanksch, W. (2001). Presentation of a new magnetic field therapy system for the treatment of human solid tumors with magnetic fluid hyperthermia. *Journal of magnetism and magnetic materials*, 225(1-2), 118-126.
2. Hermann Scharfetter, Helmut K Lackner and Javier Rosell. "Magnetic induction tomography: hardware for multi-frequency measurements in biological tissues". Institute for Biomedical Engineering, Technical University of Graz, Inffeldgasse 18, A-8010 Graz, Austria.
3. A. Korjnevsky, V. Cherepenin and S. Sapetsky. "Magnetic induction tomography: experimental realization". Institute of Radio-Engineering and Electronics of Russian Academy of Sciences, Mokhovaya Street 11, Moscow 103907, Russia.
4. Chen Y, Yan M, Chen D, Hamsch M, Liu H, Jin H, Vauhkonen M, Igney CH, Kahlert J, Wang Y. Imaging hemorrhagic stroke with magnetic induction tomography: realistic simulation and evaluation. Department of Biomedical Engineering, Fudan University, Shanghai, People's Republic of China. 2010.

5. Soleimani, M. (2009). Simultaneous reconstruction of permeability and conductivity in magnetic induction tomography. *Journal of Electromagnetic Waves and Applications*, 23(5-6), 785-798.
6. H Griffiths, W R Stewart and W Gough. 1999 "Magnetic induction tomography: a measuring system for biological tissues". Department of Medical Physics and Clinical Engineering, University Hospital of Wales, Cardiff CF4 4XW, UK.
7. H Griffiths. 2001. Magnetic induction tomography. Department of Medical Physics and Clinical Engineering, University Hospital of Wales, Cardiff CF4 4XW, UK.